

Solénoïdes 3D compacts pour applications RF

Olga Bushueva, Ayad Ghannam, Alessandro Magnani, Audrey Cayron, Christophe Viallon, Thierry Parra

▶ **To cite this version:**

Olga Bushueva, Ayad Ghannam, Alessandro Magnani, Audrey Cayron, Christophe Viallon, et al.. Solénoïdes 3D compacts pour applications RF. 20èmes Journées Nationales Micro-Ondes, May 2017, Saint-Malo, France. hal-01702868

HAL Id: hal-01702868
https://laas.hal.science/hal-01702868

Submitted on 7 Feb 2018

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

XX^èmes Journées Nationales Microondes
16-19 mai 2017 – Saint-Malo

Solénoïdes 3D compacts pour applications RF

O. Bushueva[1], A. Ghannam[2], A. Magnani[2], A. Cayron[1], C. Viallon[1], T. Parra[1,2]

[1]*LAAS-CNRS, Université de Toulouse, CNRS, INSA, UPS, 7 avenue du Colonel Roche, F-31062 Toulouse*
[2]*3DiS Technologies, 478 Rue de la Découverte, 31670 Labège*
cviallon@laas.fr

Résumé *– Ce papier présente un procédé technologique faible coût dédié à l'intégration d'inductances 3D compactes et à hautes performances. Ce procédé s'appuie sur deux étapes de métallisation réalisées par croissance électrolytique. La première réalise la partie inférieure du solénoïde tandis que la seconde métallise simultanément les flancs verticaux et la partie supérieure. Plusieurs inductances de 2,3 nH à 9,5 nH ont été fabriquées sur un substrat en verre. La plus petite inductance affiche un facteur de qualité maximum de 58 pour une fréquence de résonance de 19,1 GHz tandis que la plus forte densité d'intégration (64 nH/mm²) est obtenue pour l'inductance de 9,5 nH.*

1. Introduction

Malgré toutes les avancées observées ces dernières années sur les technologies monolithiques orientées MMIC, la faible qualité des inductances disponibles pénalise les performances des applications. Pour contourner ces limitations, les solutions classiquement employées consistent à intégrer les circuits passifs les plus critiques à l'extérieur de la puce en utilisant des technologies monolithiques dédiées plus performantes (IPD). Cependant, les contraintes de fabrication communes aux technologies MMIC et IPD commerciales limitent systématiquement les choix possibles aux topologies planaires, essentiellement en spirale. Or, cette topologie souffre d'un effet de proximité inter-spire marqué qui limite le facteur de qualité *Q* et la fréquence de résonance (*SRF*). La proximité de la structure avec le substrat est également pénalisante lorsque la permittivité est élevée et/ou que la résistivité est faible.

Le solénoïde peut représenter une alternative pertinente pour pallier ces défauts. Le composant exploite le plan vertical au profit d'une plus faible emprise au niveau du substrat et d'un effet de proximité inter-spire plus réduit. Le facteur *Q* et la fréquence de résonance du composant sont ainsi améliorés. Pour parvenir à fabriquer un solénoïde performant, il faut toutefois respecter quelques règles qui sont une forte hauteur pour le noyau [1] et un espacement inter-spires minimal [2]. Ces contraintes en font un composant difficile à fabriquer. En effet, la réalisation de trous métallisés très rapprochés à travers des couches isolantes très épaisses (plusieurs dizaines de µm) n'est pas accessible aux technologies monolithiques sus-citées. Jusqu'à présent, les procédés expérimentés ont utilisé de fortes épaisseurs de diélectriques [4] couplées à des techniques de micro-usinage pour former des solénoïdes suspendus [1]-[3],[5],[6], ou bien en creusant une cavité dans le substrat[7]. Malheureusement, tous ces procédés souffrent soit d'un trop grand nombre d'étapes, soit d'une forte complexité, ou nécessitent des équipements ou des résines spécifiques.

Le procédé technologique proposé ici tente de résoudre l'ensemble de ces difficultés. Après en avoir décrit les principales étapes, nous présentons les performances expérimentales obtenues pour diverses inductances intégrées sur un substrat de verre. Le cas d'un substrat silicium est également évoqué à travers quelques résultats de simulation.

2. Description du procédé technologique

Le procédé technologique est résumé en figure 1.

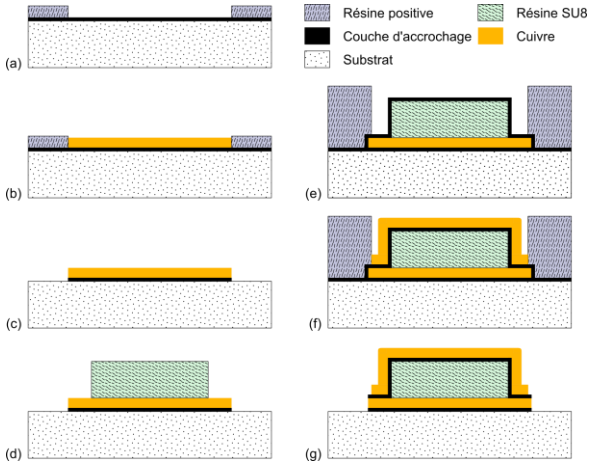


Figure 1. Principales étapes du procédé.

Il s'appuie sur seulement deux étapes de métallisation dont les épaisseurs ont été fixées à 15 µm mais qui peuvent être augmentées jusqu'à 40 µm. L'enchainement des deux étapes de métallisation suit la même procédure : dépôt d'une couche d'accrochage et d'une résine sacrificielle qui est structurée (a)(e) pour effectuer la croissance électrolytique du cuivre (b)(f), puis nettoyage de la résine positive et gravure de la couche d'accrochage (c)(g). L'étape (d) consiste à intercaler et à structurer une couche de résine SU-8 de 100 µm d'épaisseur entre ces deux niveaux métalliques. Celle-ci va former le noyau du solénoïde. Contrairement aux technologies conventionnelles, le procédé s'affranchit

des étapes nécessaires à la réalisation de trous métallisés. En effet, la seconde étape de métallisation forme simultanément les flancs verticaux et la partie supérieure du solénoïde [8]. Seulement quatre masques sont alors nécessaires pour réaliser le composant. Le procédé n'utilise que des équipements standards. Il est également basse température (110°C maximum), ce qui le rend compatible avec des approches d'intégration de type « above-IC ».

3. Résultats expérimentaux

Quatre inductances, dont les photographies sont présentées en figure 2, ont été conçues et fabriquées. Les caractéristiques géométriques et électriques de ces composants sont reportées dans le tableau 1. Les inductances *L*1 et *L*2 possèdent 3 tours mais la largeur et l'espacement des conducteurs diffèrent. *L*3 et *L*4 sont des inductances de fortes valeurs de 6 et 8 tours respectivement. Les grandeurs l_s et w_s mentionnées dans le tableau se rapportent respectivement à la longueur et la largeur du solénoïde.

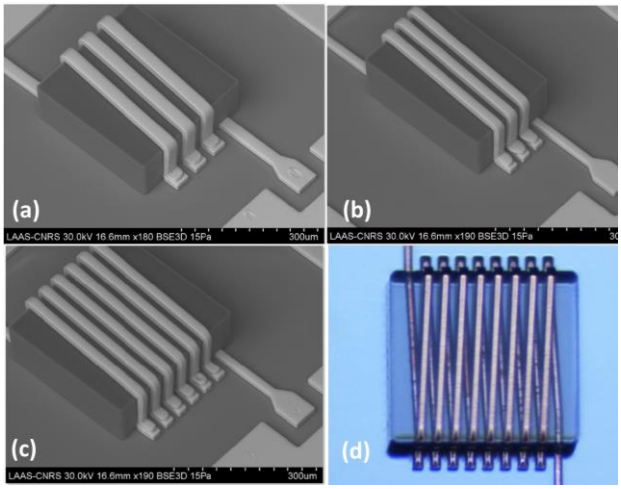


Figure 2. Photographie MEB des motifs *L*1 (a), *L*2 (b), *L*3 (c) et micro-photographie de l'inductance *L*4.

Solénoïde	***L*1**	***L*2**	***L*3**	***L*4**
Nb de tours	3	3	6	8
Largeur w (µm) & *Espacement s* (µm)	30 / 30	20 / 20		
Surface occupée $w_s \times l_s$ (µm × µm)	320×240	320×160	320×280	390×360
L (nH)	2,3	3,0	5,8	9,5
L / surface (nH/mm²)	23,7	49,2	59,4	64,2
SRF (GHz)	19,1	16,8	11,4	8,1
Q_{max} @ f_{max} (GHz)	58 @ 5,6	55 @ 5,5	47 @ 4,6	40 @ 3,0

Tableau 1. Dimensions et caractéristiques mesurées.

La caractérisation sous-pointe de composants inductifs à très haute qualité requiert quelques précautions au niveau du dessin de la structure de test pour limiter les perturbations provoquées par l'environnement de mesure. Ces aspects sont développés dans [9]. Les valeurs d'inductance et de facteur de qualité obtenus sont reportées en fonction de la fréquence sur la figure 3 et résumées dans le tableau 1 avec les caractéristiques géométriques. Ces résultats sont extraits des coefficients de réflexion pour lesquels une incertitude de mesure de 0,002 est observée sur la plage de fréquences 40 MHz – 20 GHz. Cette incertitude se traduit une variation ΔQ de 7 pour une facteur Q égal à 55 [9][10]. Enfin, les résultats issus des simulations électromagnétiques (ANSYS HFSS) effectuées sur chaque solénoïde sont également reportés sur la figure 3. L'excellent accord simulation / mesure permet d'apprécier la fiabilité de ces simulations.

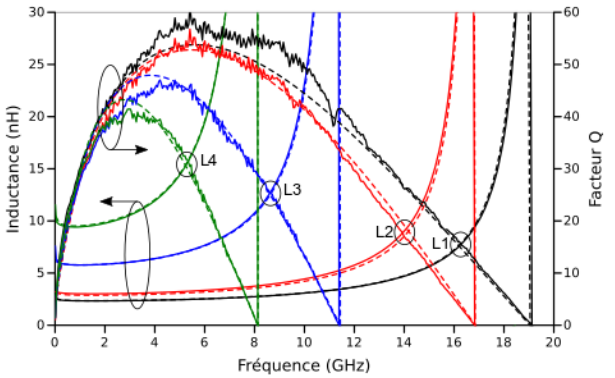


Figure 3. Valeur d'inductance et facteur de qualité des solénoïdes *L*1 à *L*4 en fonction de la fréquence.

4. Discussion

En première approximation, la valeur d'inductance d'un solénoïde peut être déterminée par l'expression suivante :

$$L = \mu_0 n^2 \frac{A}{l_s} \qquad (1)$$

avec A la section du noyau et n le nombre de tours du solénoïde. Cette expression ne tient pas compte de l'effet de peau qui réduit légèrement la valeur d'inductance aux fréquences RF [11]. Les calculs issus de (1) sont donc à comparer avec les valeurs expérimentales disponibles aux fréquences les plus basses retranchées de la contribution des accès au solénoïde, soit environ 0,5 nH. Le tableau 2 montre que l'expression (1) suffit à prédire les valeurs d'inductance avec une bonne précision, et ce malgré les incertitudes de mesure qui augmentent aux fréquences les plus basses (50 MHz ici).

Solénoïde	***L*1**	***L*2**	***L*3**	***L*4**
Expression (1) (nH)	1,84	2,9	5,6	9,65
Mesures à 50 MHz (nH)	2	2,7	5,6	9,4

Tableau 2. Valeurs expérimentales comparées à l'expression (1).

La comparaison des solénoïdes *L*1 et *L*2 montre que la densité d'inductance bénéficie de la réduction de l'espacement s et de la largeur w des conducteurs. En réduisant de 33 % les valeurs de s et w et donc de l_s, la valeur d'inductance de *L*2 augmente de 33 % par rapport à *L*1. Ce résultat est conforme à l'expression (1). Cette amélioration s'accompagne toutefois d'une légère réduction de la valeur maximale Q_{max} du facteur de qualité Q et de la *SRF*. La diminution de *SRF* est due à l'augmentation de capacité inter-spire induite par la

réduction de l'espacement *s*. Cette réduction de dimension amplifie l'effet de proximité entre les conducteurs et fait décroître le Q_{max} simultanément avec la diminution de la section des conducteurs. Par rapport à *L*2, *L*3 double le nombre de tours sans modifier les autres paramètres géométriques. L'augmentation observée sur la valeur d'inductance est toujours en accord avec (1). Le facteur de qualité maximal de *L*3 se dégrade légèrement sous l'effet des pertes capacitives plus élevées par rapport à *L*2. Enfin, le solénoïde *L*4 atteint une valeur de 9,5 nH pour une *SRF* de 8 GHz et un Q_{max} de 40.

Des simulations électromagnétiques ont également été menées pour évaluer le niveau de performance à attendre de ce procédé placé dans un contexte d'intégration « above-IC ». Les solénoïdes *L*2 à *L*4 ont été reproduites au-dessus d'une couche de 20 µm de résine SU8. L'ensemble est placé au-dessus d'une puce constituée d'un substrat de silicium de 10 Ω.cm de résistivité et d'une couche isolante ($\varepsilon_r = 4$) de 17 µm d'épaisseur qui représente l'épaisseur de la partie « Back-End Of Line » (BEOL). La vue en coupe de ces dispositifs est présentée en figure 4. Comme pour les inductances intégrées sur substrat silicium CMOS et BiCMOS, un plan métallique structuré est incorporé sous le solénoïde pour limiter les pertes diélectriques amenées par le substrat [12]. Ce plan est positionné dans la puce à l'aide de ce qui pourrait être le premier niveau métallique (aluminium de 0,8µm d'épaisseur). Les résultats de simulation obtenus sont reportés en fonction de la fréquence sur le graphe de la figure 5. Comme attendu, le remplacement du verre par du silicium abaisse le Q_{max} des solénoïdes. La présence du plan métallique structuré limite toutefois cette baisse mais accroit la capacité parasite à la masse au détriment des *SRF*.

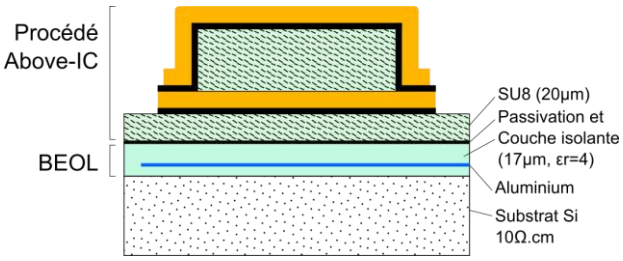


Figure 4. Vue en coupe des dispositifs simulés en configuration « above-IC ».

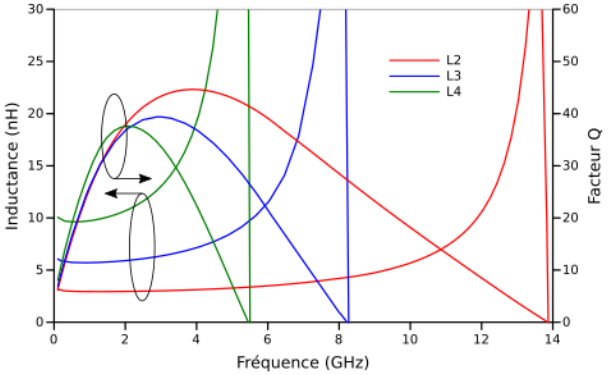


Figure 5. Caractéristiques simulées des solénoïdes *L*2 à *L*4 en configuration « above-IC ».

Nous comparons maintenant ces résultats aux inductances planes disponibles dans les technologies silicium RFIC [13][14]. La comparaison porte sur le Q_{max}, le *SRF* et la surface occupée en fonction des valeurs d'inductance. Seuls les éléments de la littérature exploitant un substrat d'environ 10 Ω.cm de résistivité sont intégrés à la figure 6. On observe que les solénoïdes « above-IC » améliorent considérablement les facteurs de qualité par rapport aux inductances planaires intégrées. Par ailleurs, la surface occupée par les solénoïdes croit proportionnellement avec la valeur, ce qui n'est pas le cas pour les inductances planaires de fortes valeurs. En effet, le compromis à effectuer sur les performances impose de diminuer la surface de ces inductances pour éviter de trop pénaliser la *SRF*. Cette optimisation s'effectue au détriment de la section du conducteur, du diamètre intérieur de la self et donc du facteur de qualité. Un tel compromis n'existe pas dans le cas des composants issus de procédés technologiques dédiés. Des métallisations de fortes sections sont utilisées pour maximiser les performances. La surface occupée par les composants est alors plus importante. Dans le cas d'une intégration de type « above-IC », l'éloignement de ces composants par rapport à la surface du substrat semi-conducteur limite l'impact négatif amené sur la *SRF* par leurs grandes tailles. Par rapport aux inductances planaires intégrées, nous constatons ici que les *SRF* des solénoïdes restent dans le même ordre de grandeur.

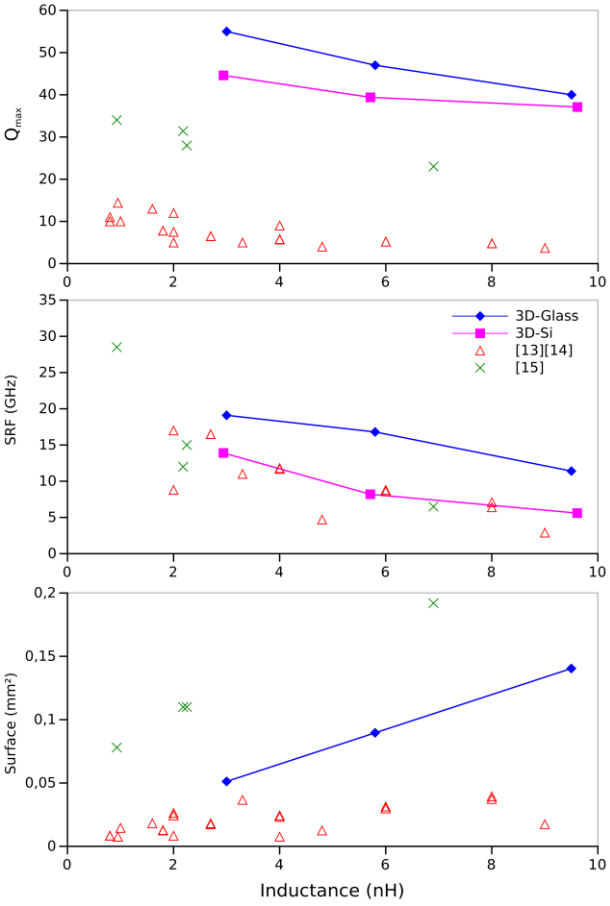


Figure 6. Performances des solénoïdes comparées aux inductances intégrées et « above-IC ».

Nous avons enfin rajouté la référence [15] aux graphes de la figure 6. Ce papier décrit une technologie d'encapsulation « Wafer-Level Packaging » (WLP) qui permet de fabriquer des inductances planaires de haute qualité. Cette technologie reprend des caractéristiques que l'on retrouve communément dans les technologies IPD, à savoir deux niveaux métalliques en cuivre épais (10µm) séparés par une épaisse couche isolante à faible permittivité (16 + 12µm de BC) qui éloigne les composants créés du substrat semi-conducteur. Ce papier nous permet de comparer la topologie planaire spirale avec le solénoïde 3D en termes de performances et d'encombrement. Les inductances fabriquées à partir de ce procédé présentent des *SRF* similaires aux solénoïdes mais des Q_{max} inférieurs, compris entre 20 et 35. Ces valeurs s'expliquent par des sections métalliques (20 µm × 10 µm) et des espacements inter-spires (10 µm) plus réduits que ceux des solénoïdes. Malgré la densité de conducteurs plus importante que cela représente par rapport aux solénoïdes présentés ici, les surfaces occupées par les inductances planaires sont globalement 2× plus importantes que celles des solénoïdes, pour une même valeur d'inductance. Nous pouvons donc conclure que le caractère 3D du solénoïde permet d'afficher des densités d'intégration des passifs nettement plus avantageuses que ce qu'il est possible d'obtenir à partir des technologies planaires et ce, sans compromis sur les performances électriques. Ce résultat permet d'envisager des circuits passifs intégrés 3-D bien plus compacts que ce que proposent les filières IPD planaires conventionnelles.

5. Conclusion

Cet article présente un procédé technologique 3D simple et faible coût permettant de fabriquer des solénoïdes compacts et performants. Les facteurs de qualités maximum ($Q_{max} = 58$ pour $L = 2{,}3$ nH) et les densités d'intégration obtenues (jusqu'à 70 nH/mm²) place le procédé au-dessus des technologies IPD conventionnelles en terme de densité d'intégration tout en restant compatible avec une approche de type « above-IC ». Les possibilités de routage vertical des interconnexions offertes par ce procédé pourraient trouver des applications intéressantes au niveau « wafer level packaging ».

Remerciements

Ce travail a été supporté par la centrale technologique du LAAS-CNRS, membre de la plateforme Renatech et a bénéficié du soutien financier de la Région Occitanie à travers le contrat de collaboration laboratoire/entreprise (CLE-2012) n°12050932.

Références

[1] C. M. Tai and C. N. Liao, *« A Physical Model of Solenoid Inductors on Silicon Substrates»*, IEEE Trans. Microw. Theory Techn., Vol. 55, no. 12, pp. 2579-2585, Dec. 2007.

[2] J. B. Yoon, et al., *« Surface micromachined solenoid on-Si and on-glass inductors for RF applications»*, IEEE Electron Device Lett., Vol. 20, no. 9, pp. 487-489, Sept. 1999.

[3] Y. H. Joung and M. G. Allen, *« Chip-to-Board Micromachining for Interconnect Layer Passive Components»*, IEEE Trans. Compon. Packag. Manuf. Technol., Vol. 30, no. 1, pp. 15-23, March 2007.

[4] D. J. Young, V. Malba, J.-J. Ou, A. F. Bernhardt and B. E. Boser, *« Monolithic high-performance three-dimensional coil inductors for wireless communication applications»*, Electron Devices Meeting, Technical Digest., Dec. 1997, pp. 67-70.

[5] I. Zine-El-Abidine and M. Okoniewski, *« CMOS-Compatible Micromachined Toroid and Solenoid Inductors With High Q-Factors»*, IEEE Electron Device Lett., Vol. 28, no. 3, pp. 226-228, March 2007.

[6] H. Lu, B. Pillans, J.-C. Lee and J.-B. Lee, *« High aspect ratio air core solenoid inductors using an improved UV-LIGA process with contrast enhancement material»*, Microsystem Technologies, Vol. 13, no. 3–4, pp. 237–243, Feb. 2007.

[7] L. Gu and X. Li, *« High-Q Solenoid Inductors With a CMOS-Compatible Concave-Suspending MEMS Process»*, Journal of Microelectromechanical Systems, Vol. 16, no. 5, pp. 1162-1172, Oct. 2007.

[8] A. Ghannam, et al. *« 3-D Multilayer Copper Interconnects for High-Performance Monolithic Devices and Passives»*, IEEE Trans. Compon., Packag., Manuf. Technol., Vol. 3, no. 6, pp. 935-942, June 2013.

[9] O. Bushueva, C. Viallon, A.Ghannam, T. Parra, *« On-wafer measurement errors due to unwanted radiations on high-Q inductors»*, IEEE Trans. Microw. Theory Techn., Vol. 64, no. 9, pp.2905-2911, Sept. 2016.

[10] W. B. Kuhn and A. P. Boutz, *« Measuring and Reporting High Quality Factors of Inductors Using Vector Network Analyzers»*, IEEE Trans. Microw. Theory Techn., Vol. 58, no. 4, pp. 1046-1055, April 2010.

[11] S. Kim, D. P. Neikirk *« Compact equivalent circuit model for the skin effect»*, IEEE MTT-S International Microwave Symposium Technical Digest. Vol. 3, June 1996, pp. 1815-1818 vol.3.

[12] C. P. Yue and S. S. Wong *« On-Chip Spiral Inductors with Patterned Ground Shields for Si-Based RF IC's»*, J. Solid-State Circuits, Vol. 33, no. 5, pp. 743-752, May 1998.

[13] S. J. Pan, L. W. Li, an W. Y. Yin *« Performance trends of on-chip spiral inductors for RFICs»*, Prog. Electromag. Res. Vol. 45, pp. 123-151, 2004.

[14] C. B. Sia, et al., *« Modeling and Layout Optimization Techniques for Silicon-Based Symmetrical Spiral Inductors»*, Prog. Electromag. Res. Vol. 143, pp. 1-18, 2013.

[15] G. J. Carchon, et al., *« Wafer-level packaging technology for high-Q on-chip inductors and transmission lines»*, IEEE Trans. Microw. Theory Techn., vol.52, no. 4, pp. 1244-1251, April 2004.