



Analyse et modélisation des mécanismes de dégradation de grille des transistors à haute mobilité électronique (HEMT) de type AlGa_N/Ga_N

Oana Lazar

► To cite this version:

Oana Lazar. Analyse et modélisation des mécanismes de dégradation de grille des transistors à haute mobilité électronique (HEMT) de type AlGa_N/Ga_N. Electromagnétisme. Université Paul Sabatier - Toulouse III, 2018. Français. NNT : 2018TOU30349 . tel-02199849v2

HAL Id: tel-02199849

<https://laas.hal.science/tel-02199849v2>

Submitted on 27 Aug 2020

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



THÈSE

En vue de l'obtention du DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par l'Université Toulouse 3 - Paul Sabatier

Présentée et soutenue par

OANA LAZAR

Le 22 novembre 2018

**Analyse et modélisation des mécanismes de dégradation
de grille des transistors à haute mobilité électronique
(HEMT) de type AlGaIn/GaN**

Ecole doctorale : **GEET - Génie Electrique Electronique et Télécommunications :**
du système au nanosystème

Spécialité : **Electromagnétisme et Systèmes Haute Fréquence**

Unité de recherche :
LAAS - Laboratoire d'Analyse et d'Architecture des Systèmes

Thèse dirigée par
Jean Guy TARTARIN

Jury

M. Raymond QUÉRÉ, Rapporteur
M. Gerard GHIBAUDO, Rapporteur
M. Christian MOREAU, Examineur
M. Jean-Luc ROUX, Examineur
Mme Marie LESECQ, Examineur
M. Jean Guy TARTARIN, Directeur de thèse

À mon Père et ma Mère,

À ma Sœur,

À Alex

Avant-propos

La réalisation d'une thèse de doctorat représente un travail professionnel, nécessitant à la fois de l'investissement personnel, mais également du soutien, de l'aide et des conseils. C'est la raison pour laquelle dans les paragraphes suivants, je tiens à exprimer toute ma gratitude, l'appréciation et mes remerciements à tous ceux qui ont contribué, d'une manière ou d'autre, à l'achèvement des travaux présentés dans ce mémoire.

Tout d'abord, je tiens à remercier mon directeur de thèse et mon mentor, Jean-Guy Tartarin, Professeur à l'Université *Paul Sabatier III* de Toulouse, pour la confiance accordée, son soutien constant, sa disponibilité, son écoute et ses conseils précieux et avisés à la hauteur de ses compétences et de ses réelles qualités humaines. Sa relecture finale méticuleuse de chacun des chapitres m'a permis de pouvoir présenter ce manuscrit avec des très bonnes appréciations.

J'adresse mes sincères remerciements à Monsieur Raymond Quéré, Professeur à l'Université de Limoges (*XLIM*), qui a accepté de rapporter sur mon travail de thèse, et qui m'a fait l'honneur de sa présence en tant que président du jury de thèse. Je remercie sincèrement Monsieur Gerard Ghibaudo, Professeur à *IMEP-LAHC* Grenoble, qui a jugé mon travail en qualité de rapporteur, ainsi que Madame Marie Lesecq, Directrice de Recherches à l'*IEMN* Lille, qui a assisté à ma soutenance en tant qu'examinatrice.

Également, je souhaite exprimer mon appréciation et ma gratitude aux Messieurs Christian Moreau, Ingénieur Expert en Fiabilité des Composants Electroniques à la *DGA* Rennes, Jean-Luc Roux et Geoffroy Soubercaze-Pun, Ingénieurs Experts en Études Spatiales au *CNES* Toulouse, qui au travers de leur soutien matériel, ont reconnu mon travail et m'ont fait confiance. Je leur remercie vivement pour leur expertise et pour leur patience en ce qui concerne la rédaction et la soutenance de ma thèse. Sans eux ce travail n'aurait probablement pas vu le jour.

Merci à notre partenaire Monsieur Benoît Lambert, Ingénieur Expert en Fiabilité des Composants à base de GaN de chez *UMS*, qui nous a mis à disposition la dernière génération de transistors GaN pour nos études et caractérisations. Un grand merci également aux Messieurs Jean-Luc Muraro et Dominique Langrez, Ingénieurs Spécialistes en Fiabilité des Composants et Circuits Electroniques de chez *Thales Alenia Space* France, d'avoir suivi mon travail et de m'avoir permis de rester en contact avec les besoins du monde de l'entreprise.

Mes remerciements s'adressent également aux Messieurs Jean Arlat et Liviu Nicu, successivement Directeurs du *LAAS-CNRS*, Messieurs Olivier Llopis et Éric Tournier, Directeurs de Recherches et Responsables du groupe *MOST*, de m'avoir ouvert les portes du laboratoire sans aucune limite. Je remercie tous les membres de l'équipe *MOST*, et aussi le personnel administratif pour leur support.

Merci également à Monsieur Jacques Graffeuil, Professeur Émérite, à Alexandre Rumeau et à Laurent Bary, Ingénieurs de Recherches, pour leurs supports techniques et leurs conseils qui m'ont aidé à mieux exploiter mon travail.

Je tiens à témoigner toute ma reconnaissance envers mes chers collègues du laboratoire, Audrey, Boris, Damien, Napoléon, Olga, Séraphin, Serge, Xavier de m'avoir donné l'objet le plus important dans un collectif : leur amitié. Un grand merci, c'était un plaisir de vous avoir autour de moi et de partager ensemble autant les succès que les moments difficiles. Je n'oublierai jamais les pauses-café ensemble, les fou-rires et le partage des discussions, des avis, des connaissances.

J'adresse des remerciements aussi à mes amis de longue date : Adrian, Adriana, Cristina, Elena, Iulia, Geo, Lavinia C., Lavinia D., Mihai A., Mihai P., Oana, Romică, Șerban, Valentin pour leur support ; ils ont toujours su m'apporter les moments de bonheur quand j'en ai eu le plus besoin.

Je terminerai par remercier ma famille et Alex, qui m'ont toujours apporté leur soutien et m'ont donné leur confiance, malgré la question angoissante en période de rédaction « Quand est-ce que tu la soutiens cette thèse ? » Sachez que vos encouragements m'ont permis de ne jamais dévier de mon objectif final.

Pour clore ce préambule, je souhaiterais préciser un dernier point : je m'excuse auprès des personnes que je n'aurais malencontreusement pas citées. Je vous remercie à vous tous, mes chers amis, pour votre contribution à la personne que je suis aujourd'hui.

*« La seule vraie sagesse est de
savoir que vous ne savez rien. »*

Socrates

Table des Matières

Table des matières

Avant-propos	3
Introduction générale	13
Chapitre I : Technologies nitrures et HEMTs AlGa _N /Ga _N	15
1.1. Introduction	15
1.2. HEMT à base de nitrure de gallium. Généralités	17
1.2.1. Physique du matériau nitrure de gallium	18
1.2.1.1. Polarisation piézoélectrique	19
1.2.1.2. Polarisation spontanée	20
1.2.1.3. Charges dans les HEMTs AlGa _N /Ga _N	20
1.2.2. Paramètres électriques des matériaux nitrures.....	21
1.2.2.1. Bande interdite	21
1.2.2.2. Mobilité des électrons	22
1.2.2.3. Champ de claquage.....	23
1.2.2.4. Synthèse des performances	23
1.3. Insertion du Ga _N sur le marché. Applications	25
1.3.1. Insertion du Ga _N sur le marché.....	25
1.3.2. Applications du Ga _N à l'état de l'art	25
1.4. Structure des HEMT AlGa _N /Ga _N	27
1.4.1. Formation du canal bidimensionnel 2DEG	27
1.4.2. Structure du HEMT	28
1.4.2.1. Discussion sur les types de substrat	31
1.4.2.2. Discussion sur les types de passivation.....	32
1.4.3. Contact Schottky de grille.....	33
1.4.3.1. Étude des mécanismes de conduction.....	36
1.4.3.2. Caractéristique directe courant-tension.....	36
1.4.3.3. Caractéristique inverse courant-tension	37
1.4.4. Contacts ohmiques	39
1.5. Fiabilité des technologies nitrure	39
1.5.1. Types de stresses.....	41
1.5.1.1. Stress de type Arrhenius (tests accélérés de durée de vie).....	41

1.5.1.1.1.	HTRB (High Temperature Reverse Bias).....	42
1.5.1.1.2.	HTOL (High Temperature Operating Life)	42
1.5.1.1.3.	IDQ stress	42
1.5.1.1.4.	Stress par étape (<i>step stress</i> en anglais)	43
1.5.2.	Mécanismes de défaillance	43
1.5.2.1.	Dégradation piézoélectrique.....	44
1.5.2.2.	Mécanismes de piégeage.....	45
1.5.2.2.1.	Pièges de surface.....	46
1.5.2.2.2.	Pièges de volume	47
1.5.2.3.	Accrochage du niveau de Fermi (Fermi pinning level).....	47
1.5.2.4.	Electromigration (EM) au niveau de la grille.....	50
1.5.2.4.1.	Effet piézoélectrique inverse	52
1.5.2.4.2.	Injection des porteurs chauds (ou ionisation par impact) [101]	54
1.5.2.5.	Défauts situés à l'interface Schottky.....	55
1.5.2.6.	Interdiffusion des matériaux.....	55
1.5.2.7.	Mécanismes de dégradation activés par la thermique.....	57
1.5.2.8.	ESD (ElectroStatic Discharge)	58
1.6.	Conclusions du Chapitre I	59
Chapitre II : Techniques de caractérisation des dispositifs sous tests.....		63
2.1.	Introduction	63
2.2.	Description des technologies étudiées dans ce manuscrit.....	67
2.2.1.	GH50 : déclinaison <i>Nanowatt_317</i>	68
2.2.2.	GH25 : déclinaison <i>Picowatt 36/37B</i>	69
2.2.3.	GH25 : déclinaison <i>Femtowatt</i>	70
2.3.	Procédure de caractérisation développée au LAAS pour les analyses de fiabilité	70
2.3.1.	Techniques non-destructives : Inspection visuelle.....	73
2.3.2.	Techniques non-destructives : Caractérisations électriques en DC (à température ambiante, et de 80 K jusqu'à 400 K)	74
2.3.2.1.	Filière GH25 - déclinaison <i>Picowatt 36/37B</i>	75
2.3.2.1.1.	Analyse du courant de grille	75
2.3.2.1.1.1.	Phénomène « belly-shape ».....	77

2.3.2.1.1.2. Plateau de courant	79
2.3.2.1.2. Analyse du courant de drain	82
2.3.2.1.2.1. Discussion autour du comportement I_{DS}/G_M	85
2.3.2.1.2.2. Phénomène de pic de gain de transconductance à basse température (effet de coude)	88
2.3.2.1.2.3. Analyse des caractéristiques de transfert d'autres composants	94
2.3.2.2. Filière GH25 - déclinaison Femtowatt	96
2.3.2.2.1. Analyse du courant de grille	96
2.3.2.2.1.1. Plateau de courant	98
2.3.2.2.2. Analyse du courant de drain	100
2.3.2.2.2.1. Phénomène de pic de gain de transconductance à basse température (effet de coude)	104
2.3.3. Techniques non-destructives : Caractérisations électriques pulsées	106
2.3.4. Techniques non-destructives : Mesures transitoires I_{GS} , I_{DS} (temps) [72]	108
2.3.5. Techniques non-destructives : Mesures DLTS	113
2.3.6. Caractérisations en bruit basse fréquence	116
2.3.6.1. Sources de bruit dans les HEMT AlGaIn/GaN	117
2.3.6.2. Procédure de mesure	119
2.3.6.3. Caractérisations en bruit basse fréquence sur la grille	121
2.3.6.4. Caractérisations en bruit basse fréquence sur le drain	122
2.3.6.5. Caractérisations en bruit basse fréquence sur le lot Picowatt 36/37B	122
2.3.6.6. Bruit en créneaux (RTN pour Random Telegraph Noise) sur le lot Picowatt 36/37B	124
2.4. Techniques destructives : lames TEM DGA	127
2.5. Conclusions du Chapitre II	128
Chapitre III : Analyse et modélisation électrique du contact Schottky de grille	135
3.1. Introduction	135
3.2. Modèles électriques de la Hauteur de Barrière Schottky de grille (HBS)	137
3.2.1. Modèle de Norde [152]	140
3.2.2. Modèle de Tung	142
3.2.3. Modèle de Cheung	143
3.2.4. Modèle de Werner appliqué à la méthode de Richardson	144

3.2.4.1.	Héritage et description de la méthode	144
3.2.4.2.	Robustesse du modèle de Werner appliqué à la méthode de Richardson 146	
3.2.4.3.	Application au lot de transistors Picowatt 36/37B. Analyse électrique et résultats 147	
3.2.4.3.1.	<i>Picowatt 36/37B</i> : Interprétation des résultats [162].....	152
3.2.4.3.2.	<i>Picowatt 36/37B</i> : validation des hypothèses par des analyses destructives [116]	154
3.2.4.4.	Application sur le lot de transistors Femtowatt. Analyse électrique ..	158
3.2.4.4.1.	<i>Femtowatt</i> : Résultats et interprétation	160
3.2.4.4.2.	<i>Femtowatt</i> : Corroboration avec des analyses destructives [116] 164	
3.3.	Contributeurs et méthodes de commande de la diode Schottky de grille	166
3.3.1.	Illustration du principe sur le lot <i>Picowatt 36/37B</i>	167
3.3.1.1.	TH2 : modélisation du courant de grille en polarisation directe de la diode 167	
3.3.1.1.1.	TH2 : <i>Modèle high</i>	169
3.3.1.1.2.	TH2 : <i>Modèle medium</i>	170
3.3.1.1.3.	TH2 : <i>Modèle low</i>	172
3.3.1.1.4.	TH2 : Interprétation des résultats - Modèle unifié du comportement du courant de grille en température	173
3.3.1.1.5.	TH2 : Conclusion sur le modèle unifié du comportement d' I_{GS} en direct, et en température pour le dispositif vierge du lot <i>H</i>	179
3.3.1.2.	D2 : modélisation du courant de grille en polarisation directe de la diode 181	
3.3.1.2.1.	D2 : <i>Modèle high</i> (idem <i>modèle high</i> du TH2)	183
3.3.1.2.2.	D2 : <i>Modèle medium-high</i>	184
3.3.1.2.3.	D2 : <i>Modèle medium-low</i>	188
3.3.1.2.4.	D2 : <i>Modèle low</i> (idem <i>modèle low</i> du TH2)	190
3.3.1.2.5.	D2 : Interprétation des résultats - Modèle unifié du comportement du courant de grille en température	192
3.3.1.2.6.	D2 : Conclusion sur le modèle unifié du comportement du courant de grille en direct, et en température pour le dispositif vieilli HTOL du lot <i>H</i>	194
3.4.	Conclusions du Chapitre III	196

Conclusion générale.....	203
--------------------------	-----

Introduction générale

Le nitrure de gallium (GaN) est devenu l'un des matériaux semiconducteurs ayant connu la plus forte croissance du marché récent de la microélectronique de puissance. Ses propriétés optoélectroniques et mécaniques le rendent idéal pour des applications diverses, telles que les diodes électroluminescentes (LED), les transistors destinés à des températures élevées, ainsi que des capteurs électroniques biocompatibles chez l'homme. La principale difficulté qui limite les domaines d'application du nitrure de gallium concerne les aspects fonctionnels relatifs à la fiabilité dans le temps, et sous contraintes opérationnelles diverses.

Si l'on considère la fonction d'amplificateur de puissance comme la contribution la plus coûteuse des stations de base (en termes de consommation, de gestion thermique et d'infrastructure), nous remarquons que les spécifications techniques et les designs proposés sont de plus en plus complexes. La volonté collective des principaux acteurs du marché télécom est d'avoir des stations de base multistandards et reconfigurables. Dans ce but, il s'impose la nécessité de disposer d'un amplificateur à large bande, avec une linéarité élevée et un fort rendement en puissance ajoutée, critères qui ne peuvent pas être remplis simultanément avec des semiconducteurs classiques tels que LDMOS, GaAs, HEMT ou HBT. La technologie GaN semble être une candidate idéale en raison des propriétés intrinsèques du matériau semiconducteur GaN et des performances de l'amplificateur GaN qui en résultent, telles que la puissance de sortie élevée, linéarité élevée, fort rendement... Néanmoins, l'introduction sur le marché d'une technologie nouvelle nécessite une technologie mature et fiable au niveau étude.

La technologie GaN est une technologie majeure pour assurer l'indépendance technologique de l'Europe vis-à-vis des concurrents (et alliés) tels que les États-Unis et le Japon notamment. Il est indispensable d'améliorer les performances de ces filières conjointement avec l'assurance de la tenue de ces dernières pour éviter de placer les pays européens dans une position de dépendance au regard des restrictions à l'exportation ou à des technologies sensibles (ITAR - *International Traffic in Arms Regulations*). Dans cette approche, UMS aspire à devenir la référence mondiale des technologies GaN, et à assurer l'indépendance technologique européenne.

Le défi principal pour améliorer la fiabilité des amplificateurs de puissance consiste à combiner les exigences de performances électriques (linéarité et puissance RF) et la contrainte économique de zéro défaut. Par conséquent, ce travail vise à mieux comprendre les mécanismes physiques intervenant dans la dégradation des dispositifs GaN soumis à des contraintes.

Aujourd'hui, le principal inconvénient du GaN consiste dans un manque accru d'efficacité énergétique (PAE – *Power Added Efficiency*) et de fiabilité. Les pièges de surface et de volume

sont reconnus pour être responsables de la limitation de l'excursion RF, qui détermine le PAE. Les pièges de surface peuvent être maîtrisés par un processus de passivation amélioré. Cependant, les phénomènes de retard à la commande (*lag*) doivent être considérés, puisqu'ils limitent à la fois la puissance de sortie et le PAE. La dégradation du contact de grille et la chute du courant de sortie réduisent la fiabilité des dispositifs actifs. Les origines de la dégradation du contact de grille n'étant pas bien identifiées, ce travail se concentre sur l'étude du contact de grille Schottky afin de révéler des mécanismes de dégradation pouvant affecter courant de drain commandé.

Les dispositifs utilisés dans cette étude sont issus de l'évaluation et de la qualification des procédés UMS (*United Monolithic Semiconductor*), un acteur industriel important dans le domaine des composants et des circuits électroniques hyperfréquences. Les DUT (*Devices Under Test*) sont élaborés sur substrat SiC pour améliorer les propriétés thermiques, et concernent deux filières :

- **GH50** : transistors de 0,5 μm longueur de grille, destinés aux applications de haute puissance (supérieure à 100 W en bande S/C) jusqu'à 10 GHz.
- **GH25** : MMIC (*Monolithic Microwave Integrated Circuits*) basés sur des transistors avec une longueur de grille de 0,25 μm , avec des composants passifs. Ils sont dédiés aux applications haute fréquence et large bande jusqu'à 18 GHz.

Nous avons analysé à la fois des transistors vierges, et des dispositifs vieillis afin de mener une caractérisation exhaustive des phénomènes physiques parasites au moyen des divers outils d'investigation.

Cette thèse propose une approche d'analyse de la diode Schottky par le biais de méthodes et de modèles originaux, afin d'améliorer la compréhension (et la perception) des effets parasites et des mécanismes de dégradation de la commande des dispositifs, sur une large gamme de température. Les deux objectifs principaux sont : **le développement d'une technique d'analyse des défauts micro et nanostructuraux et la définition d'une boîte à outils adéquate pour une meilleure compréhension des processus de fabrication et de la fiabilité des technologies GaN.**

Le manuscrit est structuré de manière suivante : le premier chapitre présente les principales propriétés physiques et électroniques du nitrure de gallium, ses domaines d'application, et aussi une synthèse des mécanismes de dégradation le plus souvent rencontrés. Ensuite, le deuxième chapitre met en avance une brève description des filières technologiques étudiées dans cette thèse, ainsi que la procédure de caractérisation développée au LAAS pour les analyses de fiabilité, appliquée à l'ensemble de nos lots de composants sous tests. Enfin, le troisième chapitre propose une analyse et une interprétation originales quant à la modélisation électrique du contact Schottky de grille. Les conclusions principales du manuscrit, aussi bien que les perspectives d'utilisation sont exposées à la fin.

Chapitre I : Technologies nitrures et HEMTs AlGaIn/GaN

1.1. Introduction

Pendant les deux dernières décennies, les composants à grande bande interdite ont suscité un grand intérêt pour répondre aux exigences croissantes des applications de forte puissance, et fonctionnant aux hautes fréquences. En effet, les technologies conventionnelles Si et GaAs ne permettent de réaliser certains modules de puissance qu'au détriment d'une consommation DC et d'une dimension de module rédhibitoires en terme de rendement en puissance ajoutée (*Power Added Efficiency, PAE*) ; voire ne peuvent satisfaire certains niveaux de performances indépendamment de problèmes d'architectures (nombre d'étages et de transistors en parallèle), ou de gestion thermique (température de jonction du composant, circuits de refroidissement du système, ...). Les technologies Nitrure de Gallium (GaN) viennent combler certains manques pour la forte puissance à fréquence élevée, jusqu'à venir concurrencer certains modules de pré-amplification généralement réalisés avec les technologies des tubes (*Amplificateur à Tubes à Ondes Progressives, ATOP*).

Les marchés adressables par ces technologies à état solide sont très importants et couvrent aussi bien les domaines civils que militaires, mais également le segment spatial. Cependant, ces technologies complexes souffrent encore d'un manque de maîtrise au niveau de leur fiabilité : si de nombreuses solutions commerciales sont d'ores et déjà qualifiées, il est certain qu'elles ne fonctionnent pour autant pas à la limite ultime de leur potentiel. Ceci explique les grands efforts apportés à l'amélioration de la connaissance des principes et des origines des dégradations qui affectent les technologies GaN.

À ce jour, les transistors de puissance sont généralement réalisés à base d'Arséniure de Gallium pour les secteurs analogiques hautes fréquences, et à base de Silicium (Si) pour les modules de commutation : ces technologies sont plus limitées dans leurs performances. Par exemple, la résistance à l'état passant R_{ON} des MOSFET de puissance à base de Si a déjà été améliorée par celle des MOSFET de puissance à base de GaN [1]. En outre, les dispositifs à base de Si se dégradent à des températures supérieures à 150°C [2]. Pour les applications analogiques, l'apparition des technologies Nitrures permettent d'améliorer d'un facteur 8 à 12 les densités de puissance, conjointement avec de meilleures propriétés de rendement en puissance ajoutée et d'une gestion thermique plus favorable.

La Figure I - 1 reporte la puissance en fonction de la fréquence pour différentes technologies de semiconducteurs : elle traduit le compromis nécessaire pour les applications de puissance à fréquence élevée. Dans ce contexte, nous visons donc la diagonale, et nous observons que les technologies des tubes détiennent le marché. Le GaN vient combler certains manques, surtout en termes de linéarité et rendement de puissance ajoutée (PAE).

La figure indique par lui-même que les systèmes à base de nitrure de gallium permettent de couvrir des larges domaines d'applications, contrairement aux technologies conventionnelles à base de GaAs ou de Si.

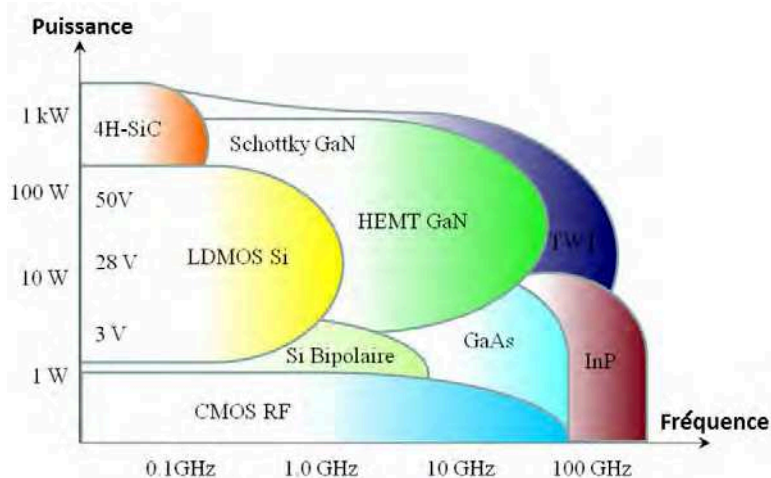


Figure I - 1. Puissance de sortie en fonction de la fréquence pour différents semiconducteurs [3]

Le travail présenté dans cette thèse est réalisé au sein du laboratoire LAAS-CNRS de Toulouse, grâce à un cofinancement CNES-DGA, et avec la participation de Thales Alenia Space. Les études portent essentiellement sur la technologie GH25 en cours de développement chez UMS.

Compte tenu de tous les avantages évoqués, la technologie GaN est une solution prometteuse pour les applications militaires, civiles et spatiales. Pour le militaire, de nouvelles architectures radar peuvent être définies, tout comme les systèmes robustes de transmission de données. D'ailleurs, la DGA a initié et soutenu le développement du procédé GaN via le laboratoire industriel Alcatel-Thales III-V Lab, qui est porteur d'innovation scientifique, largement transférée vers UMS notamment.

Le secteur civil a déjà entamé la couverture de stations de base utilisant du GaN. De plus, le spatial couvre aussi bien des applications de puissance et de réception pouvant évoluer en milieu fortement ionisé : de fait, la qualification des composants doit également considérer ce genre d'environnement (même si la capacité du GaN à supporter de fortes doses de radiations a été reconnue).

Enfin, les applications ciblées d'UMS concernent la défense, l'espace, les télécommunications, et leur intérêt est plutôt centré sur des transistors de puissance RF pour la nouvelle génération de stations de base. Ainsi, UMS cherche à optimiser les étapes-clé de son outil de fabrication industrielle, en visant des filières GaN robustes et fiables, tout en maîtrisant le coût.

Dans ce contexte académique et industriel, le projet s'articule sur la fiabilité de la technologie GaN dans sa phase d'industrialisation. De par le monde, les chercheurs ont réussi

à mettre en évidence une grande palette de défauts liés à des contraintes diverses ; dans de nombreux cas, des interactions électro-thermo-mécaniques ont été identifiées dans ces composants nitrure. Néanmoins, elles ont été rarement ou à peine modélisées en raison de la grande complexité de ces interactions et de la palette non moins variée des déclinaisons technologiques. Si les premières études se sont essentiellement focalisées sur le courant de drain et les défauts du canal, il s'est avéré que la commande joue un rôle majeur dans les instabilités à court, moyen et long terme de ces transistors. Dans cette thèse, nous nous proposons de développer de nouveaux outils d'analyse non destructifs afin d'offrir une meilleure perception des mécanismes de défaillance liés à la commande des transistors HEMT fabriqués en technologie AlGaIn/GaN par UMS.

Notre investigation concerne l'aspect électrothermique du composant, selon deux axes d'étude : la commande (en verticalité) et le canal (en horizontalité). Le but est d'identifier s'il existe ou pas une corrélation entre les variations du courant de grille (liées à la commande) et celles du courant de drain (liées au canal), ainsi que d'analyser l'impact des défauts de commande (grille) sur les processus de dégradation des composants sous test.

1.2. HEMT à base de nitrure de gallium. Généralités

Le Germanium (Ge) a été le premier semiconducteur utilisé à l'échelle industrielle pour la fabrication des dispositifs électroniques. Mais c'est le Silicium (Si) qui constitue le matériau de base de la majeure partie des composants semiconducteurs de par sa facilité d'approvisionnement (silice) et simplicité de fabrication de la majeure partie des procédés utilisés. Il se prête à des productions de diodes, transistors et circuits intégrés. Germanium et Silicium sont des semiconducteurs simples, qui appartiennent au groupe IV du tableau périodique des éléments.

Cependant, il existe un nombre assez consistant de composants binaires tels que l'Arséniure de Gallium (GaAs), Nitrure de Gallium (GaN), Phosphure d'Indium (InP) et de Gallium (GaP), l'Antimoniure d'Indium (InSb) qui associent des éléments des groupes III et V de la classification périodique afin de tirer profit des propriétés d'hétérojonctions et de mobilité des porteurs pour des applications HF. Ces types de matériaux peuvent disposer de bandes interdites variables, les plus élevées favorisant la montée en puissance, tout en prétendant à des fréquences élevées (en favorisant la conduction des électrons à celle des trous, et en profitant de mobilités avantageuses comme par exemple pour le matériau InP comme le suggère son positionnement dans la Figure I - 1). Le matériau GaN et autres alliages associés généralement sous la terminologie Nitrures tirent avantage simultanément de leur grande bande interdite et de leur mobilité électronique intéressante.

Un transistor HEMT (*High Electron Mobility Transistor*), également dénommé HFET (*Heterostructure Field-Effect Transistor*), ou encore MODFET (*Modulation-Doped Field-Effect Transistor*), est une structure à haute mobilité électronique impliquant la jonction de deux zones de semiconducteurs possédant des bandes interdites différentes. Dans ce manuscrit, des HEMT de type AlGaIn/GaN sont étudiés ; donc le HEMT est engendré par l'association de deux matériaux à grande bande interdite : un non-intentionnellement dopé (GaN), et l'autre légèrement dopé (AlGaIn) de façon à limiter les problèmes d'accord de maille aux interfaces.

À cette interface, le gaz d'électrons à deux dimensions (*2DEG, Two Dimensional Electron Gas*) se constitue, permettant aux électrons de circuler librement en raison de l'absence de dopage, limitant ainsi les collisions et améliorant la mobilité (Figure I - 2). La concentration des porteurs est dix fois plus élevée que dans le silicium, ce qui entraîne un courant de drain plus élevé, et donc une puissance plus importante.

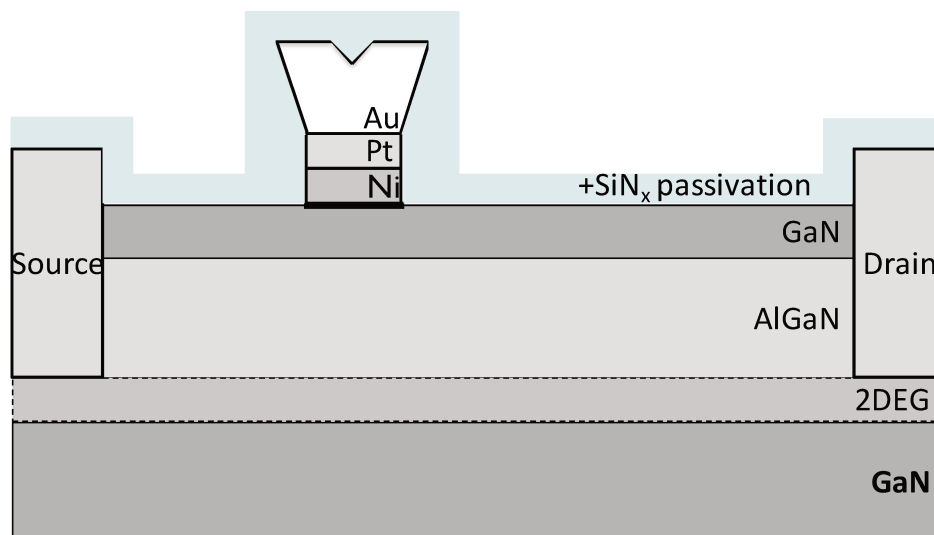


Figure I - 2. Structure basique d'un HEMT de type AlGaIn/GaN

1.2.1. Physique du matériau nitrure de gallium

Trois structures cristallographiques possibles ont été identifiées dans la littérature pour le nitrure de gallium [4] :

1. **Structure hexagonale ou Wurtzite** : à T° ambiante, c'est la plus stable thermodynamiquement ; elle est utilisée en préférentiel pour les composants de puissance.

Il existe une asymétrie par rapport au plan perpendiculaire, ce qui détermine une disposition des atomes vers la face Ga ou vers la face N.

- Disposition des atomes face Ga (Figure I - 3.a) : présente des meilleures propriétés de transport des électrons que la hétérostructure face N [5] ;
- Disposition des atomes face N (Figure I - 3.b).

2. **Structure cubique ou Zinc Blende** : elle est moins stable que la structure Wurtzite, et utile pour la fabrication des films minces.

3. **Structure sel gemme (NaCl) (*rock salt* en anglais)** : c'est la structure la plus résistante à haute pression.

De ces asymétries vont découler les sens spécifiques des polarisations spontanées et piézoélectriques.

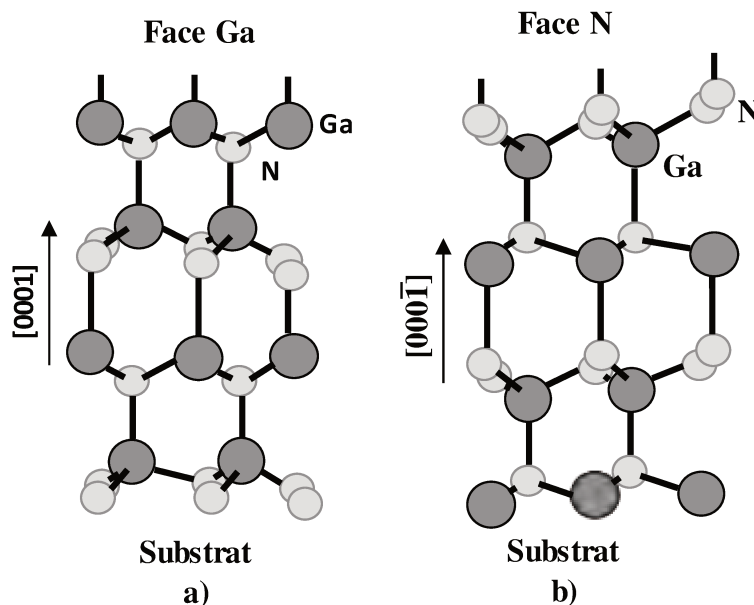


Figure I - 3. Structures cristallines Wurtzite du GaN : a) face-Ga [0001] ; b) face-N [000 $\bar{1}$]

1.2.1.1. Polarisation piézoélectrique

Un matériau GaN déformé mécaniquement voit apparaître à ses surfaces une charge supplémentaire. À l'inverse, si l'on applique un champ électrique à ce matériau, il subira une contrainte mécanique. C'est l'action piézoélectrique directe ou inverse. Selon les conditions de croissance, et ce à différentes températures, il se crée naturellement des états de charge dans les couches Nitrures lorsque le procédé technologique est achevé (contraintes aux interfaces mécaniques de deux couches ayant des désaccords de maille, relaxation thermique des matériaux, ...).

Dans le GaN, deux types de polarisation coexistent : la polarisation piézoélectrique, et la polarisation spontanée [6]. Les charges participantes à la formation de ces polarisations se

trouvent soit sous la grille (après dépôt de cette dernière à haute température), soit dans la couche barrière (AlGa_N par exemple), soit dans la couche tampon (*buffer*) Ga_N. Ainsi, chaque contrainte électrique, thermique, ou mécanique appliquée au matériau change la structure symétrique du cristal. En termes électriques, la contrainte piézoélectrique peut se traduire par des défauts ou des pièges dans le transport des électrons.

Ambacher et al. [5] ont conclu que dans la structure Wurtzite des HEMT AlGa_N/Ga_N, la polarisation piézoélectrique est cinq fois plus grande que pour des structures AlGaAs/GaAs. De cet effet résulte une augmentation de la concentration des porteurs à l'interface, en dépit des processus de piégeage/depiégeage plus importants dans le nitrure de gallium, ainsi que des retards à la commande dans le dispositif.

Dans la couche tampon Ga_N relaxée, il n'y a pas de polarisation piézoélectrique. Ce fait détermine des contraintes compressives ou extensives dans l'AlGa_N. Pour une contrainte compressive, le pourcentage d'Al conditionnera la nature de la contrainte, tandis que dans le cas d'une contrainte extensive, les polarisations piézoélectrique et spontanée auront le même sens d'orientation et seront additives [7].

1.2.1.2. Polarisation spontanée

La polarisation spontanée est établie par la densité surfacique de charges (qui est d'environ 10^{13} cm^{-2}), et crée des conductions dans le Ga_N non-intentionnellement dopé. Elle déclenche l'apparition de phonons acoustiques ou optiques à l'hétérointerface AlGa_N/Ga_N, qui peuvent interagir avec les électrons du HEMT [8]. Ce phénomène entraîne une réduction de la vitesse de saturation des électrons dans le canal, qui se traduit par l'effondrement du courant drain-source.

1.2.1.3. Charges dans les HEMTs AlGa_N /Ga_N

Les polarisations piézoélectrique et spontanée conditionnent l'apparition des charges positives ou négatives, qui sont à l'origine du canal bidimensionnel dans le transistor. La nature des charges dans le canal du transistor (AlGa_N/Ga_N, face N) dépendra de la densité surfacique des charges à l'interface, de façon suivante :

- si la densité surfacique de charges est positive (σ_{AlGa_N} positif), alors le dispositif aura un gaz d'électrons bidimensionnel (2DEG – *Two-Dimensional Electron Gas* → négatif) ;

- si la densité surfacique de charges est négative (σ_{AlGaIn} négatif), alors le composant disposera d'un gaz de trous bidimensionnel (2DHG – *Two-Dimensional Hole Gas* → positif).

La densité totale de charge induite à l'interface AlGaIn/GaN par tous les types de polarisation est d'environ $1,23 \times 10^{13} \text{ cm}^{-2}$ [9]. Néanmoins, dans le dispositif réel des effets secondaires (tels que les dislocations ou les états de surface) peuvent réduire considérablement cette valeur.

Les recherches expérimentales montrent que la courbure des bandes sur du GaN se fait vers le haut, indépendamment de l'orientation cristalline, ce qui indique des états chargés positivement sur la face Ga, et des états chargés négativement sur la face N [7].

1.2.2. Paramètres électriques des matériaux nitrures

1.2.2.1. Bande interdite

Dans la physique des matériaux à l'état solide, la bande interdite (*bandgap* en anglais) est un intervalle d'énergie dans le matériau solide, où aucun électron ne peut exister (pas d'état énergétique stable possible). Ce paramètre se réfère généralement à la différence d'énergie (en électrons volts) entre le haut de la bande de valence et le bas de la bande de conduction (Figure I - 4) dans les isolateurs et les semi-conducteurs. Plus spécifiquement, c'est l'énergie nécessaire pour qu'un électron de valence devienne un électron de conduction. Par conséquent, la bande interdite est un facteur important déterminant la conductivité électrique d'un matériau à l'état solide.

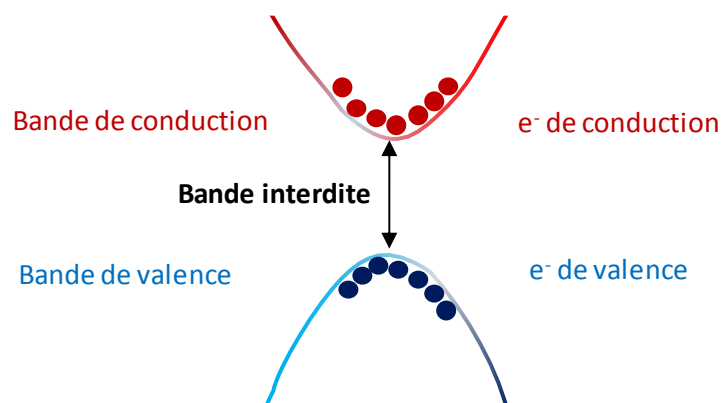


Figure I - 4. Diagrammes des bandes dans un matériau à l'état solide

Le HEMT à base de GaN est formé par association de deux matériaux à grande bande interdite : le nitrure de gallium avec un bandgap plus petit (3,4 eV), et l'AlGaIn avec un bandgap plus important (entre 3,4 eV et 6,2 eV, en fonction du taux d'Al). À l'interface de ces deux matériaux se crée le gaz d'électrons bidimensionnel, 2DEG, permettant aux porteurs électroniques de se confiner dans le matériau à plus forte mobilité (i.e., GaN).

La bande interdite est un paramètre dépendant de la température : elle diminue lorsque la température augmente, puisque le matériau se dilate [10] :

$$E_G(T) = E_G(0) - \frac{\alpha \cdot T^2}{T + \beta} \quad (\text{Éq. 1})$$

où T représente la température en K, α , β , des coefficients constants : $\alpha = 7,7 \cdot 10^{-4}$ eV/K, $\beta = 600$ K.

Étant donné que la bande interdite du AlGaIn est toujours supérieure à la bande interdite du GaN, quel que soit le pourcentage d'Al, le canal 2DEG se forme dans le GaN. De surcroît, le canal à la hétérointerface dépend de la qualité du crystal : un crystal de moins bonne qualité se traduit par une chute de mobilité des porteurs.

Le décalage important entre les bandes de conduction à l'interface AlGaIn/GaN, ainsi que les charges de polarisation font que la concentration de porteurs devienne plus grande par rapport aux autres HEMT avec des matériaux différents.

1.2.2.2. Mobilité des électrons

La mobilité électronique dans le semiconducteur est étroitement liée au niveau de pureté du réseau cristallin. En 1998, Shur [11] a montré que le GaN est moins sensible à l'ionisation par impact que son prédécesseur GaAs. De ce constat résulte d'une mobilité électronique plus faible pour le GaN (1200 cm²/V.s) par rapport au GaAs (8500 cm²/V.s). Puisque les applications de puissance à des fréquences élevées exigent des mobilités électroniques et vitesses de saturation élevées, ceci constitue un désavantage du GaN devant son homologue GaAs. Toutefois, la mobilité électronique du GaN est largement suffisante pour les applications de puissance envisagées à moyen et plus long terme. Cet inconvénient de la mobilité électronique est largement compensé par les autres caractéristiques (grande bande interdite, bon fonctionnement dans un environnement hostile, gestion thermique avantageuse, etc.) évoquées précédemment.

1.2.2.3. Champ de claquage

Le champ électrique maximal qu'un matériau peut supporter détermine le champ de claquage de ce matériau. Au-delà de cette valeur, il apparaît le phénomène d'ionisation par impact, qui provoque une perte de contrôle du matériau : les propriétés électriques ne sont plus respectées. Le champ de claquage est directement relié à la largeur de bande interdite :

$$E_c \propto \sqrt{E_g^3} \quad (\text{Éq. 2})$$

où E_c est le champ de claquage, et E_g représente la largeur de la bande interdite du matériau.

1.2.2.4. Synthèse des performances

L'évolution des technologies a récemment ouvert le champ des applications optoélectroniques aux matériaux nitrure. Le Tableau I - 1 synthétise leurs caractéristiques les plus importantes par rapport à ses principaux compétiteurs :

Matériau	Si	GaAs	GaN	InP	InN	AlN	4H-SiC	Diamant
Bande interdite (eV)	1,1	1,4	3,4	1,3	0,7	6,2	3,3	5,5
Permittivité diélectrique	11,8	11,5	9,5	12,5	14,3	10,3	10	5,5
Champ de claquage (MV/cm)	0,3	0,4	4	0,5	1,2	8,4	3,5	5,6
Mobilité des e^- ($\text{cm}^2/\text{V}\cdot\text{s}$)	1500	8500	1200	5400	3,6	135	650	1900
Vitesse de saturation ($\cdot 10^7 \text{ cm/s}$)	1	2	2,5	1	1,8	2,1	2	2,7
F_T FET (GHz)	20	150	150	300	300		20	
Conductivité thermique ($\text{W}/\text{cm}\cdot\text{K}$)	1,5	0,5	1,3	0,7	0,45	2	3,3 - 4,5	20
n_i (cm^{-3})	$1,5 \cdot 10^{10}$	$1,79 \cdot 10^6$	$1,9 \cdot 10^{10}$			$1 \cdot 10^{31}$	$8,2 \cdot 10^9$	$1,6 \cdot 10^{27}$
T_{MAX} ($^{\circ}\text{C}$)	300	300	700	150	150		600	450 [12]

Tableau I - 1 : Propriétés physiques des semiconducteurs à 300 K [8], [13], [14]

Premièrement, le GaN, le GaAs et l'InP sont des matériaux qui disposent d'un gap direct, ce qui les rend utilisables en optoélectronique, pour les diodes laser à semiconducteur. Ensuite, la faible permittivité diélectrique ($9,5 \sim \text{SiC}$, AlN) permet de réaliser des dispositifs de

grande taille, avec plus d'impédance de sortie, et sans affecter la fréquence de coupure du composant.

Le tableau ci-dessus montre les propriétés intéressantes majeures du GaN par rapport à d'autres matériaux semiconducteurs : sa grande bande interdite (3,4 eV) implique un champ électrique de claquage élevé (4 MV/cm). Associée à une excellente conductivité thermique (1,3 W/cm·K), ces paramètres font de GaN un candidat de premier ordre pour les systèmes fonctionnant à haute température et forte tension. D'autre part, la mobilité électronique (1200 cm²/V·s) et la vitesse de saturation élevées ($v_{\text{sat}} = 2,5 \times 10^7$ cm/s) permettent au GaN d'avoir un avantage supplémentaire sur les autres matériaux à grande bande interdite, en termes de fréquence de fonctionnement RF des dispositifs.

Si les avantages des technologies Nitrures sur les autres technologies concurrentes est avéré pour les applications de puissance, le secteur des applications faible bruit n'est pas en reste. Même si les HEMT à base de GaAs et InP disposent d'un faible niveau de bruit, leur champ de claquage est faible, et ils ont besoin d'un circuit de protection en tête de l'amplificateur faible bruit (ce qui dégrade le facteur de bruit du module de réception conformément à l'application de la formule de Friis). Les HEMT à base de GaN ont une tension de claquage élevée, supportent des puissances d'entrée de l'ordre de 40 dBm voire plus en bande X, et n'ont plus besoin de ce circuit de protection [15], [16]. De plus, la forte puissance de sortie permet la réalisation d'oscillateurs présentant des facteurs de Leeson très convenables à 10 GHz et au-delà ([17]–[19], et notamment [20]).

L'utilisation de ces matériaux pour la fabrication des dispositifs électroniques exige un degré de pureté et une perfection cristalline très élevés. La nécessité de faire appel à des techniques de dopage du buffer GaN (atomes donneurs et/ou accepteurs), afin de réaliser des structures HEMT plus performantes peut être confrontée à des limitations des techniques de dopage, ou à des problèmes liés à la physique des matériaux (et de leur compatibilité). De plus, ces dopages doivent rester stables au cours du temps et des contraintes subies par le dispositif, au risque de voir la fonction initiale se dégrader. Pour cette raison, et d'autres énoncées dans la suite de ce chapitre, il est important de pouvoir se doter d'outils de contrôle initial en sortie de process, et au cours de l'application de tests de robustesse comme nous l'évoquerons dans ce document.

1.3. Insertion du GaN sur le marché. Applications

1.3.1. Insertion du GaN sur le marché

Le nitrure de gallium se positionne comme une alternative de substitution aux technologies à base de silicium (Si), arséniure de gallium (GaAs) ou encore phosphore d'indium (InP) pour les applications haute puissance, à des fréquences élevées. Le Si et le GaAs sont des solutions déjà maîtrisées et commercialisées de longue date sur des volumes de production conséquents, tandis que l'InP vise des marchés de niche pour les applications hautes fréquences.

En 1993 apparaissent les premiers transistors HEMT, développés à base de nitrure de gallium. Le GaN se trouve encore en phase de transfert, à la frontière entre la recherche et l'industrie, principalement à cause d'un manque de fiabilité et d'un coût de production trop élevé (même si les systèmes utilisant ces technologies connaissent un essor remarquable, le marché reste encore confidentiel relativement à celui des technologies concurrentes à base de GaAs).

1.3.2. Applications du GaN à l'état de l'art

Récemment, les chercheurs ont mis en évidence des performances très intéressantes du GaN [21], synthétisées dans le Tableau I - 2 :

Substrat	HEMT non passivé	HEMT passivé	FP - HEMT
Saphir	4 W/mm à 4 GHz [22] 3 W/mm à 4,2 GHz [25]	4,65 W/mm à 20 GHz [23]	12 W/mm à 4 GHz [24]
SiC	12 W/mm à 10 GHz [26]	10,5 W/mm à 40 GHz [27]	41,7 W/mm à 4 GHz [26] 30 W/mm à 8 GHz [28] 9,1 W/mm à 18 GHz [29] 5,7 W/mm à 30 GHz [30]
GaN	-	9,4 W/mm à 10 GHz [31]	-
Si(111)	1,9 W/mm à 10 GHz [32]	12 W/mm à 2,14 GHz [33] 5,1 W/mm à 18 GHz [35]	7 W/mm à 10 GHz [34]
Si(100)	-	-	2,9 W/mm à 10 GHz [36]

Tableau I - 2 : Tableau des performances à l'état de l'art des HEMT nitrure

Néanmoins, il est important de préciser qu'il s'agit de record obtenu sur des petits transistors (typiquement mono ou bi-doigt $2 \times 50 \mu\text{m}$). Sur des applications réelles, la densité de puissance est limitée à environ 3 W/mm, les paramètres limitants étant la PAE et la fiabilité.

Le nitrure de gallium représente à l'heure actuelle la niche la plus prometteuse des matériaux à l'état solide (à part le diamant, qui est encore plus prometteur, mais pas encore mature suite aux problèmes de dopage) pour concevoir des modules à fort rendement de puissance ajoutée fonctionnant à haute fréquence et forte puissance. Puisque la gestion thermique, la miniaturisation des composants et aussi la tolérance aux agressions EM des circuits sont des critères remplis simultanément par les filières nitrures, de nouvelles architectures de système ont été proposées dans le domaine militaire, terrestre et spatial : systèmes télécommunications (point à point, Wi-Fi, station de base, SatCom, Micro/Femto/Small cells...) et systèmes radars jusqu'en bande Ka.

Les HEMT à base de GaN utilisés pour l'amplification de puissance, l'amplification faible bruit robuste (immune aux agressions RF), voire la synthèse de fréquence faible bruit de phase, les convertisseurs de fréquence, les commutateurs ou les atténuateurs déphaseurs programmables (*Corechip*), témoignent de leur maturité pour adresser les segments de marché des infrastructures de télécommunication, du segment spatial, de la défense, de la sécurité et du domaine automobile.

Plus de 80 entités industrielles ont investi dans ce segment technologique en qualité de fournisseur de technologie ou client-concepteur : Aethercomm, Alcatel-Lucent, Ampleon, Anadigics, AT&T, Bell laboratory, Cisco, China Mobile, China telecom, China Unicom, Cree, Dynax, Dowa, EADS, Epigan, Ericsson, Eudyna, Filtronic, Freescale, Fujitsu, Global communication semiconductors, Hittite / Keragis, Huawei, II-VI Inc, IMECAS, Infineon, Intel, IQE, KDDI, KT, LG Plus, Lockheed Martin, M/A-COM, Microsemi, Mitsubishi Chemical, Mitsubishi Electric, Motorola, NEC, Nitronex, Norstel, Nokia networks, Northrop Grumman, NTT, NTT DOCOMO, NXP, OMMIC, Powdec, Qorvo, Qualcomm, RFHIC, RF Lambda, RFMD, Samsung, SICC, SiCrystal, SK Telecom, Softbank, Sprint, ST Microelectronics, Sumitomo Electric, Enkris Semiconductor, Raytheon, TankeBlue, Telstra, Thales, Thales III-V lab, T-mobile, Toshiba, Triquint, UMS, Unity Wireless, Verizon, Vodafone, WINSemiconductors, Wolfspeed & ZTE...

Ceci montre la diversité des études (souvent concurrentes) consenties pour adresser ce segment technologique nitrure, et les difficultés résultantes pour unifier ces études notamment sur le domaine de la fiabilité ; en étant conscient que sur un même procédé technologique, une modification pouvant paraître mineure peut affecter sensiblement des caractéristiques électriques et de fiabilité, il est aisé d'imaginer le challenge que représente la maîtrise d'une chaîne de production vers des performances abouties (i.e. suffisamment performantes pour être compétitives, et suffisamment fiables pour convaincre les clients). Dans cette logique, il est intéressant pour un fondeur d'élargir son 'portfolio' d'expertise sur sa filière. Ce travail s'inscrit dans une telle logique collaborative avec les clients porteurs de l'étude (DGA et CNES) ou partenaires (Thales Alenia Space), le fondeur (UMS) et le laboratoire de recherche LAAS-CNRS au sein duquel les études ont été développées.

1.4. Structure des HEMT AlGaIn/GaN

1.4.1. Formation du canal bidimensionnel 2DEG

La formation du gaz d'électrons bidimensionnel (2DEG) dans des structures AlGaIn/GaN dopées et non-dopées est l'effet des polarisations piézoélectrique et spontanée. Elle dépend essentiellement du dopage des matériaux et de la polarisation.

L'effet piézoélectrique conduit donc à la formation d'un 2DEG avec une densité de charge de surface élevée, même dans les structures AlGaIn/GaN non-intentionnellement dopées. Les densités de porteurs en surface dans les matériaux nitrure non dopés peuvent en effet être comparables à celles réalisables dans les structures dopées, mais sans la dégradation de mobilité qui résulte de la présence d'impuretés ionisées dans le canal. La concentration de porteurs en surface n_s dans le 2DEG, à l'interface AlGaIn/GaN non-intentionnellement dopée est donnée par l'équation suivante :

$$n_s(x) = \frac{\sigma_{interface}}{q} - \left[\frac{\epsilon_{AlGaIn}}{d \cdot q^2} \right] \cdot [q \cdot \Phi_b + E_F - \Delta E_c] \quad (\text{Éq. 3}) [37]$$

où $\sigma_{interface}$ représente la densité de charge induite par effet piézoélectrique, q , la charge électronique ($q = -1,602 \cdot 10^{-19}$ C), ϵ_{AlGaIn} , la constante diélectrique de l'AlGaIn, d , la largeur de la barrière AlGaIn, ϕ_b , la hauteur de barrière Schottky de grille, $E_F - \Delta E_c$, le niveau de Fermi par rapport à l'énergie de la bande de conduction du GaN, à l'interface GaN/AlGaIn.

Le pourcentage d'Al dans la couche barrière règle la densité surfacique de charges. Un dopage de type **donneur** augmente la densité surfacique de charges dans le 2DEG, tandis qu'un dopage de type **accepteur** améliore le confinement des porteurs dans le 2DEG. Pourtant, les dopages en général amplifient la quantité de défauts dans la structure.

Les impuretés affectent sérieusement la concentration des porteurs dans le canal bidimensionnel, surtout pour une épaisseur faible d'AlGaIn. Plus spécifiquement, Lehmann [38] a mesuré des concentrations de porteurs faible, cette dégradation étant causée par les ions fluor situés au voisinage du 2DEG.

Cependant, une grande partie des recherches attribue la formation du canal bidimensionnel à l'existence des états de surface. Ibbetson et al. [39] ont élaboré un modèle qui porte sur neutralité de la charge globale. Ils promeuvent le besoin d'une compensation des charges du canal par des donneurs ionisés en surface, afin de garder cette neutralité globale dans la structure. L'interdépendance entre le 2DEG et les états de surface a été aussi avancée par d'autres groupes de chercheurs [39]–[41].

De l'autre côté, Bakeroot et al. [42] ont élaborée un modèle pour expliquer l'origine de ces états d'interface positifs. Selon eux, le désordre dans la région de surface du semiconducteur

introduit par la formation de l'isolateur est l'origine des états d'interface. Le départ de la structure cristalline de quelques monocouches introduit un continuum d'états localisés. Plus ces états s'éloignent du semiconducteur, moins ils arrivent à communiquer électriquement avec les réservoirs en dessous du semiconducteur (pièges lents de bord ou *border traps* en anglais).

Enfin, et ce point sera repris par la suite de ces travaux, la hauteur énergétique liée au dernier terme de l'équation 3 est un paramètre sensible ; une variation de ce paramètre pourrait entraîner des variations de la densité de charge (apparition de potentiel interne, variations de la hauteur de barrière Schottky apparente...).

1.4.2. Structure du HEMT

Un HEMT est essentiellement composé d'un contact Schottky de grille, pour la commande du courant dans le canal transistor, et deux contacts ohmiques, de drain et source. Le courant circule du drain vers la source dans le puits de potentiel créé à l'interface des deux matériaux dont :

1. **la couche barrière** : qui est la couche supérieure de grand gap (AlGaIn)
2. **la couche tampon (*buffer*)** : est la couche inférieure, de plus faible gap (GaN), non-intentionnellement dopé, de type n (10^{-16} cm^{-3}). Cette couche peut être sensible à une pollution à l'oxygène et autres lacunes d'azote.

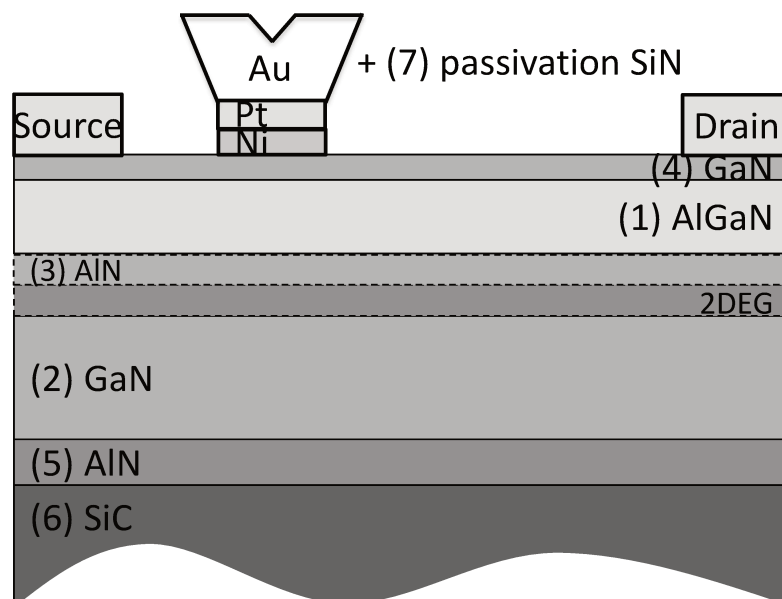


Figure I - 5. Structure d'un HEMT de type AlGaIn/GaN

La couche barrière AlGaIn est la couche donneuse d'électrons ; elle est considérée comme générant le taux de porteurs dans le 2DEG. Elle ne doit pas être trop épaisse afin de faciliter le contrôle par la grille du courant dans le canal (avec un rapport entre la longueur de grille et l'épaisseur de couche typiquement comprise entre 5 et plus de 10 pour les technologies GaN, ce rapport étant plus faible pour les technologies GaAs).

Ainsi, un premier facteur qui conditionne la formation du gaz d'électrons bidimensionnel à l'interface AlGaIn/GaN est **l'épaisseur de la couche barrière**. Le 2DEG se forme à partir d'une épaisseur de l'AlGaIn entre 3 et 5 nm [39], [43], [44], la densité de porteurs se stabilisant à 10 nm. Quand l'épaisseur de l'AlGaIn augmente, les processus de piégeage liés aux centres profonds attribués au dopage de compensation (souvent fer ou carbone) du *buffer* peuvent augmenter. Il existe des moyens pour diminuer l'impact des processus de piégeage sur les performances du composant, les plus connus étant l'amélioration des techniques de croissance des couches, ainsi que l'insertion d'une couche tampon entre les hétérostructures.

Ensuite, l'influence de la **concentration d'Al** dans la couche AlGaIn joue un rôle aussi sensible que l'épaisseur de la couche. Ozgur et al. ont déjà essayé de fabriquer des couches barrière AlGaIn, avec des pourcentages Al élevés [45], et ils ont été confrontés à des défauts d'interface dus à la croissance détendue de l'AlGaIn sur du GaN, provoquant la dégradation de la mobilité des électrons dans le canal bidimensionnel. L'une des solutions proposées pour améliorer la mobilité consiste dans une croissance graduelle de la couche barrière AlGaIn, avec un décalage plus fort entre les bandes de conduction, ce qui conduit à un puits quantique triangulaire plus profond [9].

L'augmentation du pourcentage d'Al dans l'AlGaIn (idéalement entre 20% et 30%) est d'autant plus importante que la longueur de grille est courte, donc la couche barrière faible en épaisseur pour respecter la règle du nombre d'or (L_g/a). Ceci implique le fait que les fabricants augmentent le pourcentage en aluminium pour compenser la perte en Ns, et donc pour diminuer le piégeage, et pour remonter les polarisations piézoélectrique et spontanée : la résistance de surface R_{SH} diminue en conséquence [5]. Étant donné que R_{SH} ne dépend pas de la passivation, nous concluons que cette résistance n'est pas mesurée en surface, mais à l'interface AlGaIn/GaN [46]. Néanmoins, les données expérimentales révèlent que le seuil de dégradation est plus élevé si la concentration d'Al dans la couche barrière AlGaIn est réduite [47].

Khan et al. [48] ont remarqué qu'à champ moyen ($V_{DS} < 20$ V), les électrons du canal peuvent être injectés dans l'AlGaIn. Ici, ils désertent le canal et ils diminuent le courant I_{DS} en conséquence. Hajlasz et al. ont proposé la création d'une couche TiN au niveau des contacts ohmiques afin de capter les ions azote à l'interface AlGaIn/GaN [49], [50]. En conséquence, un dopage en ions négatifs est effectué, ce qui est à l'origine de la création d'un second canal de conduction : $R_{SK} < R_{SH}$.

Le dopage de type donneur (avec des ions négatifs) a la qualité d'augmenter la densité de porteurs dans le canal. Cependant, une diminution de la mobilité des porteurs est aussi provoquée, ce qui impute directement la réduction de la fréquence de coupure du gain en courant du dispositif.

Le dopage de type accepteur (avec des ions positifs de Fe, par exemple) de la couche tampon GaN confine les porteurs dans le canal 2DEG, ce qui permet de disposer des bonnes tensions de claquage. Néanmoins, le processus de dopage laisse place à des effets de pièges si le profil du Fe est mal optimisé.

Une structure HEMT de type AlGaIn/GaN peut bénéficier des couches de transition supplémentaires, afin d'améliorer les performances électriques du dispositif :

3. **L'espaceur AlN** situé à l'interface AlGaIn/GaN pour améliorer l'accord de maille, doit être fin par rapport à l'AlGaIn pour qu'il ne dégrade pas la couche barrière. En ajoutant une hauteur énergétique supplémentaire à la hauteur de barrière ϕ_B , son rôle déterminant est de limiter les piégeages dans l'AlGaIn, ainsi que de réduire la diffusion des porteurs dans la couche barrière quand une polarisation est appliquée sur la grille [51]. De cette manière, la mobilité électronique de la structure est optimisée, et le nombre de pièges est réduit [52].
4. **Le GaN cap** protège contre l'oxydation de la structure du composant sensible à l'oxygène [53], [54]. Ivo et al. [47] ont constaté que les échantillons avec une couche de GaN cap présentent des tensions critiques beaucoup plus élevées par rapport aux échantillons ne possédant pas cette couche supplémentaire. Ils ont effectué des mesures d'électroluminescence pour localiser les défauts après un stress en tension continue jusqu'à 80 V pour le wafer sans GaN cap, et 120 V pour le wafer avec le GaN cap.
L'utilisation de cap layer GaN s'avère efficace aussi pour confiner les électrons dans le canal, et minimiser l'effet de canal court pour les applications à grande vitesse, en favorisant l'industrialisation rapide de cette technologie.
5. **Le substrat SiC**. Toutes les couches sont déposées par épitaxie sur le substrat. Parmi les différents types de substrat, les transistors étudiés dans ce manuscrit sont fabriqués sur du **SiC**, en raison de ses bonnes propriétés thermiques pour l'évacuation de la puissance dissipée et son faible désaccord de maille, malgré son coût élevé.
6. **La couche de passivation** est décisive concernant la réduction des défauts de surface, et l'effondrement du courant de drain. Les dispositifs étudiés dans cette thèse bénéficient d'une passivation de surface à base de nitrure de silicium (Si_3N_4).

7. Le **plateau de champ** (*field-plate* en anglais) est utilisé pour améliorer les performances électriques du dispositif. Lorsque la longueur de grille est réduite (pour favoriser la montée en fréquence), une augmentation du champ électrique côté drain se produit, et donc une limitation de la tension de claquage. Les solutions proposées afin d'augmenter cette tension de claquage sont soit l'élargissement de la distance grille-drain, soit l'utilisation d'un *field-plate*. Cependant, la contrepartie est l'apparition d'une capacité de contre-réaction qui réduit les fréquences de transition et maximale d'oscillation. Pour cette raison, et en dépit des avantages d'optimisation du profil de champ et de ses conséquences pour la robustesse du dispositif, des filières technologiques continuent toutefois de ne pas utiliser ce plateau de champ.

1.4.2.1. Discussion sur les types de substrat

Les substrats en **Si** ont l'avantage d'un faible coût, ainsi que la fabrication des wafers de grands diamètres qui réduisent les coûts de production. Il peut être rendu compatible aussi avec la technologie Si utilisée pour les circuits numériques [55].

Le **saphir** (Al_2O_3) bénéficie toujours d'un faible coût, et des grands diamètres de wafer, ce qui le rend attractif pour les applications optiques. Néanmoins, sa conductivité thermique faible (Tableau I - 3) ne convient pas aux applications de puissance à haute fréquence.

Une possibilité intéressante serait la fabrication du GaN sur du **GaN** (0% désaccord de maille, Tableau I - 3). Cependant, ceci est difficilement réalisable car le GaN est naturellement de type n. Afin de le rendre plus résistif, un dopage de type p serait nécessaire [56].

Les solutions de transfert (technique de report) sur substrat **diamant** sont aussi une voie d'exploration intéressante pour des performances ultimes, en dépit d'un coût de production prohibitif pour des marchés de volume.

Une comparaison entre les cinq types de substrat est résumée dans le Tableau I - 3 :

Substrat	Conductivité thermique (W/cm·K)	Désaccord de maille (%)
SiC	4,5 - 5	3,4 - 4
Si	1,5	17
Al_2O_3	0,25 – 0,35	14
GaN	1,3 - 1,7	0
Diamant	180	90

Tableau I - 3 : Conductivité thermique et désaccord de maille pour la croissance du GaN sur différents substrats

1.4.2.2. Discussion sur les types de passivation

Le but de la passivation est d'améliorer les performances électriques en DC et RF, ainsi que la fiabilité, en réduisant les effets de piégeage et les courants de fuite du contact Schottky. La passivation doit supporter un champ de claquage électrique supérieur à ceux du GaN et de l'AlGaIn, qui sont de l'ordre de 4 MV/mm. En outre, elle doit disposer d'une faible constante diélectrique afin de réduire les capacités parasites qui limitent les performances RF. Pour ces raisons, les fabricants utilisent fréquemment deux types de passivations : une primaire et une autre secondaire. Le Tableau I - 4 illustre les performances des différents types de passivation utilisées actuellement :

Passivation	Constante diélectrique ϵ	Champ de claquage E_{Bd} (MV/cm)
Si_3N_4	7	3 – 12
Al_2O_3	9	5 – 10
BCB	2,7	3 – 5
SiO_2	3,9	3 -12

Tableau I - 4 : Performances des différents types de passivation utilisées actuellement pour les HEMT à base de GaN [57]–[63]

Le SixNy est généralement assimilée à une passivation primaire (alternative : Al_2O_3), et le BCB, à une passivation secondaire. Le SiO_2 peut être utilisé pour diminuer les capacités parasites, en raison d'une constante diélectrique plus faible.

1.4.3. Contact Schottky de grille

Le contact Schottky se forme entre un semiconducteur de type n et un métal lorsque le travail de sortie du semiconducteur est inférieur à celui du métal, en absence de polarisation. Étant donné que la zone de déplétion se situe dans le semiconducteur, l'inflexion de la courbure des bandes se réalisera vers le haut. Ce phénomène est illustré dans la Figure I - 6 :

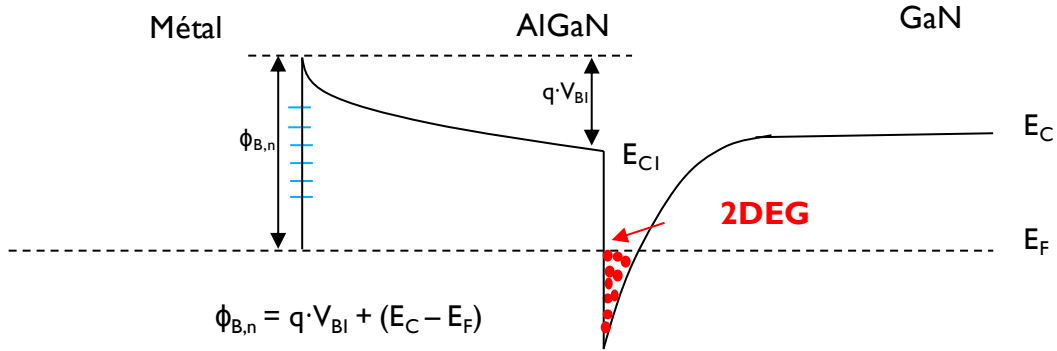


Figure I - 6. Illustration d'un contact Schottky de grille dans un HEMT AlGaIn/GaN : les états de surface répartis sont représentés en bleu, et les électrons dans le 2DEG sont représentés en rouge.

Entre le métal et le semiconducteur, une relation de type $q \cdot \phi_B = q \cdot \phi_m - q \cdot \chi$ établit l'apparition du contact Schottky, où $q \cdot \phi_m$ représente le travail de sortie du métal, $q \cdot \phi_B$, le travail de sortie du semiconducteur, et $q \cdot \chi$, l'affinité électronique du semiconducteur. Lorsque $q \cdot \phi_m > q \cdot \phi_B$, les électrons passent du semiconducteur au métal lors de la mise en contact, et les couches AlGaIn et GaN présentent un dopage résiduel de type n.

Un contact Schottky ne met en action que des porteurs majoritaires. De ce fait, les temps de commutation obtenus sont faibles. La commande est opérée par la grille, qui module la quantité de charges dans le canal en fonction de la relation établie entre la bande de conduction et le niveau de Fermi (Figure I - 6). Ainsi, une tension positive appliquée sur la grille amène une polarisation directe sur la jonction, en déclenchant la conduction thermoionique (Figure I - 7 – b et d). De la même manière, une tension négative appliquée sur la grille amène une polarisation inverse sur la jonction, en déclenchant la conduction par effets tunnel (T), Poole-Frenkel (PF) et tunnel assisté par des pièges (TAT) (Figure I - 7 – c et d).

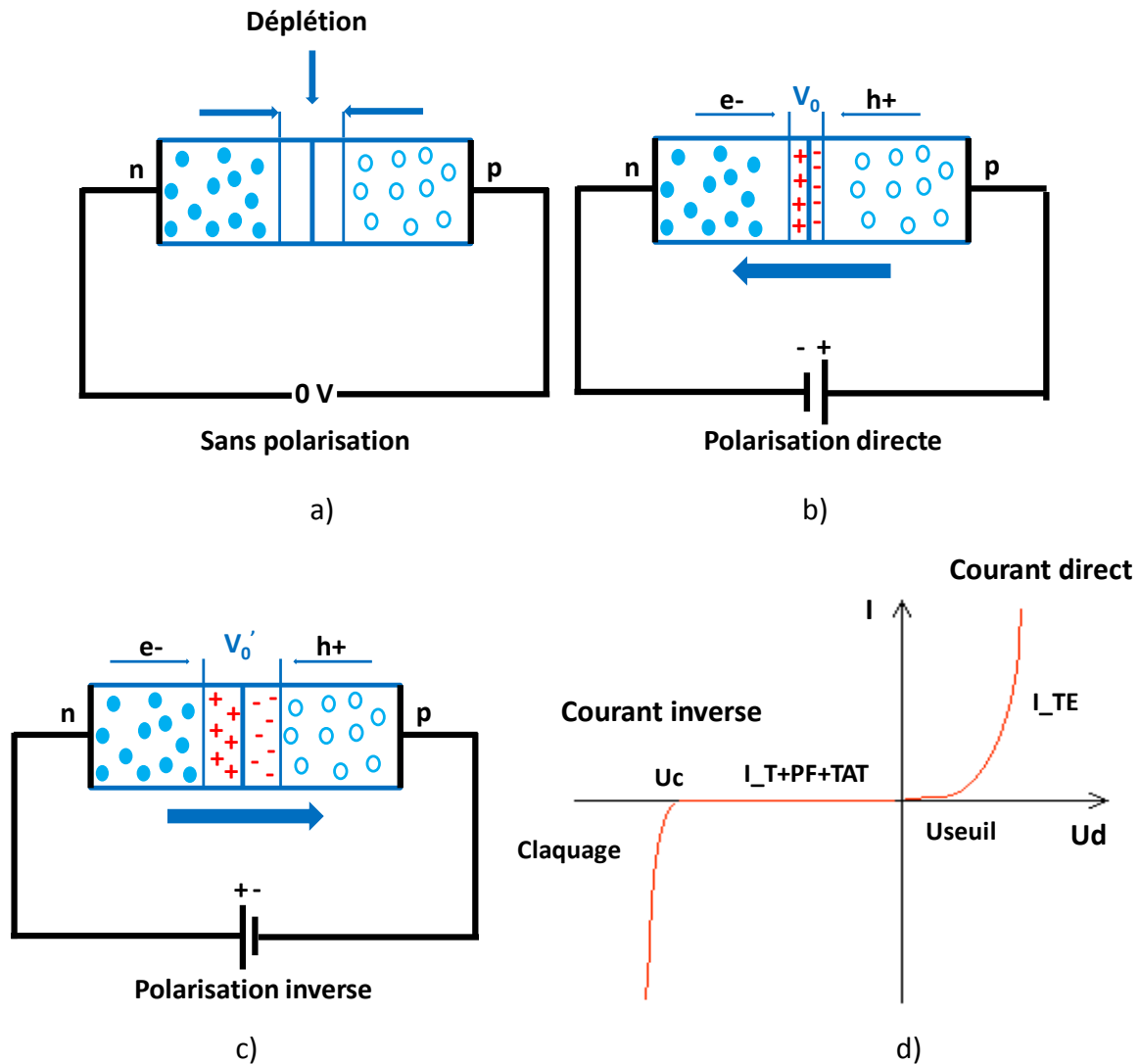


Figure I - 7. a) Jonction np sans polarisation. b) Jonction np avec une polarisation directe. c) Jonction np avec une polarisation inverse. d) Courant thermoïonique (courant direct, I_{TE}) engendré par la polarisation directe de diode, et courant tunnel (T), Poole-Frenkel (PF) et tunnel assisté par des pièges (TAT) (courant inverse) engendré par la polarisation inverse de diode.

L'effet transistor consiste dans la modulation du courant du canal par une tension négative de grille, lorsqu'une tension positive est appliquée sur le drain (Figure I - 8.a). Le contact Schottky de grille est lié à la commande, et concerne les mécanismes de fuite. Des transistors de type *normally-on* sont analysés dans ce manuscrit.

La Figure I - 8.b reporte le comportement dynamique autour d'un point de repos (Q) d'un amplificateur fonctionnant en classe A pour évoquer la nécessité de disposer en sortie d'un signal sinusoïdal (en régime linéaire); et donc un signal non perturbé par un ensemble d'évènements (pièges, défauts) qui peuvent amener de la distorsion. D'autres évènements peuvent modifier les caractéristiques de sortie I_d-V_{ds} , et altérer les performances d'un

composant dans son contexte circuit/système : ceci relève de la fiabilité qui sera plus particulièrement étudiée dans ce manuscrit.

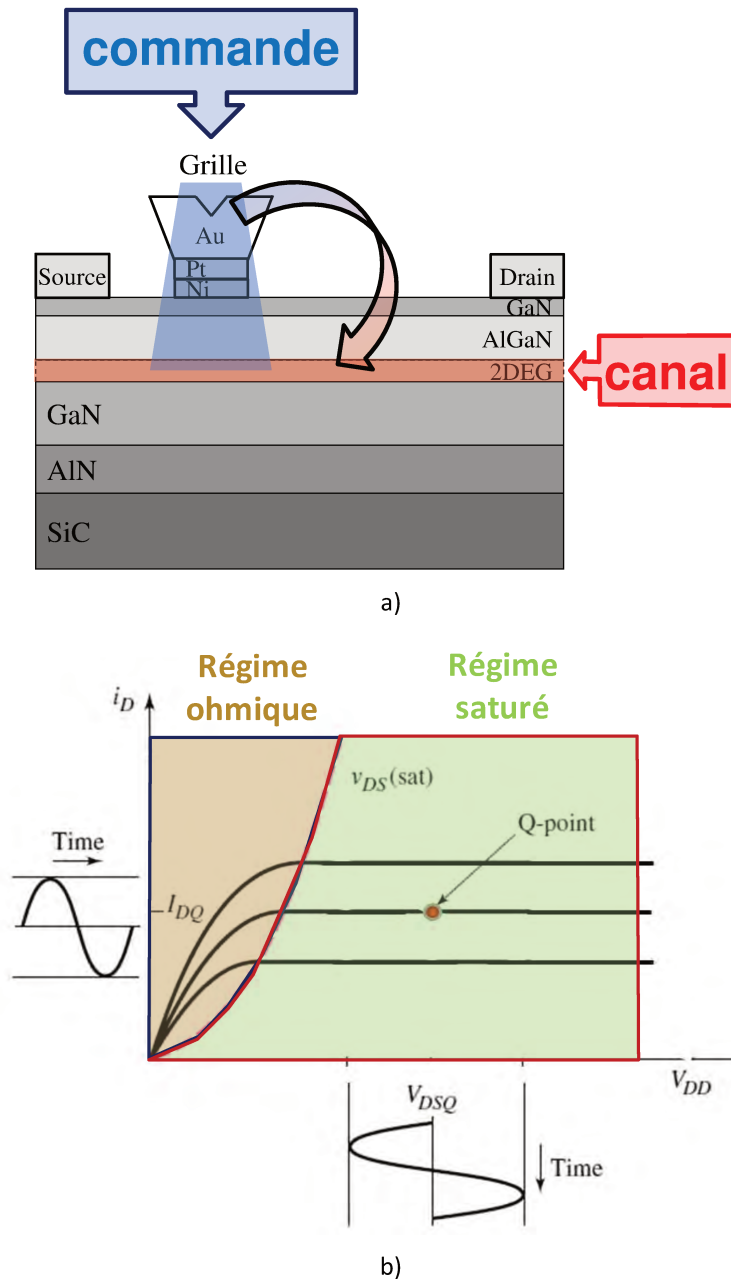


Figure I - 8. a) Illustration de l'effet transistor dans un HEMT AlGa_N/Ga_N. b) Identification des régimes ohmique (linéaire, en marron), et saturé (en vert) sur les caractéristiques de sortie I_d - V_{ds} .

Le contact Schottky de grille crée la zone de charge d'espace qui module les porteurs dans le canal ; il a aussi le rôle de barrière pour limiter les fuites, ainsi qu'un impact important sur la fiabilité. Ce contact peut se dégrader au cours de l'application de contraintes (affectant de fait le fonctionnement nominal du dispositif), mais il peut également être le sein d'effets instantanés se traduisant par une variation en temps réel de la commande (pièges rapides, voire pièges lents, nuisibles selon les applications visées). Un contact Schottky de mauvaise

qualité entraînera des mécanismes de fuites substantiels aux signatures et effets divers en situation opérationnelle du transistor.

Le contact Schottky est constitué par le dépôt de différents métaux : Ni/Au, Ni/Ti/Au, Pt/Au et Ni/Pt/Au. La température doit être maîtrisée en fonction de chaque métal impliqué dans le processus puisque c'est un paramètre majeur responsable des défaillances dans le composant : inter-diffusion des métaux (*gate sinking*, voir paragraphe 1.5.2.6).

Les pièges sont plus particulièrement visibles à fort champ inverse, et sont inégalement répartis le long du pied de grille. La méthode de recuit de grille Schottky à très haute température, et la relaxation du pied de grille lorsque les températures diminuent pourraient être un élément d'explication.

1.4.3.1. Étude des mécanismes de conduction

Padovani et Stratton [64] ont été les premiers à aborder les mécanismes de transport en 1966, pour des diodes en Si et GaAs. Ils distinguaient trois types de conduction : émission thermoïonique, émission thermoïonique à effet de champ, et émission de champ.

1.4.3.2. Caractéristique directe courant-tension

Sous polarisation de grille directe, les électrons passent par effet tunnel du semiconducteur vers le métal (Figure I - 9). À température basse, la conduction se réalise à partir du bas de la bande de conduction (en dessous du *Field Emission* sur la Figure I - 9). À température moyenne, la conduction se fait à un niveau d'énergie plus élevé de la bande de conduction, mais plus petit que le haut de la barrière (*Field Emission* sur la Figure I - 9). À température élevée, les électrons sont émis au-dessus de la barrière (*Thermionic-Field Emission* et au-delà sur la Figure I - 9).

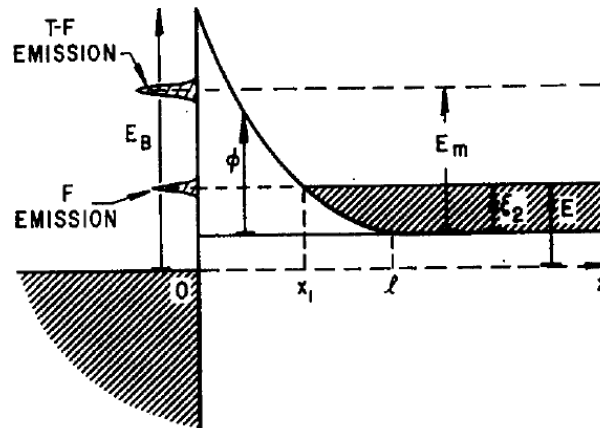


Figure I - 9. Diagramme d'énergie d'une barrière Schottky polarisée en direct [64]

1.4.3.3. Caractéristique inverse courant-tension

La polarisation inverse augmente le champ électrique inverse aux bornes de la jonction, et donc augmente la probabilité d'un électron de passer par effet tunnel du métal vers le semiconducteur (Figure I - 10). À température basse, les électrons proviennent du niveau de Fermi du métal (en dessous du *Field Emission* sur la Figure I - 10). À température moyenne, les électrons résultent d'un niveau d'énergie supérieur au niveau de Fermi du métal, et inférieur au haut de la barrière (*Field Emission* sur la Figure I - 10). À température élevée, un abaissement de la hauteur de la barrière par la correction de la force image intervient. Alors, la barrière efficace est représentée par l'équation courant-tension traditionnelle, en tenant compte aussi de la réduction due à la force image [65] (*Thermionic-Field Emission* et au-delà sur la Figure I - 10).

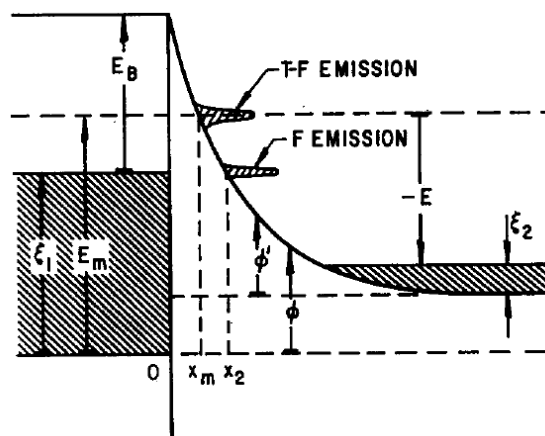


Figure I - 10. Diagramme d'énergie d'une barrière Schottky polarisée en inverse [64]

Si les électrons passent par effet tunnel, ils peuvent conduire le courant en surface du semiconducteur (mécanisme de saut à piège - *trap-to-trap hopping mechanism* en anglais),

près de la grille, ce qui crée une grille virtuelle (accumulation de charges en surface, voir paragraphe 1.5.2.2.1), en augmentant la longueur de grille. Le phénomène provoque un courant de fuite entre la grille et le drain (I_{GD}). La Figure I - 11 localise les différents principes de fuites qui seront détaillées dans les sections suivantes.

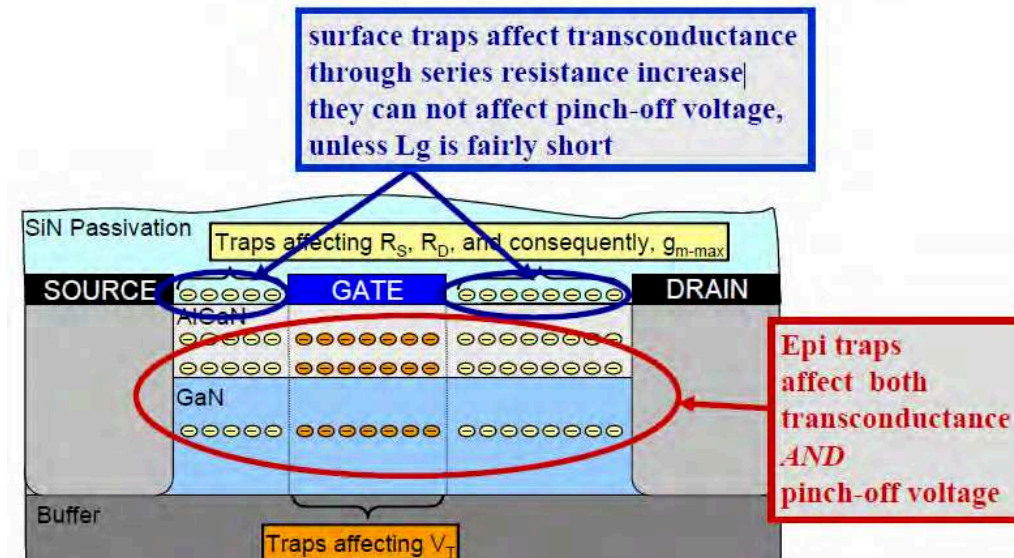


Figure I - 11. Illustration des différents principes de fuites dans un HEMT AlGaIn/GaN [66]

Les électrons ont également la capacité d'aller plus loin dans AlGaIn, atteignant le 2DEG [67], et provoquant la perte de contrôle de grille.

Afin d'éviter ces effets indésirables, et de limiter l'effet tunnel, l'utilisation de plaques de champs, qui réduisent le champ électrique aux abords immédiats du pied de grille, ainsi que d'une passivation qualitative sont fortement recommandées.

1.4.4. Contacts ohmiques

Les contacts ohmiques se forment entre un métal et un semiconducteur, lorsque le travail de sortie du semiconducteur est plus important que celui du métal ($\phi_s > \phi_m$). À ce moment, les électrons se déplacent du métal vers le semiconducteur. Le diagramme des bandes est illustré dans la Figure I - 12.

Les contacts ohmiques doivent disposer d'une résistivité de contact la plus faible possible, afin de garantir une faible résistance d'accès (R_s , R_D réduisent le courant et la puissance dans le 2DEG).

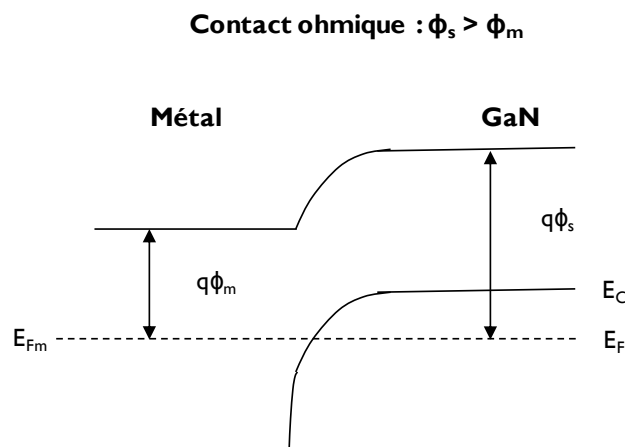


Figure I - 12. Diagramme des bandes d'un contact ohmique métal-GaN

Le dépôt des contacts ohmiques est habituellement suivi d'un recuit thermique rapide, effectué à des températures élevées, afin de mélanger les différents matériaux les constituant.

1.5. Fiabilité des technologies nitrure

Le précurseur III-V du nitrure de gallium en termes de fiabilité du matériau est l'arséniure de gallium. La chute du courant de drain ou de la puissance de sortie de 10% représente un critère reconnu comme seuil de défaillance. Néanmoins, les types de dégradations particulières aux technologies GaAs n'ont pas été pertinentes pour expliquer le grand nombre de défaillances et signatures associées aux technologies GaN. En conséquence, le critère de défaillance pour la fiabilité des technologies nitrure est une chute de courant de drain comprise entre 10 et 20% selon les fabricants (UMS prend 20%) et -1 dB pour la puissance de sortie. La mise en œuvre des méthodes et des modèles spécifiques à ces technologies s'est avérée nécessaire afin d'optimiser les filières nitrures.

Généralement, nous distinguons parmi deux types de défaillance :

- récupérables, ou réversibles → l'activation du défaut permet de récupérer dans le temps ou selon des procédures thermiques ou électriques dédiées les caractéristiques initiales du dispositif ;
- catastrophiques → une fois le défaut activé, le dispositif ne peut plus revenir à son état initial.

Le critère le plus utilisé pour caractériser un dispositif d'un point de vue fiabilité est le temps moyen jusqu'à l'échec (*Mean Time to Failure* ou *MTTF* en anglais). Le MTTF est en général calculé en intégrant la loi du χ^2 (prononcé khi deux ou khi carré, méthode pour déterminer la nature d'une répartition continue ou discrète) selon la formule suivante :

$$MTTF = \frac{1}{\lambda} = 2 \cdot \frac{\text{nombre d'heures composants cumulés}}{\chi^2}, \quad \text{Éq. 4 [68]}$$

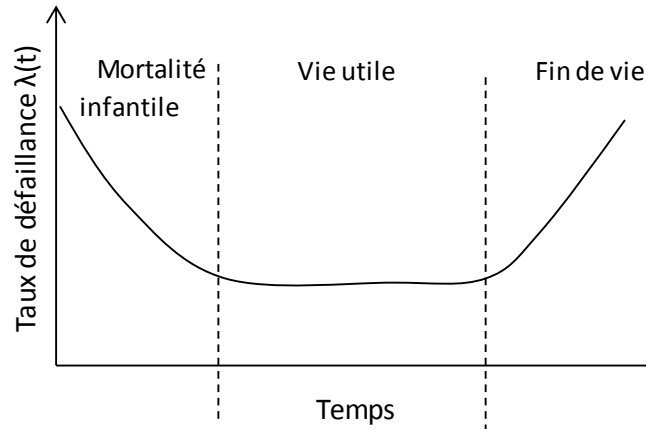
avec table du χ^2 donnée par le nombre de défaillance et le taux de confiance. Ce calcul particulièrement pratique lorsque le nombre de défaillance est égal à 0, ce qui est souvent le cas dans les essais de qualification composants.

D'après Schroder [68], le cycle de vie d'un matériau semiconducteur comporte trois étapes principales, représentées sous la forme d'un baignoire, ce qui a conduit à son appellation anglo-saxonne *Bathtub curve* (Figure I - 13) : mortalité infantile, vie utile et fin de vie.

La mortalité infantile se manifeste en début de la vie et montre un taux d'échecs élevé après la première opération du transistor, en raison de la température, de la tension et d'autres contraintes. Elle est caractérisée par une diminution progressive du nombre de défaillances au cours du temps. Ce phénomène est dû au fait que les produits présentant des défaillances latentes ne peuvent pas être complètement éliminés pendant le processus de tri. Un processus supplémentaire de *burn-in* permet d'exclure davantage des dispositifs défectueux.

Une fois les défauts précoces éliminés, le taux de défaillance se stabilise à un niveau extrêmement bas, mais les défaillances latentes peuvent se révéler au hasard sur une longue période de temps ; leur nombre ne diminue donc pas à zéro pendant la vie utile du dispositif. Puisque les pannes surviennent au hasard, le taux d'échec reste presque constant. Afin d'optimiser la plage de vie utile d'un composant, il est nécessaire de repousser ses performances dans l'environnement pour lequel il a été conçu ; il s'agit particulièrement de la température maximale de fonctionnement, et la dose de radiations admissible.

La fin de vie est la période où les composants se mettent en défaut en raison de l'usure et de la fatigue ; le taux de défaillance augmente avec le temps. Afin d'évaluer le temps d'usure d'un composant, des tests de vie (à long terme) sont indispensables.

Figure I - 13. Cycle de vie (*Bathtub curve*) d'un matériau semiconducteur

1.5.1. Types de stresses

1.5.1.1. Stress de type Arrhenius (tests accélérés de durée de vie)

Les tests de durée de vie doivent se réaliser sur de longues périodes, dans des conditions normales de fonctionnement. L'alternative retenue consiste dans les tests accélérés de vie (*lifetest*). La formule utilisée est [67] :

$$R(T) = A \cdot \exp\left(-\frac{E_a}{kT}\right) \quad \text{Éq. 5}$$

où R représente le taux de réaction du défaut, A - une constante, E_a - l'énergie d'activation de ce défaut, et k - la constante de Boltzmann ($k = 1,38 \cdot 10^{-23}$ J/K). Il est à noter que, selon la plage thermique utilisée pour le test, plusieurs défauts peuvent être activés. Plus la température de test est basse, plus le défaut identifié risque d'être représentatif de celui qui s'activera en situation normale de fonctionnement ; toutefois cela implique une durée de test potentiellement longue et incompatible avec les études traditionnellement opérées (la qualification idéale d'une technologie avec un *MTTF* de 20 ans solliciterait un banc sur une période sensiblement identique, sous les mêmes conditions... et la technologie serait obsolète à l'issue d'un seul test !).

1.5.1.1.1. HTRB (High Temperature Reverse Bias)

Pour ce type de test, le dispositif est polarisé en état *off* : V_{DS} élevé (près de $V_{DS,max}$), et canal pincée ($V_{GS} < V_{th}$), à température de jonction élevée.

$$T_j = T_a + R_{th} \cdot P_R \quad \text{Éq. 6}$$

où T_j est la température de jonction, T_a - la température ambiante, R_{th} - la résistance thermique de la jonction à la température ambiante, et P_R - la puissance dissipée par le contact de grille (assez basse pour être négligée).

$$P_R = |V_{GS}| \cdot I_G \quad \text{Éq. 7}$$

Le but de ce test est de valider la robustesse du contact Schottky de grille, sous champ électrique élevé. Le critère de succès consiste en l'absence de dérive du contact Schottky et des paramètres DC (typiquement après 2000 h de stress).

1.5.1.1.2. HTOL (High Temperature Operating Life)

Ce type de test est effectué à température ambiante. Le composant est polarisé sous une tension V_{DS} élevée, et V_{GS} ajustée afin d'obtenir le courant de polarisation I_{DS} souhaité (selon la formule $P = U \cdot I$). Le mécanisme de défaillance potentiellement présent dans la structure concerne la perte du contrôle du courant de drain (*runaway* en anglais) [69].

1.5.1.1.3. IDQ stress

La contrainte IDQ (*ID Quiescent Point*) est toujours effectué à température ambiante, à I_{DS} faible et constant (généralement en classe AB, de $I_{DSS}/10$ à $I_{DSS}/5$), et à un V_{DS} max permis par la technologie. De cette manière, une valeur moyenne de température de jonction est obtenue. Contrairement au HTRB et HTOL, la contrainte IDQ provoque moins de défaillances dans les matériaux.

1.5.1.1.4. Stress par étape (*step stress* en anglais)

Il s'agit d'un stress non-thermique, dans lequel plusieurs paramètres peuvent tenir lieu de stress : le courant, la tension, la puissance RF, etc. La ligne de conduite consiste dans l'identification des taux des performances maximales (*Absolute Maximum Rating, AMR* en anglais). Par exemple, Lambert et al. [69] arrivent à avoir un AMR pour leur technologie GH50 (UMS) à $V_{DS} = 60$ V, et $PAE_{\max+1}$ dBm. Cependant, les auteurs ont remarqué des défaillances, et les ont attribuées à des températures de jonction excessives.

1.5.2. Mécanismes de défaillance

Nous distinguons deux types de défauts, même s'ils ne sont pas nécessairement décorrélés :

- les défauts qui apparaissent sous l'effet de contrainte et qui modifient l'intégrité du composant (sa signature électrique statique et/ou dynamique). Ce cas de figure est associé aux études de fiabilité, selon l'application d'un ensemble de contraintes aux technologies afin de valider leur tenue opérationnelle.
- les défauts qui apparaissent dès les premiers instants et qui ne s'amplifient pas nécessairement avec le temps (ou selon l'application d'une contrainte). Ce sont généralement des défauts liés à une maturité non maîtrisée de la technologie et qui rendent le composant souvent inapte pour prétendre remplir des fonctions (instabilité de la commande, variations non prévisibles des signatures électriques autour d'un point de repos, ...).

La Figure I - 14 extraite de la référence [70] résume convenablement les zones critiques affectées par les dégradations :

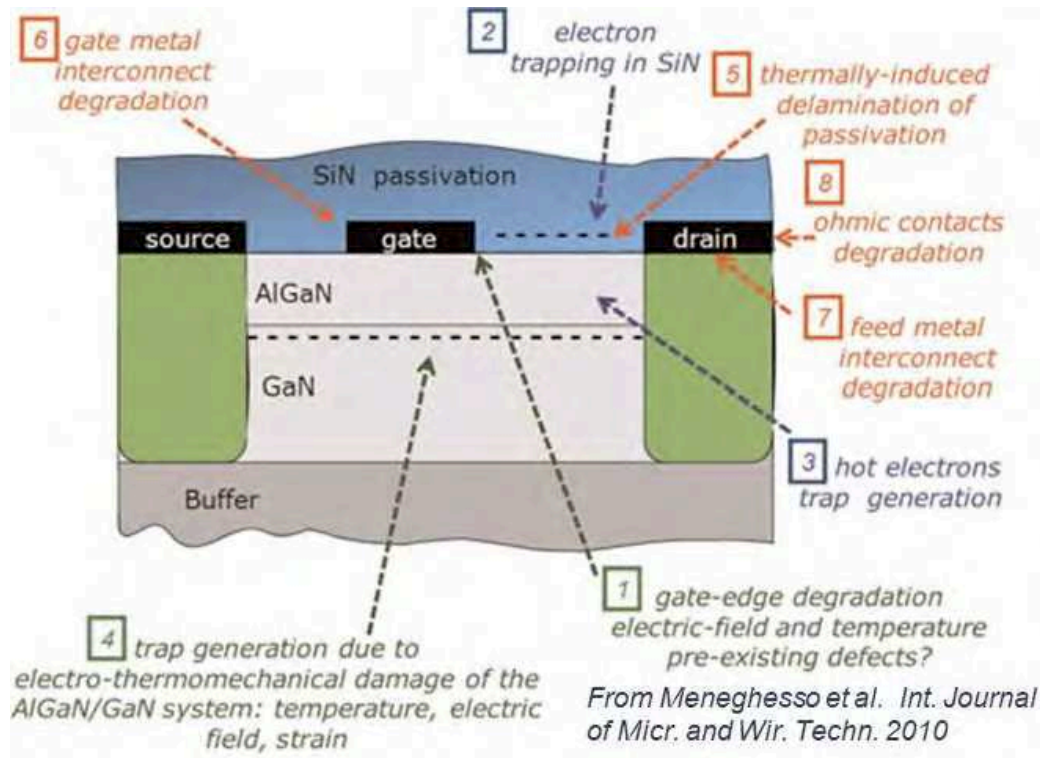


Figure I - 14. Représentation des zones critiques affectées par les dégradations sur un transistor HEMT de type nitrure de gallium [70].

1.5.2.1. Dégradation piézoélectrique

L'existence des contraintes mécaniques dans les deux couches AlGaIn et GaN, même en absence du champ électrique, a déjà été démontrée [5]. Cependant, la passivation en surface de type SiN_x induit un stress non uniforme (Figure I - 15), qui se manifeste par des charges supplémentaires, induites par polarisation. À fort niveau de contrainte, les défaillances envisagées dans ce cas sont des trous, des fissures, et des diffusions du métal de grille.

Mastro et al. [71] ont identifié que l'absence du contact sous la grille (entre la surface de l'AlGaIn et la passivation SiN_x) concentre des charges en excès autour de la grille ; ces charges font augmenter de manière imprévisible les courants de fuite et réduisent les tensions de fonctionnement des transistors. Les auteurs du [71] ont prouvé que l'amplitude du stress dû à la couche supérieure de passivation est inversement proportionnelle à la longueur de grille. De plus, le stress non uniforme a plus d'impact sur des petites largeurs de grille, en termes de fiabilité.

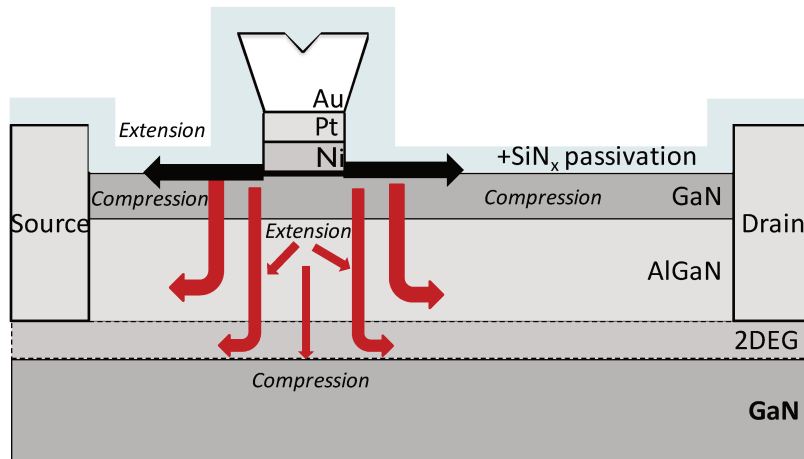


Figure I - 15. Structure HEMT AlGa_N / Ga_N avec une couche de passivation SiN_x non uniforme qui introduit des contraintes de compression et d'extension. [71]

1.5.2.2. Mécanismes de piégeage

Les défauts sont des impuretés qui empêchent les dispositifs d'atteindre les performances escomptées. Les défauts consistent dans des captures et émissions des porteurs libres, à travers des niveaux d'énergies intermédiaires dans la bande interdite. Ces niveaux d'énergies intermédiaires portent les noms d'énergies d'activation des pièges (E_a), et sont mesurés par rapport à la bande de valence ou par rapport à la bande de conduction.

Les phénomènes de piégeages peuvent prendre plusieurs formes :

- Variations non détectables en électrique mais nuisibles sur les systèmes non-linéaires (par exemple, sur les mélangeurs ou sur les VCO via le bruit de phase) ;
- Variations sensibles sur les courants (I_{ds} , voire I_{gs} [72]), qui empêchent la stabilisation instantanée des performances (par exemple, l'impossibilité d'exploiter les données en amplitude, voire en phase pour les systèmes RADAR).

Nous distinguons plusieurs types de pièges :

- **pièges lents**, avec des constantes de temps de l'ordre de la microseconde à plusieurs secondes, voire minutes ;
- **pièges rapides**, avec des constantes de temps de l'ordre de la nanoseconde (voire en dessous [73] à quelques centaines de nanoseconde).

Les phénomènes de capture sont plus rapides que les phénomènes d'émission parce qu'elles nécessitent moins d'énergie afin d'attraper un électron libre. Nous arrivons à accéder aux différentes constantes de temps des pièges (τ) avec la loi d'Arrhenius. Néanmoins, il n'est pas possible d'attribuer un défaut à un piège individuel puisqu'il s'agit habituellement d'une distribution de pièges en surface ou en interface, ce qui entraîne des constantes de temps distribuées.

Les pièges (défauts) sont souvent attribués à des dislocations, ou à des impuretés (dopage intentionnel ou non intentionnel) dans les différentes couches : en surface (au-dessus de la couche barrière), dans la couche barrière, dans la couche buffer ou à l'interface des deux matériaux.

1.5.2.2.1. Pièges de surface

Afin de garder la neutralité électrique globale dans un HEMT AlGaIn/GaN, les pièges de surface sont de nature positive ou négative pour le 2DEG, en fonction de la couche terminaison en face N ou en face Ga. Ils se trouvent soit à l'interface métal - couche barrière, soit dans les espaces grille-drain ou grille-source.

Les pièges localisés en surface du dispositif réalisent une conduction du courant par effet tunnel (pour une quantité importante de défauts), ou par saut de porteurs (pour un nombre réduit de défauts). La conductivité du courant par saut de porteurs (*hopping* en anglais) accumule les électrons en surface du composant, et provoque la formation de ce qu'on appelle une **grille virtuelle**.

Plusieurs chercheurs [74]–[77] ont conclu sur le fait que la grille virtuelle serait à l'origine de l'effondrement du courant drain par dépolarisation dans la zone grille-drain. De plus, Vetury et al. [78] attribuent les phénomènes de retard à la commande (*lag* en anglais) à la présence des charges de surface.

Physiquement, les pièges de surface se forment suite à l'oxydation de l'Aluminium dans la couche barrière, ou plus fréquemment, suite à une contamination pendant le processus de fabrication. En conséquence, plusieurs solutions ont été proposées afin de diminuer l'impact des pièges de surface sur le bon fonctionnement du dispositif :

- utilisation d'une **passivation de qualité** [79], [80]. Lu et al. [81] ont observé des phénomènes de *lag* beaucoup plus prononcées sur des dispositifs sans passivation de surface. Pourtant, le *lag* commence à se faire remarquer aussi sur des dispositifs passivés, à des champ électriques élevés [79], [82]. Des solutions de passivation *in situ* semblent fortement améliorer ces problèmes de retard à la commande [83], [84].
- utilisation d'un **plateau de champ** (*field-plate* en anglais) [85], [86]. Ce plateau de champs permet d'augmenter la tension de claquage du dispositif, au détriment d'une limitation fréquentielle à cause des effets capacitifs. Certains travaux utilisent plusieurs plateaux de champs superposés [87].

1.5.2.2.2. Pièges de volume

Ce type de piège se trouve habituellement dans la couche barrière (AlGaIn), ou dans la couche tampon (GaN).

Lorsque les pièges agissent dans la couche barrière, ils sont susceptibles de se recombiner avec les électrons provenant du 2DEG, et de changer le potentiel interne appliqué entre la grille et la source. L'émission d'électrons du canal vers la grille se fait par conduction de Poole-Frenkel, ou encore par l'effet *hopping*, et est causée principalement par les contraintes piézoélectriques et électriques pures [88], [89].

En revanche, si les pièges se trouvent plutôt dans la couche tampon, alors les électrons du canal risquent de diffuser vers la GaN de faible résistivité. Dans ce cas, une diminution de la concentration des porteurs dans le canal est constatée. De surcroît, les électrons capturés dans la GaN forment une grille virtuelle, qui affecte le nombre de porteurs dans le 2DEG. Ce phénomène porte le nom de *self-backgating* (en anglais), et est considéré comme l'agent causal du retard à la commande du courant de sortie (*drain lag*).

Binari et al. [90] ont observé l'abaissement du taux de *drain-lag* sur du GaN peu résistif. Effectivement, le *drain-lag* est dû au dopage de type accepteur, qui augmente la résistivité dans le matériau. Néanmoins, les dopages intensifient aussi l'action des pièges, ce qui conduit à des phénomènes de *drain-lag* plus accentués. Afin d'améliorer cet effet indésirable, Palacios et al. [91] ont promu l'utilité d'un espaceur de faible bande interdite, qui permet de mieux confiner les électrons dans le canal, en limitant leur diffusion dans la couche tampon, siège de nombreux défauts.

1.5.2.3. Accrochage du niveau de Fermi (*Fermi pinning level*)

L'accrochage du niveau de Fermi se rapporte à une situation dans laquelle la courbure des bandes dans un semiconducteur en contact avec un métal est essentiellement indépendante du métal, même pour une variation non-négligeable du travail de sortie du métal. Le *Fermi pinning level* est provoqué par les états de surface du semiconducteur. Des considérations quantitatives montrent qu'une densité de surface aussi faible que 10^{12} cm^{-2} est suffisante pour accrocher le niveau de Fermi.

Dans le cas des barrières Schottky aux interfaces métal-semiconducteur, l'accrochage du niveau de Fermi fait référence aux états de surface du semiconducteur, qui mènent à une hauteur de barrière fixe, indépendante du métal [92]. En effet, il a été constaté que les interfaces métal/semiconducteur ne sont pas aussi prévisibles comme suggéré par la théorie du modèle idéal des semiconducteurs, puisque la hauteur de barrière Schottky reste

indépendante du métal (même si le travail de sortie peut varier considérablement) pour certains semiconducteurs.

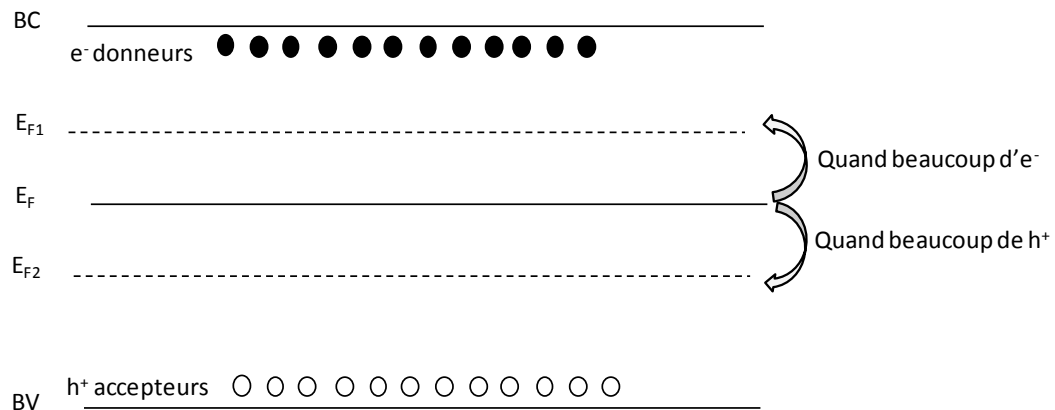


Figure I - 16. Semiconducteur localement neutre $\rightarrow$ niveau Fermi (E_F) au croisement. Semiconducteur chargé $\rightarrow$ *Fermi pinning level* (E_{F1}/E_{F2}) [93]

Brillson et al. ont découvert que les interfaces métal-semiconducteur peuvent présenter des hauteurs de barrière relativement faibles, avec un accrochage du niveau de Fermi dans la bande interdite si un dopage ou un rétrécissement de la zone de charge d'espace se produit dans le semiconducteur [94].

Plus tard en 1991, Tanabe et al. [95] ont annoncé le fait que le contact Schottky était inhomogène : deux régions à hauteurs de barrière différentes coexistent. Selon les auteurs, il y a deux modèles physiques qui déterminent la hauteur de barrière Schottky (HBS) : l'orientation épitaxiale du matériau, et le poids des défauts d'interface. Les auteurs ont conclu sur le fait que l'origine de la région II (celle qui déterminait une hauteur de barrière entre 0,2 eV et 0,4 eV) peut être expliquée par le phénomène de *Fermi pinning level*, provoqué par la densité importante d'états d'interface.

Ewing et al. [96] ont statué en 2007 sur les hauteurs de barrière inhomogènes : des îles de défauts accrochent localement le niveau de Fermi, en créant des patches localisés à faible barrière, ce qui explique des caractéristiques électriques inhomogènes (excès de courant de fuite en inverse, et en direct à des faibles tensions appliquées, voir Figure I - 17). Les barrières basses ne dépendent pas du travail de sortie du métal, en étant fixées par des défauts spécifiques présents dans les diodes non-idéales.

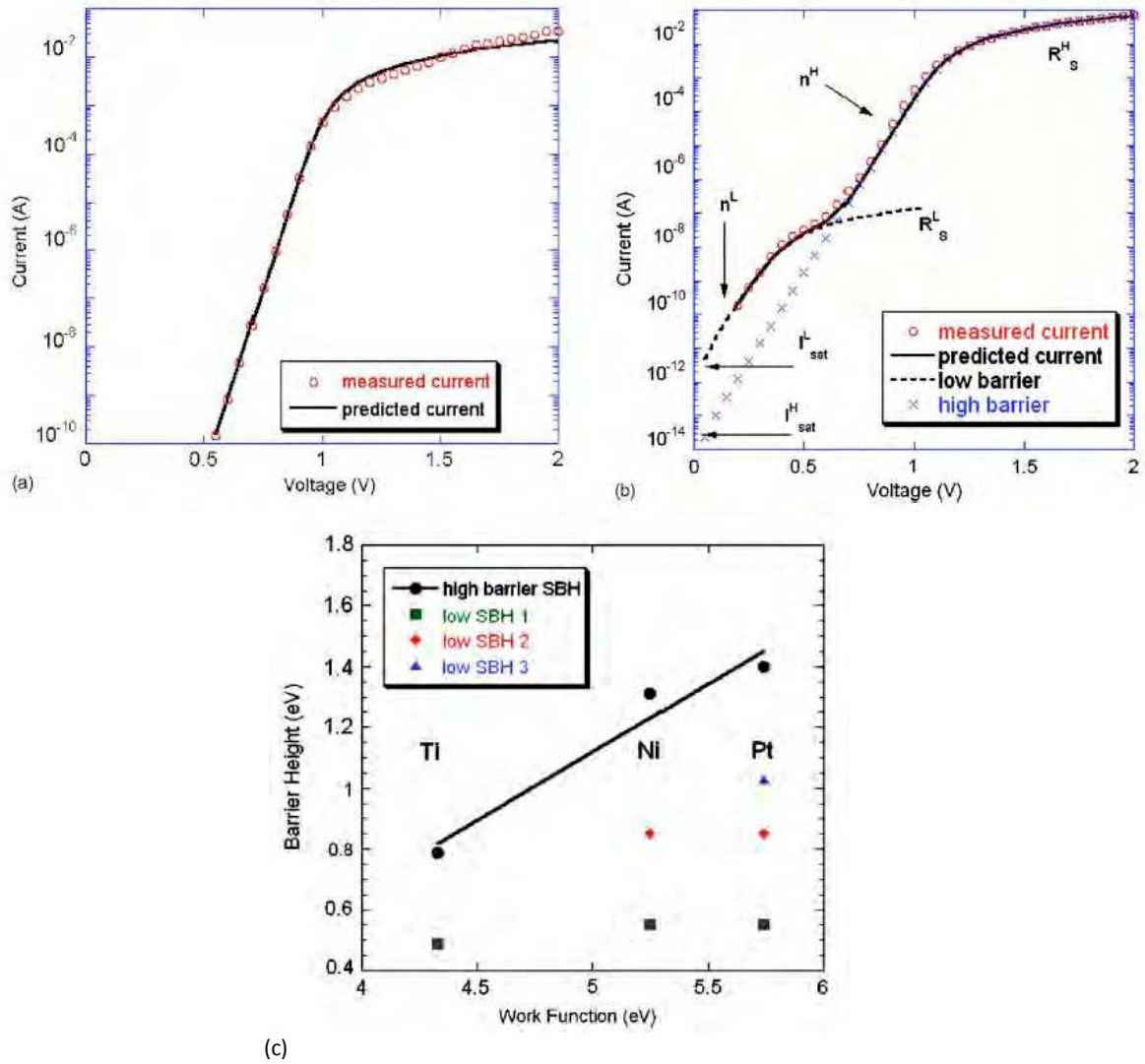


Figure I - 17. Diodes Schottky (Ni) à barrière unique (a) et à double barrière (b) sur substrat 4H-SiC. Les cercles vides désignent le courant mesuré expérimentalement, et les lignes continues et pointillées désignent le courant prédit par les modèles. Les marqueurs dans la figure (b) indiquent le facteur d'idéalité (n), le courant de saturation (I_{sat}), et la résistance série (R_s), pour les deux régions, à barrière faible et élevée, respectivement [96].

(c) Hauteurs de barrière de Schottky moyennes pour HBS élevées (cercles), et basses (autres symboles), en fonction du travail de sortie du métal. La ligne continue (avec une pente de 0,45) représente une approximation de la HBS pour des diodes quasi-idéales [96].

Dans le Chapitre 3 du manuscrit, nous allons proposer une autre interprétation de ces résultats, qui sont similaires aux nôtres : nous attribuons plutôt ces effets à une même hauteur de barrière Schottky, soumise à des potentiels internes différents, et décalée donc par l'action des charges.

1.5.2.4. Electromigration (EM) au niveau de la grille

Le phénomène d'électromigration a été identifié comme mode de défaillance dans les dispositifs semiconducteurs qui utilisent des films conducteurs métalliques avec des sections transversales inadéquates. Ce mode de défaillance est mis en évidence par une augmentation de la résistance de ligne, par une ligne devenant court-circuit ou circuit-ouvert, ou par une ligne adjacente court-circuitée [97].

L'électromigration est caractérisé par un déplacement d'atomes dans les interconnexions, activé par des fortes densités de courant et des températures élevées selon l'équation suivante [97] :

$$\frac{1}{MTF} = A \cdot J^2 \cdot \exp\left(-\frac{\Phi}{kT}\right) \quad \text{Éq. 8}$$

où : MTF représente le temps moyen jusqu' à défaillance (heures), A est une constante représentative de la section transversale du film conducteur métallique, J définit la densité de courant (A/cm^2), Φ représente l'énergie d'activation (eV), k est la constante de Boltzmann et T définit la température du film métallique conducteur (Kelvin).

L'électromigration a pour conséquence la formation des lacunes (*voids* en anglais) à une extrémité d'une ligne, et des extrusions, à l'autre extrémité, comme illustré dans la Figure I - 18 [68]. Leur taille (environ 100 nm) dépend de l'étape de fabrication. En raison de ces lacunes, la ligne est considérée comme étant soumise à des contraintes mécaniques engendrées par le déséquilibre thermique structurel. La passivation des lignes augmente la résistance EM, en introduisant des contraintes supplémentaires. Les lignes épaisses qui constituent un circuit ouvert définissent les fissures (la Figure I - 19 [68]) ; la diffusion du métal se produit principalement par le biais des lacunes.

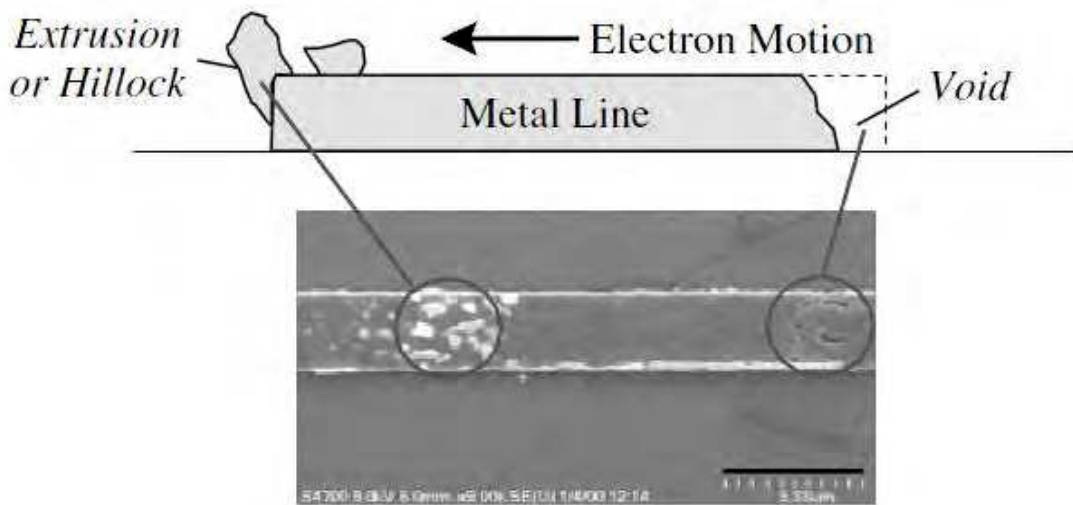


Figure I - 18. Formation des lacunes et des extrusion dans une ligne Ag stressée avec $J = 23 \text{ MA/cm}^2$ à $T = 160^\circ\text{C}$ [68].

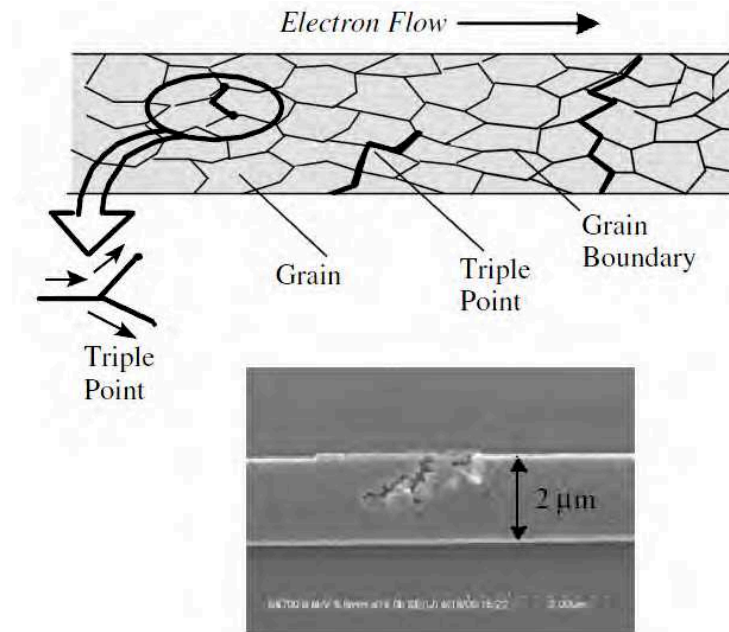


Figure I - 19. Micrographie SEM (Scanning Electron Microscope) représentant une fissure qui se propage [68].

Afin d'essayer de trouver une corrélation entre le phénomène physique et une potentielle signature électrique, Karboyan [98] compare le courant de grille et la signature EBIC (SEM qui permet l'observation des régions déplétées et des défauts actifs électriquement) d'un dispositif représentatif du lot ; il observe que plus l'intensité du signal EBIC est élevée (ou le nombre de *spots* EBIC le long de la grille), plus le courant de fuite de grille est important (Figure I - 20) [98] :

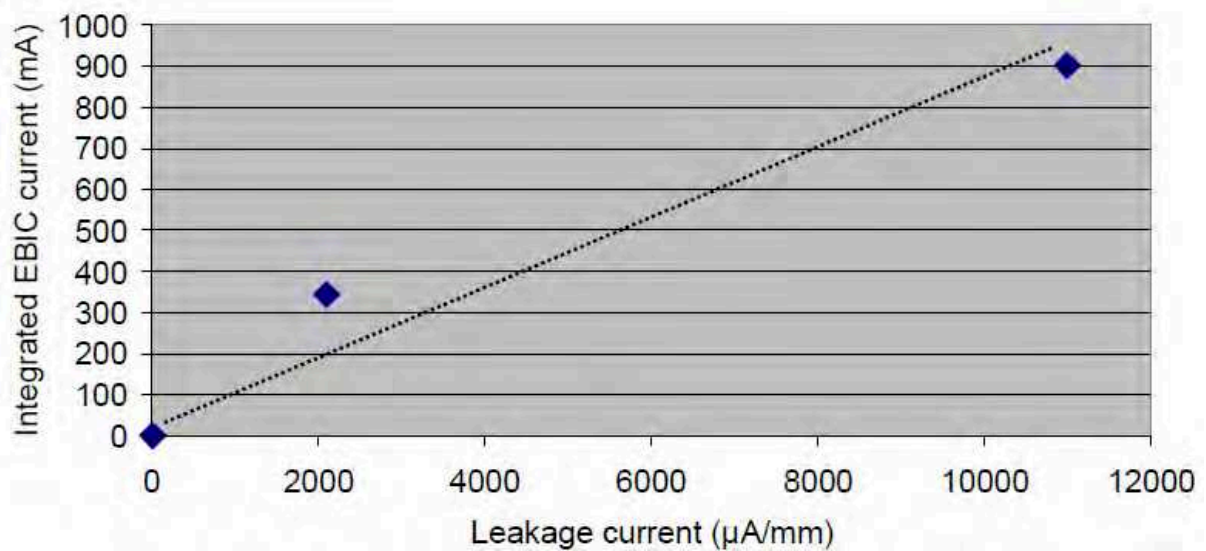


Figure I - 20. Exemple de corrélation entre la variation importante du courant de fuite de grille et la signature EBIC [98].

Des spectres EDX (*Energy Dispersive X-Ray*) effectués dans ces régions sombres du composant ont confirmé l'absence du métal dans cette région, démontrant ainsi la présence

des lacunes dans la barrière métallique. Cette étude a conclu sur le fait que les lacunes réduisent la hauteur de la barrière et elles sont les sites préférentiels pour les effets de piégeage dans le semiconducteur, près de l'interface ; cela engendre des instabilités RF et engendre donc des problèmes de fiabilité (dégradation rapide du courant de fuite, du I_{DS} et de la P_{OUT}) [98].

Dans la suite, nous allons distinguer deux mécanismes de dégradation activés par le champ électrique :

1.5.2.4.1. Effet piézoélectrique inverse

Les effets piézoélectriques sont les conséquences des contraintes mécaniques engendrées par des champs électriques élevés appliqués entre la source et le drain ou entre la grille et le drain. La nature piézoélectrique des matériaux AlGaIn et GaN peut générer des contraintes significatives, même en l'absence de tout élément électrique. De plus, ces contraintes peuvent changer en fonction des variations thermiques lors des processus de fabrication des dispositifs.

Chowdhury et al. [99] ont étudié des lamelles TEM (*Transmission Electron Microscope*) de 20 HEMT AlGaIn/GaN afin de mettre en évidence les effets piézoélectriques inverses à trois températures de jonction différentes : 250°C, 285°C et 320°C. Les analyses TEM ont révélé que les dispositifs vierges ne montraient aucun type de défaut, tandis que 18 échantillons mettaient en évidence plusieurs types de dégradations :

- défauts de type creux (*pits*), observés dans l'AlGaIn, sous le drain, à 10 nm de la surface du semiconducteur (Figure I - 21.a) ;
- défauts de type fissures (*cracks*), également observés pendant un stress de 6h à une température de canal 2DEG de 320°C (Figure I - 21.b) ;
- diffusion du métal de grille d'environ 2 nm dans la fissure du semiconducteur (Figure I - 21.c).

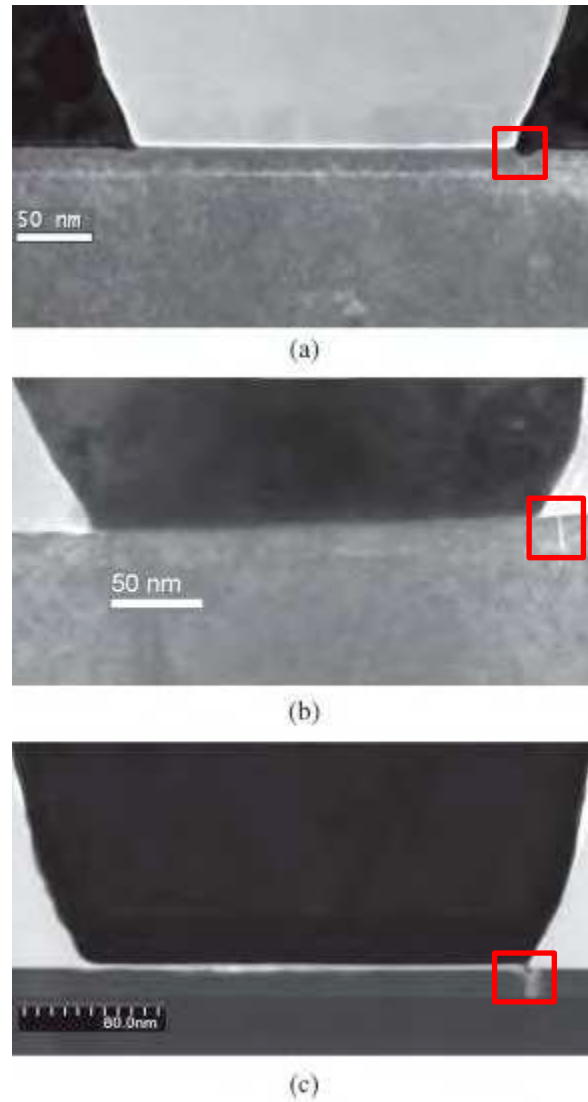


Figure I - 21. Exemples de dispositifs stressés : le semiconducteur est représenté en dessous de l'interface horizontale, et le métal de grille au-dessus [99]. a) Formation des défauts de type creux (*pits*) des deux côtés (source et drain) de la grille ; b) Formation d'un défaut de type fissure (*crack*) ; c) Cas de dégradation extrême, où le métal de grille (Pt) s'est diffusé dans la fissure.

Dans son manuscrit de doctorat, Brunel [100] corrèle les défauts de type creux (*pits*) et fissures (*cracks*) relevés au long du bord du pied de grille au cours de test de vieillissement avec l'évolution des paramètres I_{DSS} , V_{TH} et ϕ_B , et moins avec le phénomène de *belly-shape* observé sur le courant de grille :

- I_{DSS} diminue progressivement ;
- V_{TH} se décale vers des valeurs moins négatives ;
- ϕ_B augmente progressivement.

1.5.2.4.2. Injection des porteurs chauds (ou ionisation par impact) [101]

Tout porteur de charge ayant été fortement accéléré sous l'effet d'un champ électrique intense (énergie cinétique importante) est appelé porteur chaud. L'électron chaud peut traverser le matériau semiconducteur par effet tunnel, au lieu de se recombiner avec un trou ou d'être conduit à travers le matériau vers un collecteur.

Lorsque le dispositif est polarisé en saturation (à V_{DS} élevé), le maximum du champ électrique est situé entre le point de pincement du canal et la jonction drain-substrat. Dans cette situation, les électrons chauds peuvent :

- soit traverser la barrière et être emprisonnés dans l'oxyde de grille ;
- soit engendrer un courant de grille ;
- soit créer des pièges d'interface, ou états d'interface, ce qui mène à l'apparition des charges fixes.

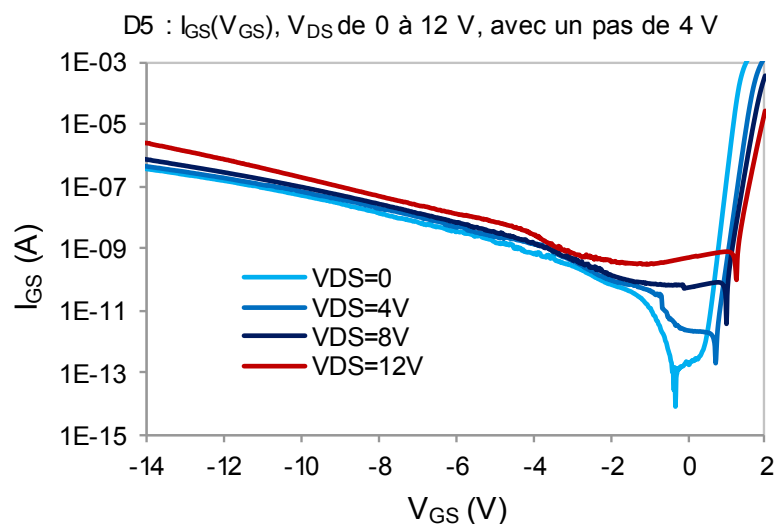


Figure I - 22. Représentation du courant de grille en fonction de la tension de grille, paramétrée à plusieurs V_{DS} (0, 4 V, 8 V et 12 V).

Lors d'injections de porteurs chauds, on observe que (Figure I - 22) :

1. la tension de seuil augmente → phénomène lié à la génération des pièges d'interface : réduction de la densité et de la mobilité des porteurs dans la zone de drain ;
2. la mobilité des porteurs du canal diminue ;
3. la pente sous seuil varie ;
4. la transconductance est modifiée de façon significative (proportionnelle à la densité de pièges).

L'application d'un champ électrique suffisamment intense (V_{DS} élevé), certains électrons de la bande de conduction acquièrent assez d'énergie pour pouvoir rompre une liaison de valence du réseau cristallin. Par conséquent, nous obtenons deux électrons dans la bande de conduction et un trou dans la bande de valence. Le processus peut devenir cumulatif ; dans ce cas, l'augmentation du champ latéral (proportionnel au V_{DS}) conduit au phénomène d'avalanche.

La solution proposée pour limiter l'électromigration au niveau de la grille consiste en l'utilisation d'un plateau de champs entre grille et drain, qui limite la valeur pic de ce champ électrique (*field plate*).

1.5.2.5. Défauts situés à l'interface Schottky

Les défauts situés sous la grille forment un courant de fuite assisté par des pièges : les électrons capturés par des centres profonds se déplacent de proche en proche par **effet hopping**. Lorsqu'ils arrivent dans une zone où ils sont capables de participer à la conduction de courant, la libération de ces électrons forme une inflexion sur la caractéristique I-V de la diode Schottky [100].

1.5.2.6. Interdiffusion des matériaux

L'interdiffusion des matériaux est principalement liée à des conditions de fonctionnement à température élevée. Les effets résultent en l'affaissement du contact Schottky de grille (*sinking* en anglais) et des contacts ohmiques : modification de tension de seuil associée à une baisse progressive du courant à saturation et donc de la puissance (Figure I - 23).

Le *gate sinking* est considérée comme le phénomène de dégradation principal des MESFET et HEMT à base de GaAs [102], tandis qu'il est très peu identifiable sur les contacts ohmiques.

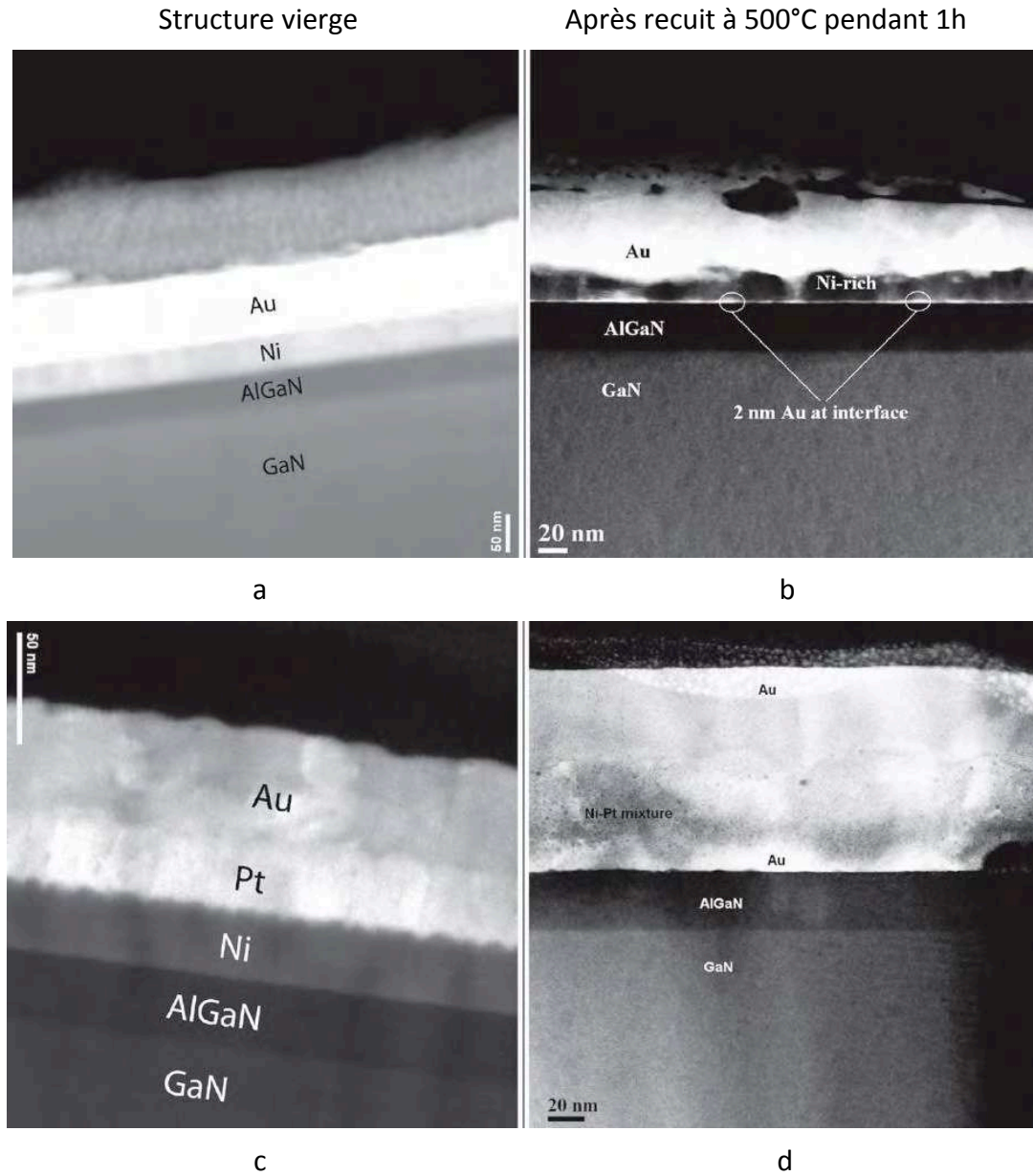


Figure I - 23. Images STEM (**Scanning Transmission Electron Microscope**) des structures Ni/Au et Ni/Pt/Au sur AlGaIn/GaN avant et après recuit à 500°C pendant 1 h. (a) Ni/Au (30/50 nm) vierge sur AlGaIn/GaN (b) Ni/Au (30/50 nm), avec des îles Ni sur AlGaIn/GaN après recuit à 500°C pendant 1 h, (c) Ni/Pt/Au (30/30/50 nm) déposé sous le AlGaIn/GaN, et (d) Ni/Pt/Au (30/30/50 nm), avec des îles Au sur AlGaIn/GaN après recuit à 500°C pendant 1 heure [103].

1.5.2.7. Mécanismes de dégradation activés par la thermique

La température de fonctionnement du canal bidimensionnel représente l'indicateur de fiabilité principal pour les HEMT AlGaIn/GaN. La chaleur se propage depuis le canal du dispositif, verticalement à travers les différentes couches. Vu que la stabilisation thermique dans ces couches a besoin d'un temps dynamique pour se réaliser (réseaux multi-cellules RC), les capacités thermiques impliquées affectent les mesures transitoires pulsées, celles en bruit basse fréquence, ou les mesures des dispositifs encapsulés. Dans le composant HEMT, la chaleur va donc diffuser vers le substrat pour la dissipation d'où l'intérêt d'utiliser un substrat de bonne conductivité thermique comme le SiC ou le diamant.

En outre, les conditions de fonctionnement à puissance élevée découlent dans des effets thermiques, qui induisent une chute dans la mobilité des porteurs, et donc une diminution des performances, de la fiabilité et de la durée de vie du dispositif.

La Figure I - 24 montre la température du canal en fonction de la densité de puissance pour trois HEMT en technologie différente : GaAs sur Si, GaN sur Si et GaN sur SiC. Cette illustration justifie clairement l'intérêt de développer du GaN sur du SiC, notamment dû à une température de canal plus faible même à des densités de puissance élevées, en comparaison avec du GaAs sur du Si, ainsi que du GaN sur du Si.

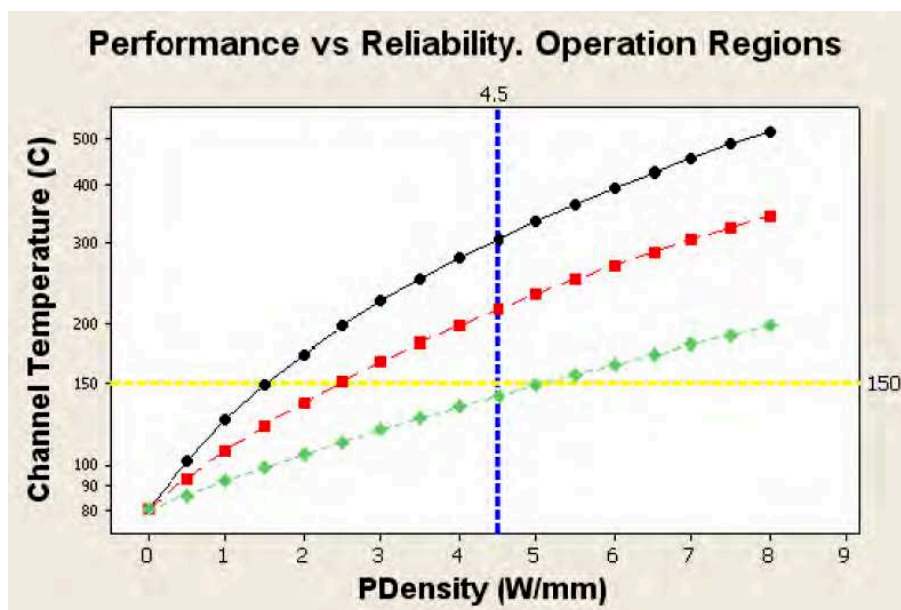


Figure I - 24. Température du canal en fonction de la densité de puissance pour trois HEMT en technologie différente : GaAs sur Si (ronds en noir), GaN sur Si (carrés en rouge) et GaN sur SiC (losanges en vert) [104]

1.5.2.8. ESD (ElectroStatic Discharge)

Il s'agit d'une décharge transitoire de la charge statique ; cette dernière peut être de diverses origines lorsqu'un chemin critique conduit une impulsion de forte amplitude (champ électrique), et peut notamment apparaître suite à la manipulation humaine (profil HBM - *Human Body Model*), au contact avec l'équipement, à des tests automatiques ou à des systèmes de manutention [68]. De cette façon, le dispositif se charge pendant le transport en contactant une surface fortement chargée, et il reste dans cet état jusqu'au contact avec la masse. La décharge brutale peut conduire à la dégradation, voire la destruction du dispositif sous test.

Les types des défauts que l'on identifie sont les défaillances irréversibles voire fatales : il s'agit d'une fusion localisée plus ou moins grande qui peut aller de quelques nanomètres à un burn-out franc et massif. Pour établir les causes de leur activation, il faut tenir compte des caractéristiques électriques, mécaniques et thermiques. Il y a toujours des interconnexions entre ces causes, et la difficulté de déterminer avec précision la racine de la défaillance en est rendue tout aussi difficile.

1.6. Conclusions du Chapitre I

Afin de pouvoir répondre aux besoins croissants des télécommunications et des radars qui nécessitent des systèmes de forte puissance et faible bruit fiables, pouvant supporter des températures élevées et immunisés face aux agressions électromagnétiques, le développement et la maîtrise des nouvelles technologies s'avèrent indispensables.

Au cours des dernières années, les transistors à effet de champ à base de SiC et de GaN (FET) ont démontré des performances microondes impressionnantes, avec des transistors à effet de champ (MESFET) en technologie SiC produisant 4,6 W/mm [105], et des transistors à haute mobilité électronique (HEMT) AlGaIn/GaN présentant 9,8 W/mm [106]. Toutefois, les transistors microondes SiC ont rapidement été abandonnés au profit du GaN qui offrent des meilleures performances et une meilleure fiabilité. Les transistors SiC MOSFET ont trouvé avec succès leur secteur d'application dans la commutation de puissance (voitures hybrides, électriques, etc.), en dehors du champ d'application hyperfréquence.

Les progrès réalisés dans la technologie du nitrure de gallium font que les transistors GaN à haute mobilité électronique (HEMT) sont actuellement considérés en tant que leader technologique de nouvelle génération pour les applications à haute fréquence et à haute puissance, en proposant des propriétés physico-chimiques exemplaires. Parmi la variété des HEMT à base de GaN, les AlGaIn/GaN sont les plus matures et déjà commercialisés, en amplificateurs de puissance et faible bruit, et commutateurs dans la RF (télécom, radar, spatial).

L'hétérojonction AlGaIn/GaN permet un fonctionnement à tension et courant élevés, ce qui se traduit par des densités de puissances jusqu'à 10 fois supérieures à celles des technologies GaAs et Si. Cette densité de puissance élevée en radiofréquence (W/mm) est directement liée à une impédance élevée, et à une adaptation plus simple, ce qui est indispensable pour les applications à large bande passante.

Les technologies nitrures ont montré un grand potentiel pour la prochaine génération de dispositifs électroniques de haute puissance ; cependant, ils sont limités par des fortes densités d'états d'interface qui affectent la fiabilité et la performance des dispositifs, entraînant un courant de fuite important et l'effondrement du courant de drain.

Bien que les performances soient à l'état de l'art concernant la densité de puissance en microondes, des travaux de développement sont encore nécessaires pour atteindre les limites théoriques des HEMT nitrures, et ouvrir des nouveaux marchés. Un axe de développement particulièrement important porte sur la limitation de la propagation des électrons dans le substrat. Cet effet réduit la densité de porteurs dans le canal, donc les excursions en courant et tension. Par conséquent, les performances en puissance de sortie à haute fréquence sont sérieusement limitées par rapport au potentiel théorique annoncé.

En dépit de presque deux décennies de travail en cours dans ce domaine, les performances HEMT n'ont pas encore atteint ces limites théoriques. Ceci suggère qu'il y a beaucoup plus d'avantages à tirer de cette technologie si les origines causales de ces limitations peuvent être identifiées et maîtrisées, soit par le matériau lui-même (Figure I - 25), soit par la conception du dispositif.

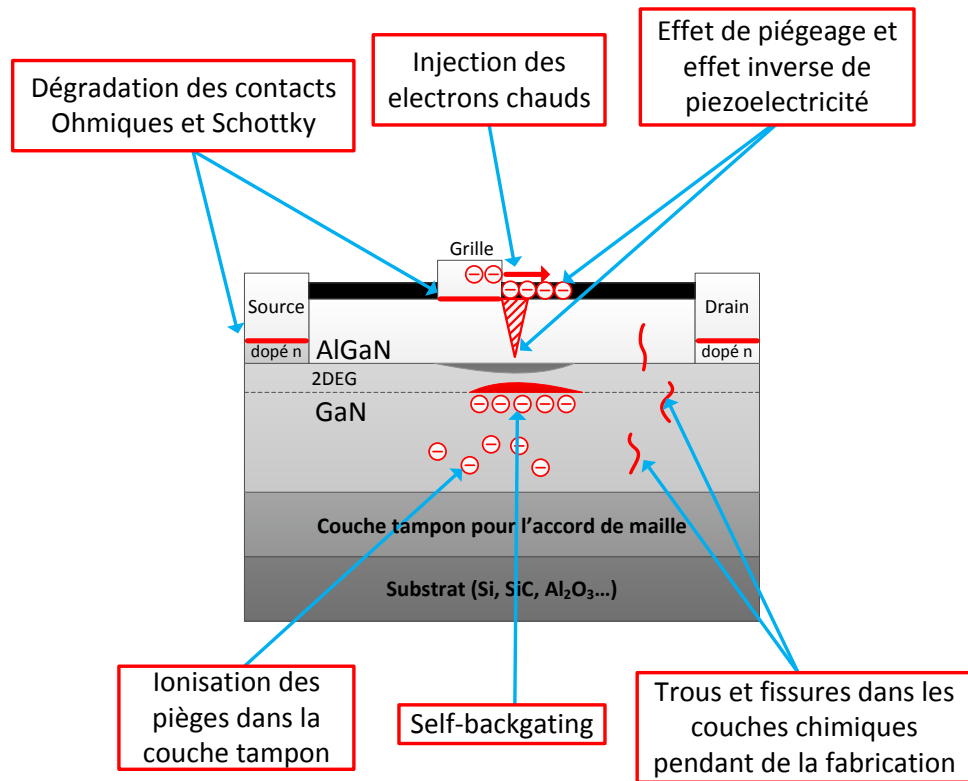


Figure I - 25. Localisation des mécanismes de dégradation dans les HEMT AlGaIn/GaN [98]

Le Nitrure de Gallium se positionne en tant que technologie de rupture ; la compréhension des mécanismes, des propriétés physiques de l'hétérostructure AlGaIn/GaN, et de la commande du canal ainsi créé, s'avèrent indispensables afin d'élargir son domaine d'application. L'amélioration de la fiabilité afin de repousser les limites actuelles de cette technologie pour pouvoir s'ouvrir à de nouveaux marchés restent actuellement des points clés de son développement.

Table des figures/tableaux

Figure I - 1. Puissance de sortie en fonction de la fréquence pour différents semiconducteurs [3].....	16
Figure I - 2. Structure basique d'un HEMT de type AlGaIn/GaN	18
Figure I - 3. Structures cristallines Wurtzite du GaN : a) face-Ga [0001] ; b) face-N [0001]	19
Figure I - 4. Diagrammes des bandes dans un matériau à l'état solide	21
Figure I - 5. Structure d'un HEMT de type AlGaIn/GaN	28
Figure I - 6. Illustration d'un contact Schottky de grille dans un HEMT AlGaIn/GaN : les états de surface répartis sont représentés en bleu, et les électrons dans le 2DEG sont représentés en rouge.	33
Figure I - 7. a) Jonction <i>np</i> sans polarisation. b) Jonction <i>np</i> avec une polarisation directe. c) Jonction <i>np</i> avec une polarisation inverse. d) Courant thermoïonique (courant direct, I_{TE}) engendré par la polarisation directe de diode, et courant tunnel (T), Poole-Frenkel (PF) et tunnel assisté par des pièges (TAT) (courant inverse) engendré par la polarisation inverse de diode.....	34
Figure I - 8. a) Illustration de l'effet transistor dans un HEMT AlGaIn/GaN. b) Identification des régimes ohmique (linéaire, en marron), et saturé (en vert) sur les caractéristiques de sortie I_d-V_{ds}	35
Figure I - 9. Diagramme d'énergie d'une barrière Schottky polarisée en direct [64]	37
Figure I - 10. Diagramme d'énergie d'une barrière Schottky polarisée en inverse [64]....	37
Figure I - 11. Illustration des différents principes de fuites dans un HEMT AlGaIn/GaN [66]	38
Figure I - 12. Diagramme des bandes d'un contact ohmique métal-GaN.....	39
Figure I - 13. Cycle de vie (<i>Bathtub curve</i>) d'un matériau semiconducteur.....	41
Figure I - 14. Représentation des zones critiques affectées par les dégradations sur un transistor HEMT de type nitrure de gallium [70].	44
Figure I - 15. Structure HEMT AlGaIn / GaN avec une couche de passivation SiN_x non uniforme qui introduit des contraintes de compression et d'extension. [71].....	45
Figure I - 16. Semiconducteur localement neutre $\rightarrow$ niveau Fermi (E_F) au croisement. Semiconducteur chargé $\rightarrow$ <i>Fermi pinning level</i> (E_{F1}/E_{F2}) [93]	48
Figure I - 17. Diodes Schottky (Ni) à barrière unique (a) et à double barrière (b) sur substrat 4H-SiC. Les cercles vides désignent le courant mesuré expérimentalement, et les lignes continues et pointillées désignent le courant prédit par les modèles. Les marqueurs dans la figure (b) indiquent le facteur d'idéalité (n), le courant de saturation (I_{sat}), et la résistance série (R_s), pour les deux régions, à barrière faible et élevée, respectivement [96].	49
Figure I - 18. Formation des lacunes et des extrusion dans une ligne Ag stressée avec $J = 23$ MA/cm ² à $T = 160^\circ\text{C}$ [68].	50
Figure I - 19. Micrographie SEM (<i>Scanning Electron Microscope</i>) représentant une fissure qui se propage [68].	51

Figure I - 20. Exemple de corrélation entre la variation importante du courant de fuite de grille et la signature EBIC [98]. 51

Figure I - 21. Exemples de dispositifs stressés : le semiconducteur est représenté en dessous de l'interface horizontale, et le métal de grille au-dessus [99]. a) Formation des défauts de type creux (*pits*) des deux côtés (source et drain) de la grille ; b) Formation d'un défaut de type fissure (*crack*) ; c) Cas de dégradation extrême, où le métal de grille (Pt) s'est diffusé dans la fissure..... 53

Figure I - 22. Représentation du courant de grille en fonction de la tension de grille, paramétrée à plusieurs V_{DS} (0, 4 V, 8 V et 12 V). 54

Figure I - 23. Images STEM (Scanning Transmission Electron Microscope) des structures Ni/Au et Ni/Pt/Au sur AlGaIn/GaN avant et après recuit à 500°C pendant 1 h. (a) Ni/Au (30/50 nm) vierge sur AlGaIn/GaN (b) Ni/Au (30/50 nm), avec des îles Ni sur AlGaIn/GaN après recuit à 500°C pendant 1 h, (c) Ni/Pt/Au (30/30/50 nm) déposé sous le AlGaIn/GaN, et (d) Ni/Pt/Au (30/30/50 nm), avec des îles Au sur AlGaIn/GaN après recuit à 500°C pendant 1 heure [103]. 56

Figure I - 24. Température du canal en fonction de la densité de puissance pour trois HEMT en technologie différente : GaAs sur Si (ronds en noir), GaN sur Si (carrés en rouge) et GaN sur SiC (losanges en vert) [104] 57

Figure I - 25. Localisation des mécanismes de dégradation dans les HEMT AlGaIn/GaN [98] 60

Tableau I - 1 : Propriétés physiques des semiconducteurs à 300 K [8], [13], [14] 23

Tableau I - 2 : Tableau des performances à l'état de l'art des HEMT nitrure 25

Tableau I - 3 : Conductivité thermique et désaccord de maille pour la croissance du GaN sur différents substrats 31

Tableau I - 4 : Performances des différents types de passivation utilisées actuellement pour les HEMT à base de GaN [57]–[63] 32

Chapitre II : Techniques de caractérisation des dispositifs sous tests

Mesures électriques et transitoires

2.1. Introduction

Ce chapitre propose une courte description des dispositifs analysés, ainsi qu'une caractérisation exhaustive des outils de mesure exploités ou développés dans ce manuscrit, pour les besoins de cette étude. Le but est d'identifier, de modéliser, de comprendre et d'évaluer les mécanismes de défaillance des transistors HEMT AlGaIn/GaN issus de filières industrielles, à partir d'un plan de caractérisation précis. En raison de potentielles dérives des composants au cours des différentes campagnes de mesure, une procédure de mesures de reprise après chaque campagne de test (suivi par fichier .xls) permet de vérifier la stabilité électrique de chaque dispositif sous test d'un lot d'étude (auquel cas tous les éléments d'analyse peuvent être appliqués au composant considéré comme ayant conservé son intégrité au cours des tests successifs) ; ou au contraire de mettre un drapeau d'avertissement pour éviter de compiler des analyses relatives à un composant ayant évolué au cours de ces mêmes campagnes de mesure. Ces précautions évitent tout amalgame, mais rendent parfois l'exercice de croisement de données difficile (perte d'information).

Les méthodes de travail que nous avons mises en œuvre sont basées sur l'analyse de mesures non-invasives (i.e. qui n'interagissent pas avec le composant lors de la mesure, et n'affectent pas la signature du composant), et donc *a fortiori* non-destructives (donc qui n'affectent pas son intégrité opérationnelle). Ces mesures sont réalisées dans le domaine temporel et dans le domaine spectral, afin de proposer des stratégies d'analyse croisée. En effet, la complexité des mécanismes de dégradation mis en jeu peut rendre difficile, voire impossible, une analyse déterministe fine des phénomènes de dégradation à partir d'un ensemble de caractérisations issues d'un même dispositif expérimental.

La difficulté évoquée consiste dans la possibilité de différencier les phénomènes thermiques, électriques, et mécaniques, ainsi que leur incidence sur les signatures de dégradation relevées. Des plans d'analyse doivent donc être proposés pour répondre à ces paradigmes de fonctionnement complexes.

Enfin, il est à noter que, dès lors qu'il s'agit de mesurer des grandeurs électriques de manière 'extrinsèque' au composant (i.e. avec une collection en dehors des zones actives où les phénomènes étudiés prennent naissance), il est quasiment impossible de donner une preuve directe (visuelle) du défaut supposé ; pour éviter toute spéculation, les analyses croisées (mesures transitoires et mesures fréquentielles, polarisation sous champ constant, sous courant constant, à température variable, ...) sont réalisées pour réduire l'ensemble des

hypothèses fondatrices potentiellement invocables. De façon duale, lors d'une identification visuelle ou chimique d'un défaut après destruction du motif étudié (étude en coupe par exemple), il est impossible d'assurer de manière formelle que le défaut identifié est activé ou joue un rôle dans la signature électrique du composant sacrifié ! Dans chacun de ces deux cas, des méthodes rigoureuses permettent de réduire le jeu d'hypothèses. Enfin, s'il est possible de disposer de ces deux approches lors d'une même étude, la probabilité d'assurer la causalité d'un défaut s'en trouve fortement améliorée.

Les types de composants sur lesquels nous avons mené des analyses proviennent du fondeur UMS (*United Monolithic Semiconductors*), et font partie des filières non-qualifiées des processus GH50 (étude antérieure à la qualification du procédé disponible en fonderie pour tester la robustesse de nos méthodes et modèles d'étude), et respectivement GH25 (lots de composants issus de plusieurs plaquettes lors de la phase de maturation technologique). Parmi ces composants, nous disposons de pièces de référence, des transistors vieillis par contrainte HTOL (*High Temperature Operating Life*), sur des dispositifs issus des procédures de fabrication différentes. Les objectifs de nos études sont de :

- proposer des outils d'analyse fine non invasive en vue de l'identification d'un ou de plusieurs défauts, ainsi que leur modélisation ;
- comparer les échantillons d'un même lot pour proposer un modèle robuste du (des) défaut(s) identifié(s) ;
- comparer les différents lots entre eux, pour arriver à identifier des mécanismes de dégradation spécifiques à chaque contrainte ou à chaque processus de fabrication.

À cet effet, il a été démontré que l'exploitation d'un banc unique de mesures ne permettait généralement pas d'identifier avec certitude l'origine des dégradations. Ainsi, nous avons proposé une procédure d'analyse rigoureuse, en nous appuyant sur des mesures électriques statiques, pulsées, en température, des mesures spectrales de bruit basse-fréquence (grille et drain), et de mesures transitoires et DLTS (*Deep Level Transient Spectroscopy*).

Pour chaque procédure, le transistor a été caractérisé en mode diode seule (drain en court-circuit ou circuit-ouvert), puis en mode transistor de sorte à distinguer les mécanismes de grille (commande isolée) de ceux apparaissant dans la zone de drain sous différents états de la commande (zone de polarisation saturée par rapport à la zone ohmique).

Les mesures électriques permettent d'identifier les phénomènes de *gate-lag* et de *drain-lag* (retards à la commande de grille et de drain), qui sont des facteurs limitatifs pour les applications de puissance et pulsées radar. Ces mesures sont un indicateur fiable de présence de charges et de leur évolution après contrainte.

Le bruit basse fréquence est quant à lui reconnu pour permettre une analyse des défauts cristallins dans les différentes zones actives du composant étudié. Le suivi des spectres de bruit (statistique sur un lot de composants, et évolution après contrainte) peut permettre de remonter au(x) défaut(s) et à son(leurs) action(s) sur le processus de dégradation. L'analyse

et la localisation probable de ces sources est nécessaire pour venir corroborer les résultats de l'étape suivante.

L'analyse des courants de fuite de grille ($I_{G-leakage}$) et de drain ($I_{D-leakage}$) fera l'objet de soins plus particulier, dans la mesure où nos études antérieures (cf. ANR ReAGaN, RNRT ANDRO) ont démontré que l'évolution de la grille et plus précisément des fuites, conditionnait fortement le comportement du composant dans son contexte circuit.

L'étude du canal reste cependant importante dans l'intention d'identifier l'évolution des défauts d'une part, et l'incidence éventuelle des défauts de grille sur la commande du canal, donc sur le nombre de porteurs (le courant I_{DS}), d'autre part ; lors des campagnes de stress, nous avons identifié une stabilité des défauts du canal alors que les caractéristiques électriques de ce même canal se dégradaient, laissant supposer une origine liée à l'instabilité (évolution) de la commande.

Dans ce contexte, nous avons proposé une procédure d'analyse rigoureuse s'appuyant sur le plan de travail suivant :

- 1) Caractérisations électriques en régime statique, et à la température ambiante :** ce sont des mesures systématiques, permettant de s'assurer de l'intégrité électrique des composants ; une procédure de balayage selon différentes conditions de temps d'acquisition (*Short/Medium/Long*), ou de balayage (tension V_{DS} croissante ou décroissante) permettent d'identifier d'éventuelles actions de charges sur le comportement électrique du transistor sous test ;
- 2) Mesures électriques en régime pulsé :** ces mesures aident à l'identification des phénomènes de *gate-lag* et *drain-lag* ; une procédure sous polarisation variable permet de proposer des modèles de dépendance aux champs électriques (V_{DS} , V_{DG} , V_{GS}) [56], [107] ;
- 3) Analyses en régime électrique statique, à différentes températures :** elles sont mises à profit pour l'exploitation d'une méthode originale d'analyse de la hauteur de barrière de la diode Schottky [108] ;
- 4) Analyses transitoires des courants de grille et drain :** elles permettent d'appréhender d'éventuelles corrélations des cinétiques temporelles des charges de fuite et du canal [72] ;
- 5) Caractérisations en bruit basse fréquence et bruit RTN (*Random Telegraph Noise*) :** elles représentent un indicateur structurel des défauts cristallographiques et/ou métallurgiques d'un composant à l'échelle microscopique ; ces mesures peuvent être mises à profit pour étudier l'évolution des spectres de bruit avant et après l'application de contraintes ;

- 6) Analyses I-DLTS :** c'est une méthode d'analyse transitoire-thermique des défauts qui sera corrélée avec les analyses transitoires et spectrales des points 4) et 5).

Cette thèse s'appuie ainsi sur cette procédure de caractérisation multi-diagnostic, la stratégie visée étant une meilleure identification des mécanismes et de leur éventuelle corrélation, et surtout leur poids dans le processus de dégradation. Cet ensemble de différents outils est appliqué à différents lots de composants HEMT AlGaN/GaN, de manière à donner une explication plausible des mécanismes de défaillance survenant lors des analyses de fiabilité. En parallèle avec ces outils, des travaux de D. Saignon relatifs à la simulation T-CAD de structures HEMT ont été exploités pour valider les hypothèses proposées.

2.2. Description des technologies étudiées dans ce manuscrit

Les composants sur lesquels nous avons mené les analyses proviennent du fondeur UMS (*United Monolithic Semiconductors*), et font partie des filières GH50 et GH25.

Les deux technologies sont épitaxiées sur substrat SiC, et présentent une longueur de grille de 0,50 μm pour le processus GH50, et de 0,25 μm pour le processus GH25. Outre les longueurs de ligne, la structuration épitaxiale, la nature de la grille et la géométrie des masques diffèrent également d'une technologie à une autre. De plus, la filière GH25 contient des capacités MIM (Métal/Isolant/Métal) en plus des éléments passifs traditionnels (résistances et inductances). Ainsi, la GH50 adresse plutôt les applications de puissance fonctionnant jusqu'à 8 GHz, tandis que la GH25 est une technologie MMIC (*Monolithic Microwave Integrated Circuit*) pour des applications allant jusqu'à 20 GHz.

La Figure II - 1 représente une vue de coupe simplifiée du dispositif AlGaN/GaN, indépendamment de la filière ou de la déclinaison technologique :

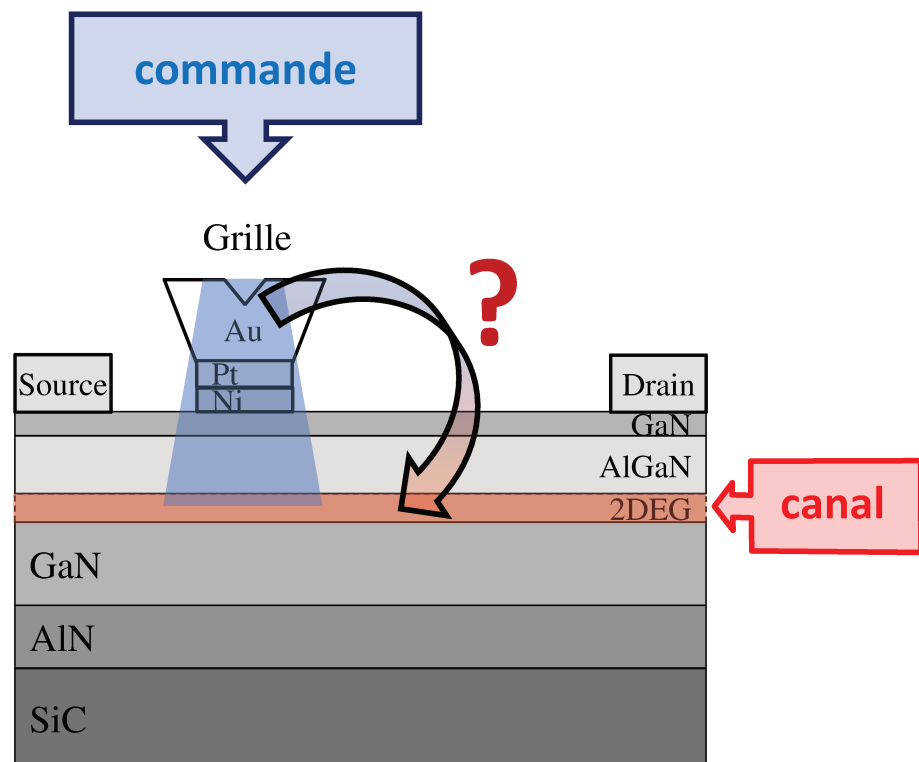


Figure II - 1. Vue de coupe générale du transistor AlGaN/GaN.

Notre investigation porte sur l'aspect fonctionnel du composant, selon deux axes d'étude : la commande (en verticalité) et le canal (en horizontalité).

2.2.1. GH50 : déclinaison *Nanowatt_317*

La technologie GH50 est la première filière GaN à avoir été qualifiée en Europe [109] ; elle a été développée pour les applications RF de haute puissance. Les transistors et les barrettes de transistors de la technologie GH50 sont de ce fait adaptés aux applications radar et télécom.

Les *Nanowatt_317* sont fabriqués chez UMS [110] par croissance MOCVD (*Metal-Organic Chemical Vapor Deposition*) sur un substrat de SiC, et présentent 18% d'Al dans la couche barrière. La passivation en surface est de type nitrure de silicium (SiN_x), et le contact Schottky de grille en forme de champignon est formé par un empilement de métaux de type Ni/Pt/Au. Une plaque de champ connectée à la source permet de diminuer l'impact d'un fort champ électrique appliqué entre grille et drain, sur le composant.

Nanowatt_317 provient des déclinaisons commerciales d'UMS durant sa phase de développement. De plus, ce type de dispositif est packagé, et présente 4 doigts de grille ($400\text{ }\mu\text{m}$ en largeur et $0,5\text{ }\mu\text{m}$ en longueur : soit $4 \times 400 \times 0,5\text{ }\mu\text{m}^2$), donc il s'agit de dispositifs à fort développement de largeur de grille, adaptés pour des puissances et des courants élevés. La Figure II - 2 montre une photographie optique planaire en vue de dessus d'un dispositif provenant de cette déclinaison.

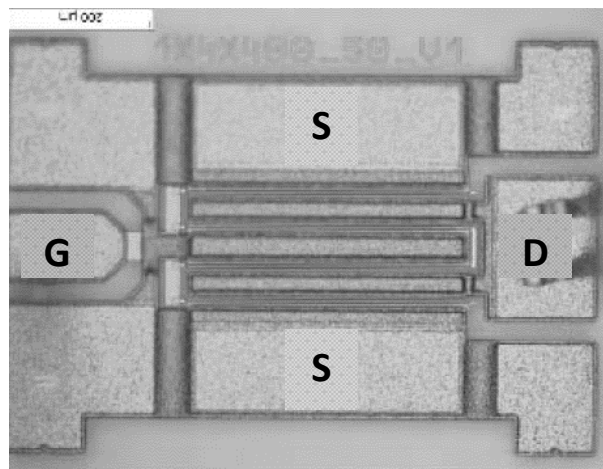


Figure II - 2. Photographie optique en vue de dessus d'un dispositif provenant de la filière GH50, déclinaison *Nanowatt_317*.

Pour cette étude, nous ne disposons que des dispositifs vierges *Nanowatt_317* ; ils ont été caractérisés pour évaluer la corrélation transitoire existante entre le courant de grille (pour différents niveaux de fuite : minimum, medium, maximum) et le courant de drain, *a priori* de toute application de contrainte.

2.2.2. GH25 : déclinaison *Picowatt 36/37B*

La technologie GH25 est constituée par un HEMT de 0,25 μm longueur de grille, sur un substrat semi-isolant SiC d'épaisseur 100 μm . La grille en forme de champignon est protégée par une passivation de type Si_3N_4 , ainsi que toute la face avant du HEMT. La plaque de champ connectée à la source diminue l'impact d'un fort champ électrique appliqué entre grille et drain.

En plus des éléments actifs HEMT (et diodes), la GH25 comprend des éléments passifs (résistances, inductances, lignes et capacités MIM) afin de permettre la fabrication des circuits intégrés monolithiques MMIC. La technologie GH25 est la deuxième filière GaN qualifiée par UMS pour adresser des applications RF de haute puissance de la bande X à la bande Ku (de 8 GHz à 18 GHz). La Figure II - 3 montre une photographie optique en vue de dessus d'un dispositif provenant de cette déclinaison.

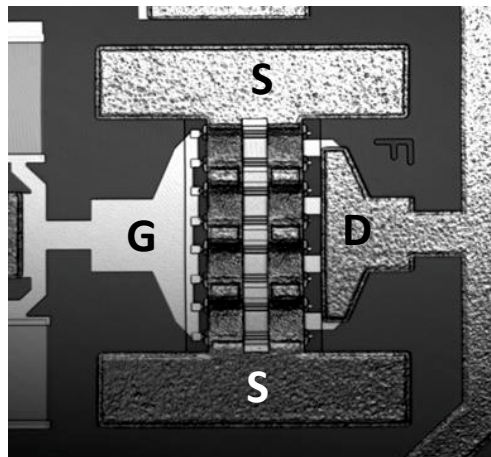


Figure II - 3. Photographie optique en vue de dessus d'un dispositif provenant de la filière GH25, déclinaison *Picowatt_36/37B* 8x125x0,25.

Parmi ces composants, nous disposons de deux pièces de référence, et de 10 transistors vieillis par contrainte HTOL pendant 105 h. Deux lots de composants fabriqués selon la même recette ont fait l'objet de notre étude (identifiés par les appellations *D* et *H*). L'objectif est de réaliser une comparaison entre les pièces de référence et les dispositifs vieillis de chaque lot, mais aussi entre les deux lots (dans la continuité des tests développés lors du projet ReAGaN) ; les attentes d'UMS vis-à-vis de cette campagne de mesures résident dans le besoin d'identifier une signature forte de dégradation des dispositifs (et de déterminer quel est le paramètre électrique affecté) ; conformément à ces attentes, l'objectif du LAAS est de proposer une analyse physique quant à la cause du/des mécanisme(s) de dégradation mis en jeu.

Dans cette seconde logique, il a été démontré que l'exploitation d'un banc unique de mesure ne permettait pas d'identifier avec certitude l'origine de ces dégradations. Ainsi nous avons proposé une procédure d'analyse adaptée, en s'appuyant sur plusieurs types de

caractérisations. Un soin a été apporté quant à la validation des techniques employées pour permettre une sûreté d'analyse croisée (sensibilité des mesures aux potentiel effets secondaires de types pièges).

2.2.3. GH25 : déclinaison *Femtowatt*

Dernièrement, nos études ont été focalisées sur une autre déclinaison de la GH25 : *Femtowatt SPLIT LRE 43* (ultérieurement dénommée lot C), et *avec protection BCB* (ultérieurement dénommée lot E). Sur ces pièces il n'y a pas de LRE, et le reste du wafer est considéré comme standard pour UMS.

Le procédé LRE (*Leakage Reduction Etching* en anglais) consiste à graver localement les couches de passivation autour de la zone active du transistor (la passivation est gardée sur la grille). Le GaN étant un matériau piézoélectrique, cette gravure locale du nitrure vise à réduire les contraintes mécaniques et ainsi réduire le courant de fuite de grille (cf. étude ReAGaN Humboldt [98]).

La protection BCB (benzocyclobutène, un substrat diélectrique à faible perte) au-dessus la puce sert à améliorer la tenue en humidité du composant.

Les principales investigations concernent :

- la comparaison des courants de fuite entre les lots : composants sans LRE par rapport aux composants avec BCB ;
- l'identification des non-uniformités et des mécanismes de conduction communs et/ou spécifiques à chaque lot de dispositifs.

2.3. Procédure de caractérisation développée au LAAS pour les analyses de faillibilité

Dans ce sous-chapitre, nous proposons des techniques de caractérisation des anomalies électriques qui peuvent apparaître dans les HEMT à base de GaN. Les anomalies électriques sont des effets parasites qui corrompent les signatures électriques et qui peuvent pour certaines pénaliser la tenue dans le temps des performances initiales des dispositifs. L'origine physique de ces défauts est directement associée à la structure intrinsèque du dispositif et/ou aux anomalies induites par les processus technologiques.

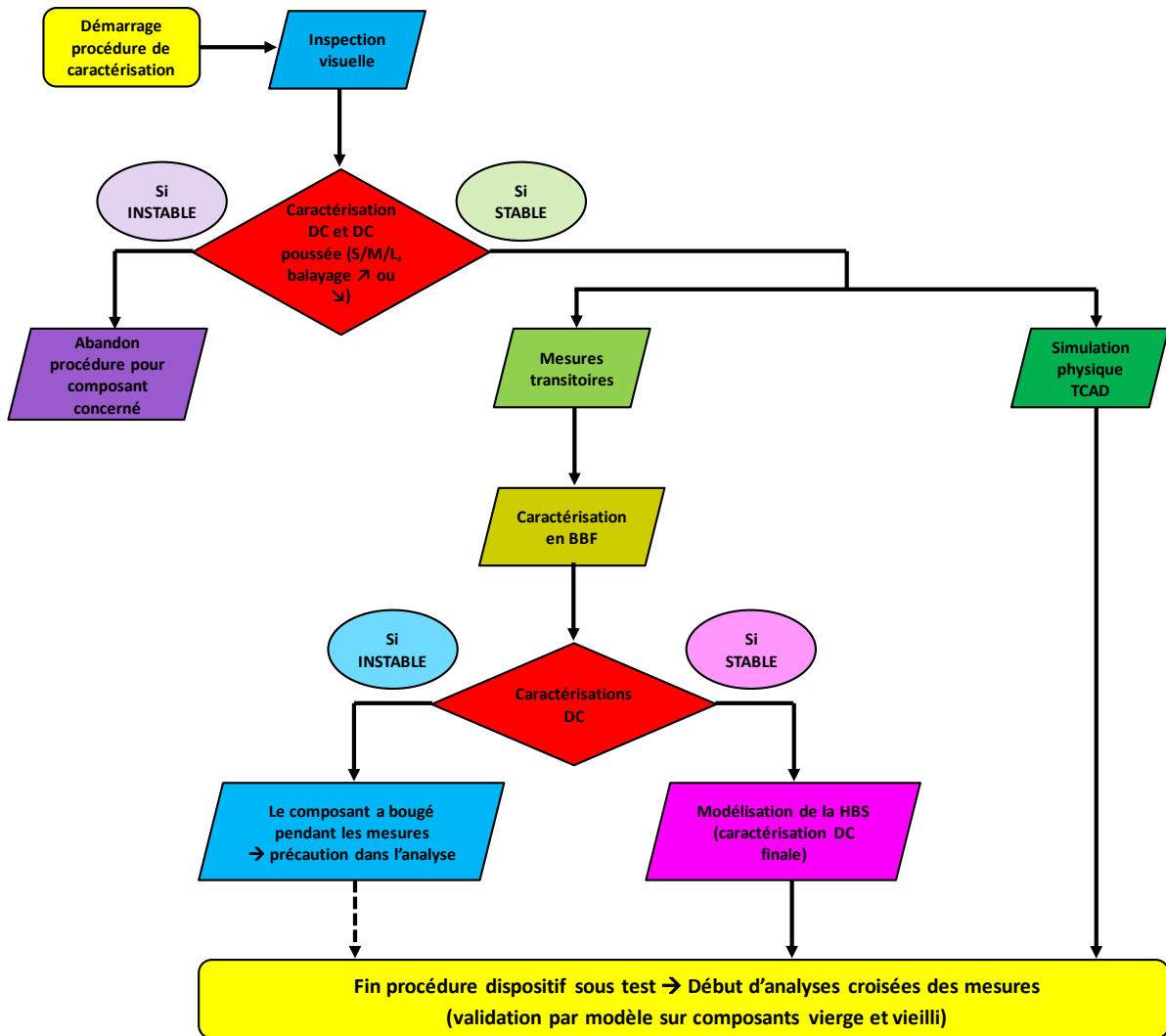


Figure II - 4. Description en langage pseudocode de la procédure de caractérisation développée au LAAS pour les analyses de fiabilité.

La Figure II - 4 est une description en langage pseudo-code de notre procédure de caractérisation des composants : après une inspection visuelle du lot reçu, tous les composants du lot subiront des tests en régime continu normal, et continu poussé (plusieurs temps d'acquisition des données, balayage croissant ou décroissant de tension appliquée). Si des réponses qui varient de manière inhomogène par rapport à d'autres sont identifiés, alors la procédure de caractérisation de ces composants est arrêtée puisque ces composants ont un comportement marginal, qui n'est pas représentatif du lot concerné. De plus, si les autres étapes sont appliquées à des transistors marginaux, l'interprétation des données devra se faire prudemment, en accordant une attention particulière aux fausses conclusions que l'on pourrait en tirer (lesdits composants pouvant évoluer au cours de ces caractérisations, il sera difficile d'établir une cartographie de mesure sûre du composant dans un état stable).

Par contre, si les réponses des transistors sont stables, et surtout reproductibles, alors les autres tests de la procédure pourront être appliqués (mesures transitoires, caractérisation en bruit basse fréquence), afin d'obtenir un plan de caractérisation exhaustive de chaque composant, ainsi qu'une comparaison entre les différents composants du même lot, voire entre déclinaisons technologiques différentes.

Les dernières deux étapes applicables consistent dans la modélisation de la hauteur de barrière Schottky, que l'on intègre ensuite dans des simulations physiques TCAD. De cette manière, nous aurons la possibilité de vérifier la pertinence de notre procédure de caractérisation, ainsi que la généralisation des conclusions tirées, à travers des retro-simulations.

Les effets de retard à la commande sont étudiés en première approche en fonction de la variation du temps d'acquisition de la mesure dite « DC ». La température est également utilisée en tant que paramètre variable afin d'évaluer la dépendance de ces phénomènes des modes de conduction des porteurs.

Puisque les processus de génération et de recombinaison des porteurs sont stimulés thermiquement, l'évolution des constantes de temps de capture ou d'émission d'électrons avec la température peut aider à l'identification de la signature du piège : son énergie d'activation (E_A), la coupe transversale (σ), ainsi que la densité effective de pièges (N_t).

La dégradation de la caractéristique du courant de grille, ainsi que la chute du courant de drain sont les principaux facteurs limitant la fiabilité des dispositifs actifs. La dégradation de la résistance passante (R_{ON}) et de la tension de seuil (V_{TH}) sont également des paramètres fonctionnels majeurs devant être considérés. La diminution du courant de drain est souvent associée à une variation (augmentation) de la densité effective de pièges dans la structure. Les pièges de surface, pièges d'interface et pièges de volume ont été rapportés à l'origine d'une telle cinétique [70].

La dégradation du contact de grille est encore incertaine. Néanmoins, différentes hypothèses concernant les origines d'une telle dégradation ont été rapportées :

- a) Effet piézoélectrique inverse : l'augmentation du courant de grille a été corrélée avec la création ou avec la propagation de dislocations au bord de la grille [111]–[113] ;
- b) Migration des métaux du contact Schottky : l'inter-diffusion de l'or dans le contact.

Les techniques de caractérisation développées au LAAS sont basées sur des mesures non-invasives (donc non-destructives), et permettent l'utilisation ultérieure du dispositif analysé. Néanmoins, nous présentons à la fin du manuscrit quelques résultats issus d'une technique de mesure destructive (coupes TEM réalisées par Biophy Research et Serma Technologies

pour la DGA), afin de pouvoir les corroborer avec les analyses résultantes des techniques non-destructives.

Ce chapitre détaille la feuille de route des procédures techniques, en utilisant différents outils de manière collaborative : mesures en courant continu et pulsé (I_{DS} et I_{GS}), caractérisation électrique en fonction de la température, mesures en bruit basse fréquence (S_{ID} et S_{IG}), extraction de la hauteur de barrière Schottky, simulations TCAD etc. Le but final est d'attester la pertinence de nos analyses de défaillance identifiées dans différents HEMT AlGaN/GaN lors des études de fiabilité.

2.3.1. Techniques non-destructives : Inspection visuelle

Lorsque les lots de dispositifs sont reçus au LAAS, la première étape consiste à comprendre la fiche de données envoyée par le fabricant, c'est-à-dire la notification de la concordance entre les composants envoyés et reçus. Ensuite, un contrôle visuel préliminaire est effectué afin de vérifier l'état des dispositifs avant l'application de toute polarisation (V_{GS} et/ou V_{DS}). Cette étape, qui peut paraître anecdotique, permet de vérifier si les spécifications techniques d'UMS sont (visuellement) en accord avec les dispositifs reçus (conformes aux fichiers de données), et d'éviter tout malentendu concernant une erreur éventuelle dans le classement. La Figure II - 5 illustre le contrôle visuel d'un transistor avant (a) et après (b) application de contrainte, sur un cas de dégradation fatale évidente.

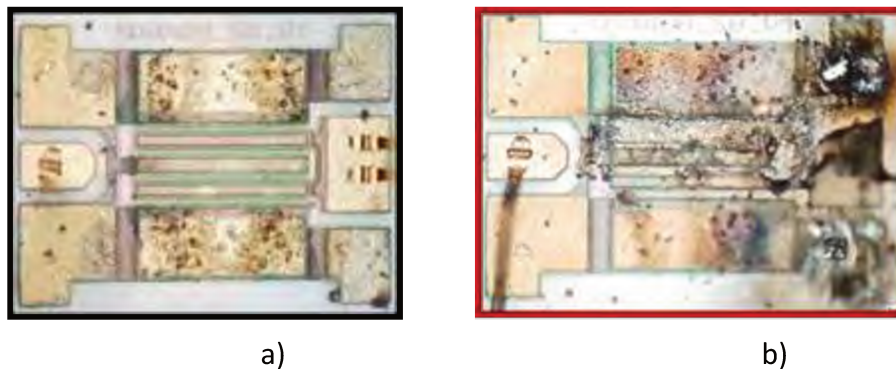


Figure II - 5. a) Transistor en état fonctionnel ; b) Dégradation ultime du composant.

Ensuite, les tests électriques peuvent être effectués comme décrit ci-dessous.

2.3.2. Techniques non-destructives : Caractérisations électriques en DC (à température ambiante, et de 80 K jusqu'à 400 K)

Le banc expérimental utilisé pour ces mesures en statique est le plus simple à mettre en œuvre pour une analyse de premier niveau, et il est donc couramment utilisé comme outil de diagnostic. Afin d'effectuer ce type de manipulation, nous utilisons au LAAS l'analyseur de précision Agilent 4156C (analyseur des paramètres des semiconducteurs). Cet analyseur nous permet d'effectuer différents types de mesures de courant en fonction de tension : $I_G(V_{GS})$, $I_{DS}(V_{DS}, V_{GS})$, $G_M(V_{GS})$, en régime continu et en configuration pulsée.

La procédure de mesure a été stabilisée, en termes de :

- **impact de l'environnement** (câbles, connecteurs, etc.) : représente une première évaluation contrôlée et stabilisée du banc de manipulation (conformément aux réponses transitoires et aux erreurs induites possibles).
- **balayage sens croissant ou décroissant de la polarisation** : permet de vérifier l'incidence possible de l'état initial de la polarisation sur le tracé électrique, et d'identifier des effets mémoire (à court, moyen ou long terme).
- **impact du temps d'intégration (court/moyen/long)** : favorise l'évaluation de la sensibilité des pièges en première instance pour les trois configurations de balayage (respectivement 640 μ s, 20 ms et 320 ms de temps d'acquisition par point de mesure avec l'analyseur de signaux Agilent 4156C).

Les résultats obtenus permettent de dresser quelques conclusions ou hypothèses de travail sur le courant de fuite de grille et ses mécanismes de conduction lorsque ce dernier est mesuré en fonction de V_{GS} .

Un aspect très important à prendre en compte pour les analyses de fiabilité est le comportement du composant en fonction de la température. En effet, la température joue un rôle clé quant à l'accélération des mécanismes de dégradation (cinétique des effets parasites en température).

Tous ces essais vont nous permettre de réaliser une comparaison entre les comportements structurels issus de différentes variantes technologiques (qualité du processus de passivation, du contact Schottky, etc.), ainsi que d'identifier les modes de dégradation dus aux processus de vieillissement.

La caractérisation électrique exhaustive en DC a été effectuée sur des dispositifs de référence et vieillis, originaires de chaque lot reçu par le LAAS. Les configurations en mode diode et transistor ont été exploitées successivement, en vue de fournir un ensemble complet de données électriques pour les paramètres de sortie. La filière GH50 ayant déjà fait l'objet d'une analyse poussée sur ces aspects lors des travaux de thèse de S. Karboyon [98], elle ne sera pas évoquée ici.

2.3.2.1. Filière GH25 - déclinaison Picowatt 36/37B

2.3.2.1.1. Analyse du courant de grille

Dans la Figure II - 6, nous présentons les principaux résultats issus des mesures du courant de grille en fonction de la tension de grille pour la filière GH25, déclinaison *Picowatt 36/37B* (configuration drain en l'air). TD6 et TH2 sont les dispositifs de référence (non vieillis) de chaque lot (représentés en pointille), et tous les autres sont des transistors vieillis HTOL.

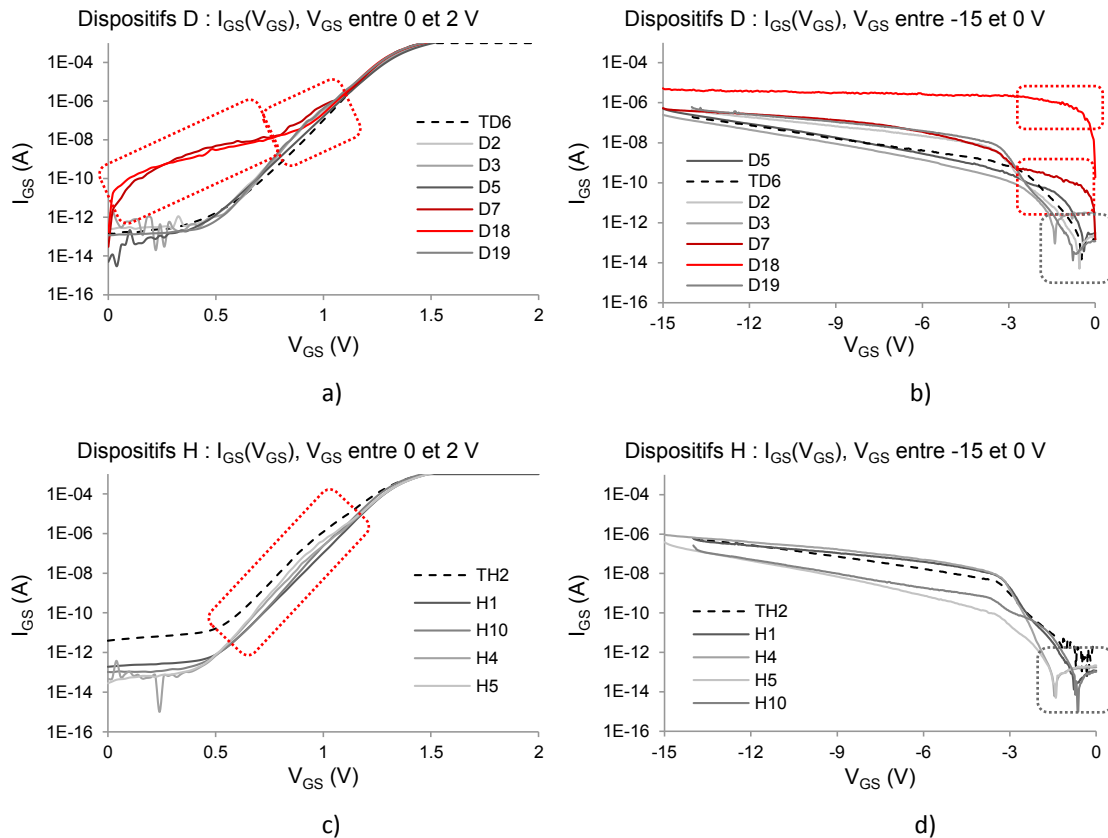


Figure II - 6. Mesures $I_{GS}(V_{GS})$ des transistors HEMT AlGaIn/GaN, filière GH25 ($8 \times 125 \mu\text{m} \times 0,25 \mu\text{m}$) : encadrement rouge des 'ventres' du courant de grille, encadrement gris du décalage de la tension d'inversion du courant de grille (les transistors témoins sont représentés en ligne pointillée).

- a) Mesures en polarisation directe pour les transistors *D*, au début de la campagne de mesures.
- b) Mesures en polarisation inverse pour les transistors *D*, au début de la campagne de mesures.
- c) Mesures en polarisation directe pour les transistors *H*, au début de la campagne de mesures.
- d) Mesures en polarisation inverse pour les transistors *H*, au début de la campagne de mesures.

Premièrement, nous pouvons remarquer le fait que tous les composants du lot *Picowatt 36/37B* présentent, en état initial, un plateau de courant entre -1,5 V et 0,5 V, sauf D7 et D18 (transistors du lot *D*, qui ont été principalement dégradés pendant la polarisation directe ou inverse de la diode). Pour ces deux derniers échantillons, la fuite du courant de la grille augmente de façon significative avec une signature spécifique en direct (entre 0 V et 1,2 V), et en inverse (entre -3 V et 0 V) bien au-dessus des caractéristiques relevées sur les

autres dispositifs ; cependant cette signature du courant de fuites n'a aucun impact sur la caractéristique du courant de sortie (section 0).

Ensuite, nous constatons que les ventres (bruités) de courant identifiés en polarisation directe (une bosse avant 1 V pour D18, deux bosses - avant 0,8 V, et entre 0,8 V - 1,2 V - pour D7) sont également visibles en mode inverse, avec une discontinuité près de la tension de pincement pour D7. Cela laisse présager d'une origine potentiellement commune se traduisant en direct et en inverse, liée à un mécanisme (additif) de fuites sur la diode Schottky.

Les autres dispositifs ne proposent pas initialement la même allure de trace que D7 et D18. Cela signifie que le courant de fuite peut provenir de différentes zones (mécanismes) pour ces composants, tel que décrit dans les sections suivantes. En outre, les signatures électriques de D7 et D18 peuvent masquer les contributions de fuite moins importantes révélées par les autres transistors en raison de l'amplitude prépondérante de ce mécanisme activé.

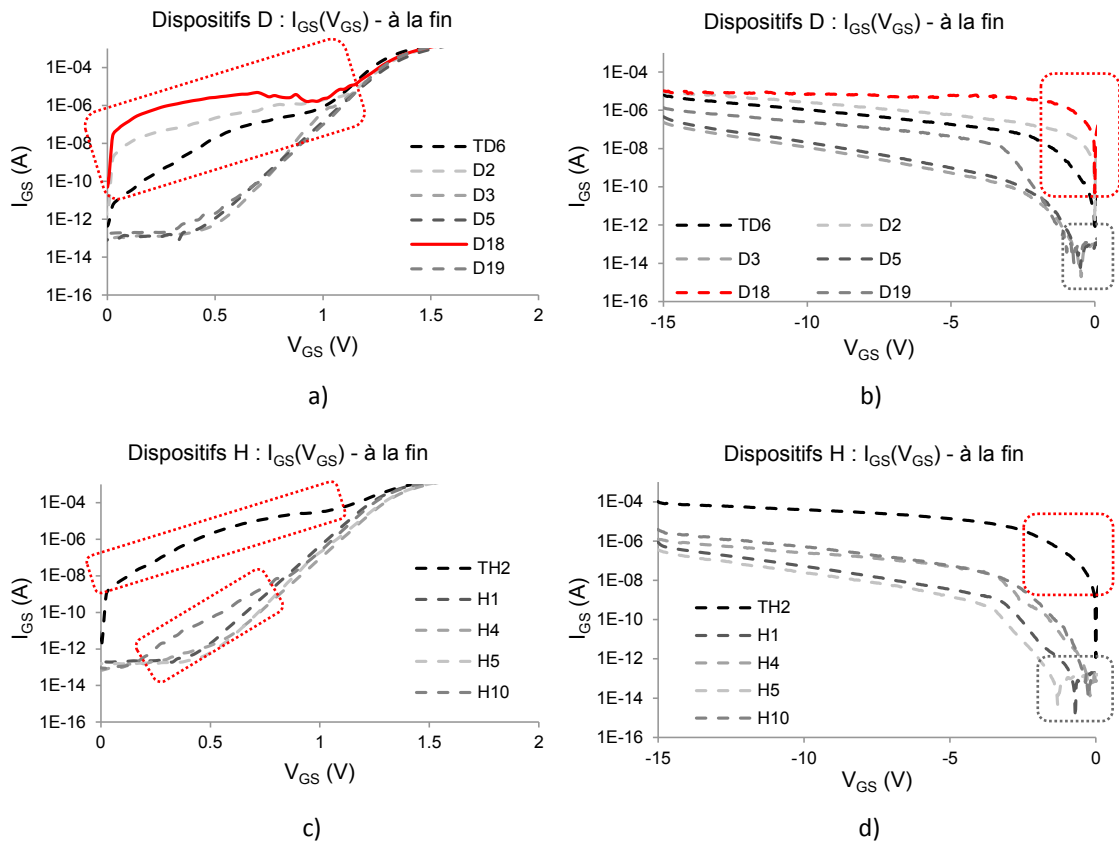


Figure II - 7. Mesures $I_{GS}(V_{GS})$ des transistors HEMT AlGaIn/GaN, filière GH25 ($8 \times 125 \mu\text{m} \times 0,25 \mu\text{m}$) : encadrement rouge des 'ventres' du courant de grille, encadrement gris du décalage de la tension d'inversion du courant de grille (les transistors témoins sont représentés en ligne noire pointillée).

- Mesures en polarisation directe pour les transistors D, à la fin de la campagne de mesures.
- Mesures en polarisation inverse pour les transistors D, à la fin de la campagne de mesures.
- Mesures en polarisation directe pour les transistors H, à la fin de la campagne de mesures.
- Mesures en polarisation inverse pour les transistors H, à la fin de la campagne de mesures.

Néanmoins, au bout de quelques campagnes de mesures, le ventre bruité de courant (*belly-shape*) commence à se faire remarquer aussi sur d'autres transistors (Figure II - 7), sans avoir une signature reproductible.

En comparant nos mesures avec celles issues d'UMS (Figure II - 8), nous avons observé qu'au début D18 faisait figurer le même comportement que les transistors témoins (TD6 et TH2), en termes de courant de grille. Cependant, après plusieurs caractérisations menées sur le composant, le courant de grille s'est fortement dégradé, comme en attestent à la fin les signatures encadrées en rouges dans la Figure II - 6 et dans la Figure II - 7.

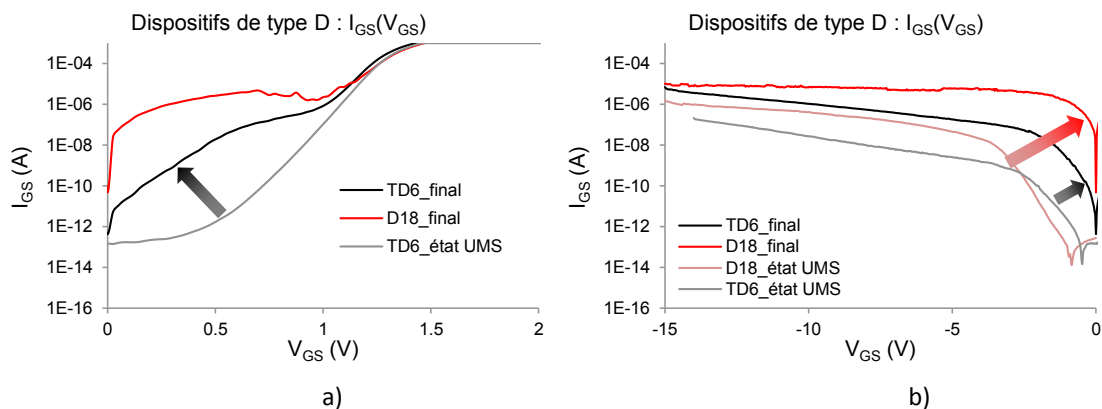


Figure II - 8. Comparaison entre les courbes I_{GS} - V_{GS} d'UMS et celles du LAAS :

a) polarisation directe de la diode et b) polarisation inverse de la diode.

2.3.2.1.1.1. Phénomène « belly-shape »

Prenons le cas de D18 : les mesures d'UMS montrent un décalage de la tension d'inversion du courant de grille. Ce décalage est visible aussi sur les autres composants, et il est encadré en gris dans la Figure II - 6 et dans la Figure II - 7. Cet effet identifié à faible V_{GS} (entre -3 V et 1 V) est attribué à une quantité de charges fluctuante, qui s'actionne probablement lors des campagnes de test sur des plages V_{GS} conséquentes (-15 V et 1,5 V en mode diode). Afin d'identifier l'impact de la cinétique de ces charges, nous avons effectué des mesures successives sur le courant de grille, en changeant le temps d'intégration de la mesure (plus de détails dans le Tableau II - 1), ainsi que le sens de balayage de la tension de grille.

Temps d'intégration de la mesure et fréquences de coupure haute de capture associée		
Court	$t = 640 \mu s$	$f = 1,6 \text{ kHz}$
Moyen	$t = 20 \text{ ms}$	$f = 50 \text{ Hz}$
Long	$t = 320 \text{ ms}$	$f = 3 \text{ Hz}$

Tableau II - 1. Temps d'intégrations (et fréquences de capture haute de pièges) correspondants à différentes configurations paramétriques de l'analyseur paramétrique Agilent 4156C.

Certains résultats sont répertoriés dans la Figure II - 9 pour le cas du dispositif D18 :

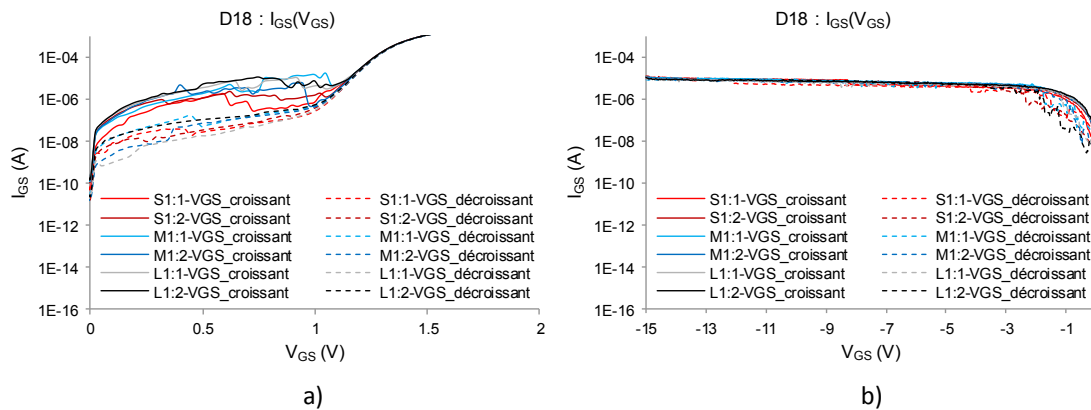


Figure II - 9. D18 : $I_{GS}-V_{GS}$ pour plusieurs temps d'intégration de la mesure (court en rouge, moyen en bleu, et long en gris), et pour balayage croissant (en trait continu), respectivement décroissant (en trait pointillé) de la tension V_{GS} : a) polarisation directe, et b) polarisation inverse.

Le ventre fortement bruité sur le courant de grille apparaît toujours entre -3 V et 1,2 V, avec une amplitude variable (environ deux décades de courant). Cette manifestation des charges provoque une variation du courant selon différentes signatures en fonction du type de mesure (polarisation croissante ou décroissante de la diode, temps d'intégration court/moyen/long de la mesure, mesures successives - Figure II - 9), en masquant tous les autres phénomènes qui ont une contribution plus faible sur le courant total de grille. De cette manière, en début de campagne de mesures, nous avons le comportement « naturel » du composant, sur lequel on pouvait distinguer les différents contributeurs du courant. Néanmoins, les nombreuses campagnes de manipulation et la maturité non encore aboutie du processus de ce lot ont probablement exposé les dispositifs à des créations de sites de charges/pièges sous la grille, en constituant ce qui est communément appelé *belly-shape*, et en masquant les mécanismes de fuites initiaux dont la contribution devenait marginale (sauf en régime thermoïonique sous forte polarisation directe).

Des travaux internes d'UMS [114] ont conclu sur le fait que le *belly-shape* sur du *Picowatt 36/37B* apparaît après l'enlèvement de la passivation, en étant accompagné simultanément d'une diminution du courant de drain. Nous retrouvons ici aussi la chute du courant de drain, en plus de la manifestation de type *belly-shape*, mais sans l'enlèvement

préalable de la passivation. En conclusion, le phénomène de *belly-shape* serait ici plutôt dû à l'action d'un défaut de commande (sous la grille, à l'interface métal-semiconducteur), ou à un défaut de passivation, qui affecte le nombre de porteurs dans le 2DEG.

Nous avons précédemment conclu que ce phénomène de *belly-shape*, généralement étudié en polarisation directe, possède systématiquement une manifestation en inverse près de la tension d'inversion (phénomènes déjà observés lors des travaux antérieurs sur la filière GH50 [98]). Plus ce phénomène est marqué en direct, plus la contribution en inverse vient masquer le courant de Poole-Frenkel, voire même celui de Fowler-Nordheim vers les tensions inverses les plus fortes. Ce mécanisme de fuite en excès serait généré par le stress induit d'un champ électrique extrêmement élevé (stress HTOL = *High Temperature Operating Life*), et modélisé par l'effet tunnel assisté par des pièges (TAT – *Trap Assisted Tunneling*) [115].

Pourtant, cette contribution additive ne provient pas nécessairement d'une signature de défaillance. Certains dispositifs présentant cette manifestation (TD6 et TH2 par exemple) ne révèlent pas leurs caractéristiques de sortie dégradées. Ce courant de fuite n'est donc pas lié au premier ordre aux signatures de dégradation comme l'étude des paragraphes suivants le démontrera. Les mesures de 0 V à 2 V seront exploitées ensuite pour l'étude de la diode en fonction de la température.

2.3.2.1.1.2. Plateau de courant

Afin d'aller plus loin dans la compréhension du comportement des échantillons en début de campagne de mesure (plus précisément relativement à la manifestation du plateau de courant), nous avons effectué des mesures en température sur le courant de grille d'un composant spécifique. Ce composant ne présente pas de plateau à température ambiante ; cependant, la cinétique thermique des différents contributeurs au courant I_{GS} en polarisation directe et inverse fait notamment apparaître un plateau et un décalage vers la gauche du pic d'inversion en tension lorsque la température diminue (D19, Figure II - 10) :

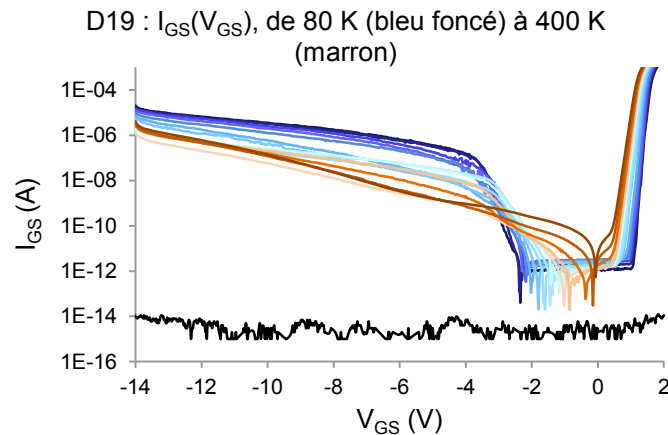


Figure II - 10. D19 : I_{GS} - V_{GS} en fonction de température : de 80 K (bleu foncé), à 400 K (marron). Le tracé noir représente le plancher en courant de l'appareil de mesure (Agilent 4156C).

L'apparition du plateau à basse température pour une polarisation V_{GS} variant entre -2 V et 1 V est identique à la manifestation relevée sur d'autres composants à température ambiante ; l'ordre de grandeur de ce phénomène sur D19 est juste trop faible à l'ambiante pour être visible ; ce plateau devient prépondérant relativement au phénomène thermoïonique, et au courant inverse de polarisation sur une zone V_{GS} donnée lorsque la température diminue (tendance nettement observable sur la Figure II - 10). Ceci permet d'identifier le défaut comme étant présent dans tous les composants.

De plus, il est notable pour D19 que l'élévation de température vient activer un mécanisme de fuites autour de la zone d'inversion. Ce mécanisme de fuites supplémentaire devient prépondérant devant le plateau précédemment discuté.

Le comportement du composant met donc en évidence deux types de mécanismes de conduction du courant de grille, en fonction de la température :

- un mécanisme lié aux charges sous la grille, qui impacte la commande du transistor, et décale la tension d'inversion du courant de grille, et
- un mécanisme lié aux pièges, qui est activé ou pas en fonction de la température.

La variation de la tension d'inversion traduirait une dépendance électrothermique des charges / pièges sous la commande de la diode Schottky, même s'il est encore difficile de distinguer avec précision ce mécanisme, ainsi que sa cinétique avec la température.

En focalisant notre étude sur le plateau de courant, il paraît correspondre clairement à un comportement ohmique (Figure II - 11) :

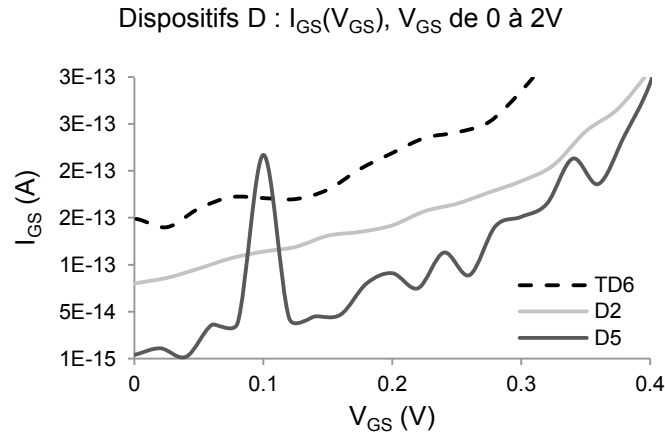


Figure II - 11. I_{GS} - V_{GS} pour trois échantillons représentatifs du lot *Picowatt 36/37B* : TD6 est un transistor témoin, D2 et D7 sont des transistors vieilliss HTOL.

Nous avons modélisé ce plateau de courant en utilisant une résistance de valeur élevée pour chaque transistor, variant entre 10^{10} et $10^{13} \Omega$ pour tous les composants. Pour assurer le caractère interprétable de nos mesures, nous avons engagé différentes caractérisations pour assurer que ce plateau n'est pas dû à une limitation de notre banc de mesure (nous utilisons Agilent 4156C pour réaliser les manipulations). La Figure II - 10 relève le plancher de mesure avec boîtier de caractérisation, et assure la validité de nos données ; ce plateau de courant n'est pas un artefact de mesure.

En proposant une modélisation analytique des différents courants de fuite, nous avons conclu que la composante concurrentielle des courants liés à la diode Schottky ne pouvait se situer que dans la zone d'interface semiconducteur-passivation, entre les zones grille-source (et zone grille-drain étant donné que l'on retrouve la signature du plateau de courant en mesurant la diode entre grille et drain, avec la source en l'air).

Puisque le plateau de courant n'apparaît qu'aux températures basses sur certains composants (D19), et avec une contribution de courant plus faible, nous supposons alors que cela devrait correspondre à un défaut résistif moins sensible, c'est-à-dire à un défaut qui propose un chemin de conduction plus résistif, et plus proche du cas idéal de fait. Nous avons extrait une résistance de l'ordre de 10^{12} - $10^{13} \Omega$ (ordre d'incertitude), conformément à cette hypothèse sur les composants concernés par la même signature que D19.

2.3.2.1.2. Analyse du courant de drain

L'étude du courant de drain porte généralement sur les mesures des caractéristiques de sortie en régime (quasi)statique : $I_{DS}(V_{DS})$, $I_{DS}(V_{GS})$, ou encore $G_M(V_{GS})$. Nous précisons que les valeurs exploitées dans la suite sont celles de début de campagne de mesure, c'est-à-dire, avant que le *belly-shape* se fasse remarquer sur TD6, D2 et TH2.

Le courant de drain mesuré lors d'un balayage en V_{DS} , et à V_{GS} constant permet l'identification de deux zones d'intérêt :

→ **la région ohmique** – avec un comportement typiquement résistif, permettant l'extraction du R_{ON} (résistance du canal du transistor en état passant) ;

→ **la région de saturation** – spécifique au courant élevé, insensible aux variations du V_{DS} (régime exploité pour la conception d'amplificateurs).

Un lot de dix transistors *Picowatt 36/37B* a été soumis à l'étude. Deux dispositifs vierges (témoins) sont disponibles afin d'évaluer l'impact du stress HTOL sur les autres transistors. Les mesures révèlent une diminution de I_{DS} d'environ 45% (à $V_{GS} = 1$ V et $V_{DS} = 8$ V), une augmentation de 130% de R_{ON} , et une variation d'environ une décade de I_{GS} après 105 h de stress HTOL, effectué par UMS à une température de 175°C, et 320°C température de jonction. Les évolutions relatives de la tension seuil pendant la contrainte sont rapportées dans la Figure II - 12, avec des variations finales entre 5% et 15% sur les dispositifs vieilliss, et aucune variation mesurée sur les deux dispositifs vierges (marqueurs noirs et rouges) [116].

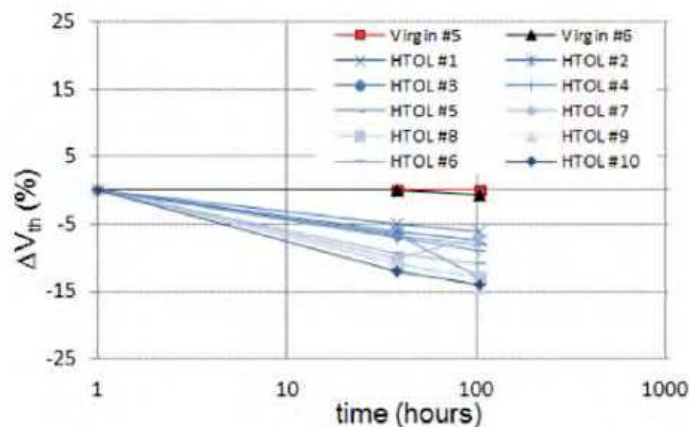


Figure II - 12. Impact de la contrainte HTOL sur le changement de tension de seuil (exprimé en pourcentage) [116].

En s'appuyant sur l'historique et le type de contrainte appliquée sur un composant ou un lot de composants, la Figure II - 12 permet de tirer de lois normales de vieillissement spécifiques au chaque processus.

À partir des caractéristiques $I_{DS}(V_{DS})$ de la Figure II - 13, nous pouvons saisir que les transistors stressés HTOL présentent systématiquement un courant de sortie I_{DS} inférieur à celui des témoins, tandis que les références des deux lots ont presque le même courant de drain. Quoi qu'il en soit, les transistors de type *H* présentent de meilleures performances en termes de courant de sortie (et une dégradation nettement moins marquée de la résistance à l'état passant, R_{ON}) par rapport aux dispositifs de type *D*, même si les valeurs du courant de fuites de grille sont similaires.

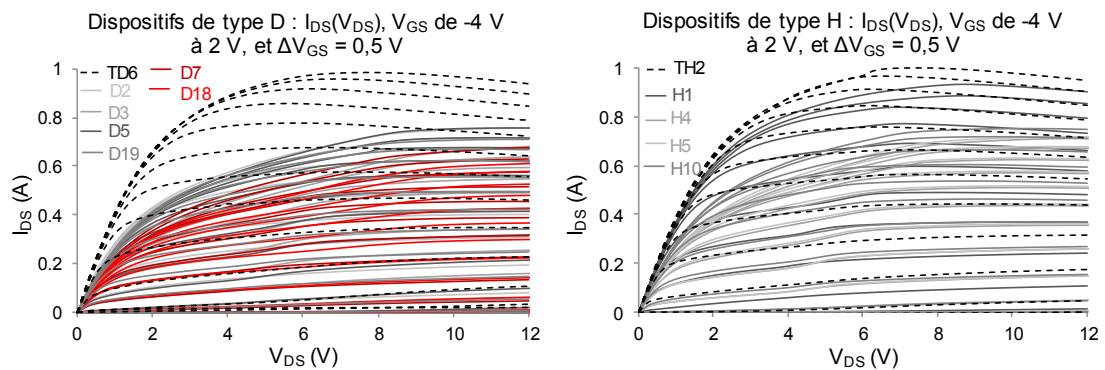


Figure II - 13. Caractéristiques de sortie I_{DS} - V_{DS} pour les transistors *Picowatt 36/37B*, issus des lots *D* et *H* : TD6, et TH2 sont des échantillons témoins du chaque lot (représentés en trait pointillé), tandis que tous les autres dispositifs sont des transistors vieillis HTOL (représentés en trait continu).

Quant à la résistance R_{ON} , le Tableau II - 2 résume les valeurs de chaque dispositif :

Dispositif lot D	R_{ON} (Ω)	Dispositif lot H	R_{ON} (Ω)
TD6	2,5	TH2	2,5
D2	3,3	H1	2,6
D3	4,7	H4	3,8
D5	3,7	H5	3,9
D7	4,5	H10	3,4
D18	4,8		
D19	3,7		

Tableau II - 2. Résistance du canal en état passant (R_{ON}) des transistors *Picowatt 36/37B*.

Effectivement, les échantillons témoins font figurer la plus faible valeur du R_{ON} (aux alentours de 2,5 Ω), alors que les effets du vieillissement HTOL se manifestent par une augmentation du R_{ON} pour les transistors stressés. En outre, les dispositifs pour lesquels le phénomène de *belly-shape* était très marqué (D7, et surtout D18) sont aussi caractérisés par des chutes de courants de sortie plus fortes, et les R_{ON} les plus élevées (environ 5 Ω). Ce phénomène conjoint d'une chute de I_{DS} et d'une dégradation de R_{ON} pour les composants présentant le phénomène de *belly-shape* pourrait s'expliquer par la présence de charges fixes ou des sites de pièges, variables en densité et dans le temps (instabilité des interfaces, cinétique des pièges sur le moyen/long terme), notamment dans l'espace grille-source. Cette

hypothèse a été partiellement validée par simulations T-CAD lors de la thèse de D. Saugnon [117].

Nous présentons dans la suite les valeurs des I_{DSS} (les courants de drain à $V_{GS} = 0$ V, et $V_{DS} = 8$ V), et des G_{MAX} (valeur maximale de la transconductance à $V_{DS} = 8$ V) dans les Figure II - 14, Figure II - 15, et Tableau II - 3 pour tous les échantillons *Picowatt 36/37B*.

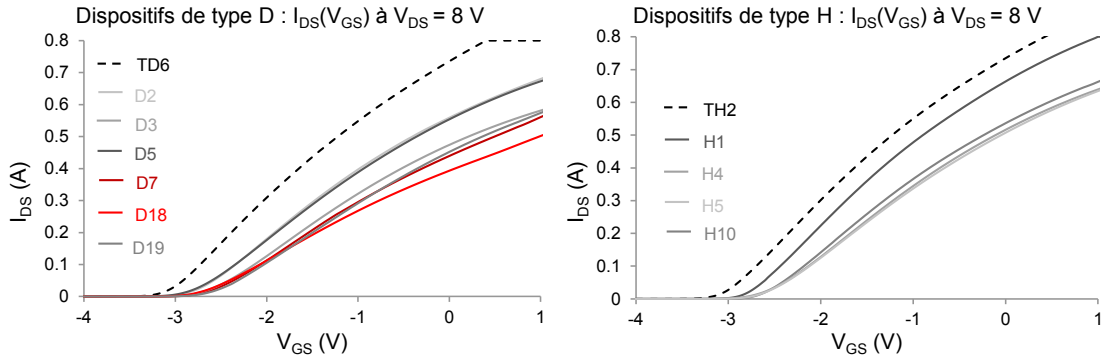


Figure II - 14. Caractéristiques de sortie I_{DS} - V_{GS} pour les transistors *Picowatt 36/37B*, issus des lots *D* et *H* : TD6, et TH2 sont des échantillons témoins du chaque lot (représentés en trait pointillé), tandis que tous les autres dispositifs sont des transistors vieilliss HTOL (représentés en trait continu).

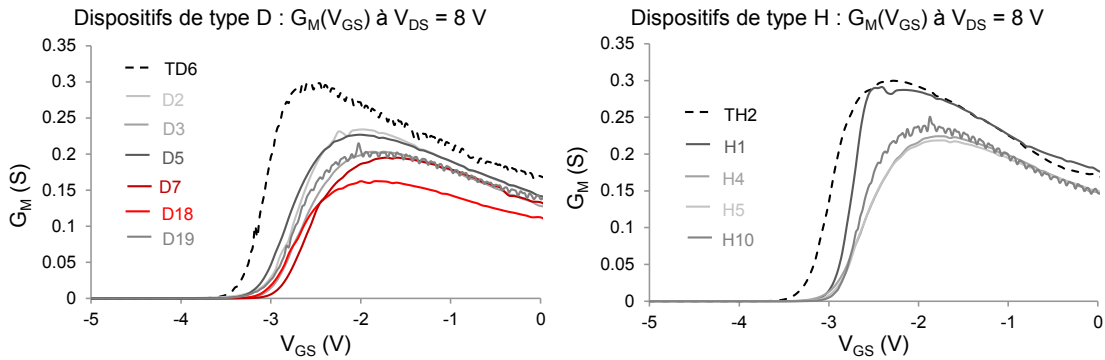


Figure II - 15. Caractéristiques de sortie G_M - V_{GS} pour les transistors *Picowatt 36/37B*, issus des lots *D* et *H* : TD6, et TH2 sont des échantillons témoins du chaque lot (représentés en trait pointillé), tandis que tous les autres dispositifs sont des transistors vieilliss HTOL (représentés en trait continu).

Selon les caractéristiques de sortie, nous avons la confirmation que les transistors de type *H* ont les I_{DSS} et les G_{M-MAX} plus élevés (moins dégradés) par rapport à ceux de type *D*. De plus, I_{DSS} et G_{M-MAX} diminuent pour les dispositifs stressés, tandis que la tension de seuil V_{TH} augmente (i.e., se rapproche de zéro par valeurs négatives), ce qui peut être attribué au processus de vieillissement. Les variations de tension de seuil semblent moins marquées sur le lot *H* que sur le lot *D* (Figure II - 15). De plus, un composant vieilli du lot *H* (H1, I_{DSS} proche de TH2) démontre que la dérive de V_{TH} avec le vieillissement n'est pas nécessairement accompagnée d'une forte diminution d' I_{DSS} (constance du maximum de G_M), même si cette tendance est statistiquement validée sur les deux lots de composants.

Dispositif	V_{TH} (V)	I_{DSS} (A)	G_{M-MAX} (S)
TD6	-3,40	0,74	0,30
D2	-3,18	0,56	0,24
D3	-3,00	0,47	0,20
D5	-3,20	0,55	0,23
D7	-2,90	0,45	0,20
D18	-3,05	0,39	0,16
D19	-3,15	0,50	0,22
TH2	-3,38	0,73	0,30
H1	-3,08	0,66	0,29
H4	-3,00	0,52	0,22
H5	-2,95	0,51	0,22
H10	-2,90	0,54	0,25

Tableau II - 3. Valeurs des tensions de seuil (V_{TH}), des courants de saturation (I_{DSS}), et des transconductances maximales (G_{M-MAX}) des transistors *Picowatt 36/37B*.

2.3.2.1.2.1. Discussion autour du comportement I_{DS}/G_M

Des simulations T-CAD ont été menées par D. Saugnon [116] pour valider physiquement ce comportement, et expliquer la cause possible de cette chute d' I_{DS} (ou du G_M). L'hypothèse de l'action de charges a été privilégiée comme étant la plus plausible en raison de la constance structurelle des dispositifs (épaisseurs, dopages). Une quantité de charges fixes négative, située aux différentes interfaces du semiconducteur (à partir de la surface, et jusqu'à la zone active 2DEG), a été placée soit sous la grille (donc en verticalité, pour apprécier l'impact sur la commande), soit dans l'espace grille-drain ou grille-source (latéralité des zones non-commandées).

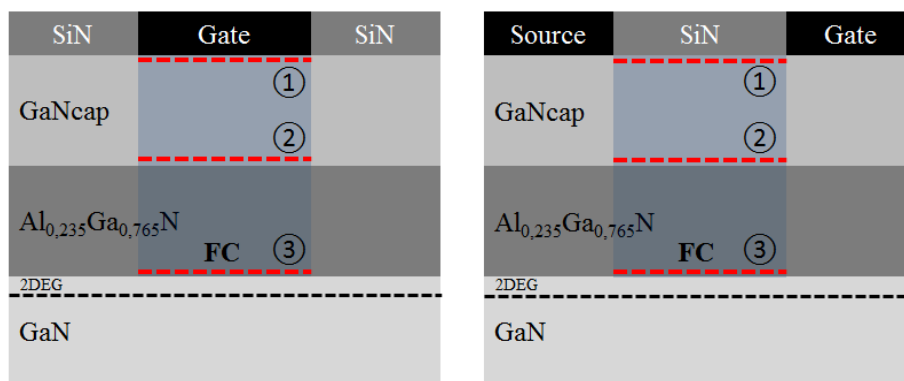


Figure II - 16. Vue de coupe du modèle HEMT, utilisée pour évaluer l'impact de la densité des charges fixes (FC) sur les comportements électriques, avant et après application de contrainte [116].

Des simulations globales (i.e., charges réparties sur toute la structure) ont ensuite permis de valider les résultats localisés dans les zones commandées et non-commandées du transistor

HEMT simulé. Les structures analysées sont illustrées dans la Figure II - 16. Seule la densité des charges fixes à l'interface AlGaIn/GaN (situation 3) est jugée critique pour les variations d' I_{DSS} , R_{ON} et V_{TH} (contribution faible des charges fixes dans le contexte 2, et sans impact dans la première situation) à cause du poids de son action (90% de la contribution aux effets électriques ci-dessous).

Ces simulations ont prouvé que les charges fixes situées entre la grille et la source (et entre la grille et le drain) influencent directement I_{DSS} (Figure II - 17), tandis que V_{TH} reste constant.

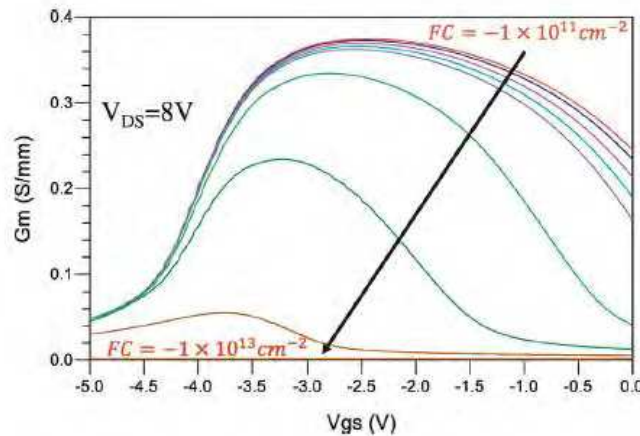


Figure II - 17. Gain de transconductance, simulé à $V_{DS} = 8$ V pour différentes densités de charges fixes sous la zone grille-source ou grille-drain (situation 3) [116].

De plus, lorsque la densité de charges fixes se situe plutôt sous la grille, alors la tension de seuil V_{TH} se déplace, conformément à la Figure II - 18, tandis que la densité de porteurs est faiblement affectée :

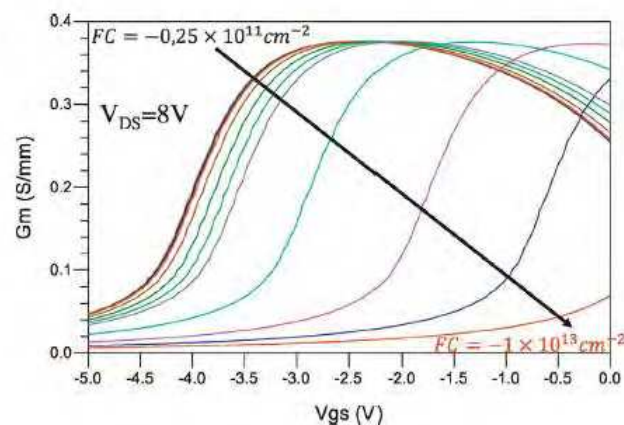


Figure II - 18. Gain de transconductance, simulé à $V_{DS} = 8$ V pour différentes densités de charges fixes sous le doigt de grille (situation 3) [116].

Les conclusions de la référence [116] nous servent en tant que support pour expliquer le comportement observé pendant les mesures électriques :

1. la **chute d' I_{DSS}** pour les dispositifs stressés est imputée à une quantité de charges fixes, située au-dessus du canal 2DEG, dans l'espace grille-source (ou grille-drain). Le phénomène se produit en horizontalité, et affecte les caractéristiques de sortie des composants vieilliss.
2. le **décalage** (augmentation) **du V_{TH}** pour les dispositifs stressés est dû à une quantité de charges fixes, située au-dessus du canal 2DEG, sous la grille. Ce phénomène se produit en verticalité, et impacte directement la commande des transistors.

Finalement, des variations de charges de l'ordre de -10^{12} cm^{-2} dans chacune de ces zones conduisent au décalage en tension du V_{TH} , et à la chute du courant de sortie (I_{DSS}) des transistors issus du lot D.

Un autre point intéressant déjà identifié concerne la comparaison entre le dispositif témoin TH2, et le dispositif stressé H1 du lot H ; H1 présente la même tension de seuil que les autres transistors vieilliss, donc un décalage du V_{TH} par rapport aux dispositifs-témoin ; cependant, il est caractérisé par un même G_{M-MAX} que les transistors vierges. Conformément aux travaux de simulation précédents dans les différentes zones non commandées G-S et G-D et zone sous grille, le comportement du composant H1 laisse penser que la densité de charges fixes située au-dessus du 2DEG est localisée sous la grille, et n'affecte que la tension de seuil, V_{TH} (donc uniquement la commande du composant, mais pas ses caractéristiques de transfert).

En outre, nous avons identifié des différences entre les caractéristiques de sortie du transistor témoin TD6, en début et en fin de campagne de mesures (Figure II - 19 et Tableau II - 4), dans la mesure où ces dernières se dégradent à la fin de la manipulation (avec l'apparition du *belly-shape*, à la fois) :

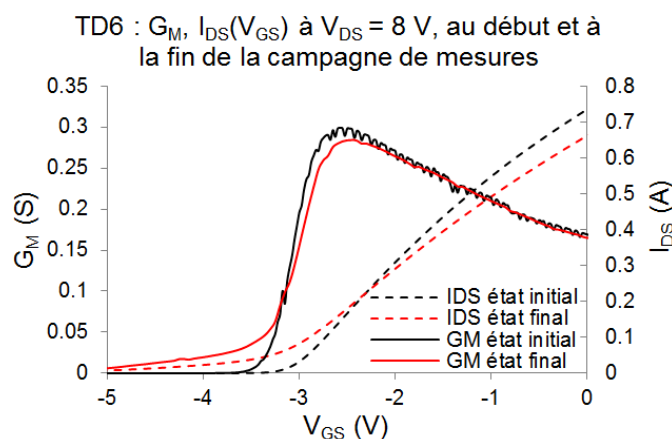


Figure II - 19. G_M - V_{GS} (en trait continu) et I_{DS} - V_{GS} (en trait pointillé) du transistor témoin TD6, au début (en trait noir) et à la fin (en trait rouge) de la campagne de mesures.

TD6	État initial	État final
V_{TH} (V)	-3,40	-5,45
I_{DSS} (A)	0,74	0,66
G_{MAX} (S)	0,30	0,28

Tableau II - 4. Tensions de seuil (V_{TH}), courants de saturation (I_{DSS}), et transconductances maximales (G_{MAX}) du transistor témoin TD6, au début, et à la fin des campagnes de mesures.

Si nous suivons le raisonnement décrit auparavant, la diminution de la tension de pincement ne possède pas le même profil (défaut de pincement dans le cas de la Figure II - 19). De plus, la densité de porteurs diminue lors de la mesure en état final. Le profil du gain statique de transconductance n'est pas fortement affecté, sauf vers la zone de défaut de pincement. Il ne s'agirait pas ici du même mécanisme que celui décrit dans les sections précédentes (la signature n'est pas la même). Ce défaut de pincement semblerait correspondre à un défaut de compensation du dopage de type donneur, ou encore une modification de densité de lacunes d'azote. Des charges fixes agiraient comme un compensateur de dopant qui gêne la commande du canal (difficulté de pincement du transistor, due potentiellement à un changement de dopage apparent). Ces charges fixes peuvent se trouver aussi bien dans le buffer que dans le matériau AlGaIn, et peuvent expliquer simultanément une variation de la densité de porteurs dans le canal (dépendante du dopage), et la mise à défaut du pincement.

2.3.2.1.2.2. Phénomène de pic de gain de transconductance à basse température (effet de coude)

Afin de vérifier la validité de ces hypothèses, nous avons effectué des mesures en température sur les deux composants témoins (TD6 et TH2), ainsi que sur deux échantillons vieilliss (D2 et H1).

TH2 (transistor témoin) et H1 (dispositif vieilli HTOL) ont plutôt capté notre attention : à 8 V et à basse température, les deux échantillons montrent un pic du gain de transconductance (G_M , Figure II - 20) proche des valeurs de pincement. Au-delà du décalage du V_{TH} vers des tensions positives, nous avons en plus une surcroissance de G_M à basse température, aussi bien sur les transistors vierges, que sur le transistor vieilli H1 (avec une tendance moins marquée toutefois). Cet effet est parfois associé en caractéristique de sortie à l'effet de coude (raison qui explique la présence à $V_{DS} = 8$ V, dans la zone typique du coude de courant I_{DS} , et pas à $V_{DS} = 12$ V).

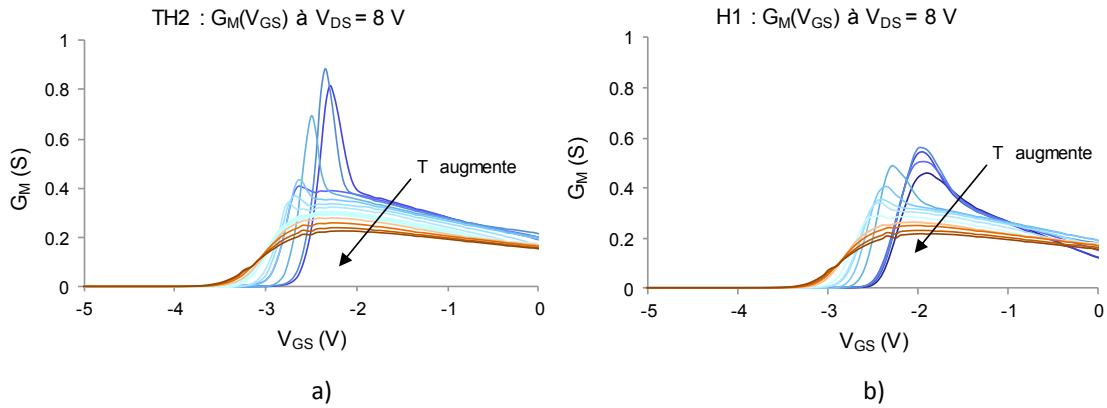


Figure II - 20. G_M - V_{GS} à $V_{DS} = 8$ V, de 100 K (en trait bleu foncé), jusqu'à 400 K (en trait marron foncé) par pas de 25 K. a) Transistor témoin - TH2, et b) Transistor vieilli HTOL - H1.

Cette augmentation subite du gain de transconductance (effet de coude), de par son caractère activé thermiquement, peut être analysée soit selon un modèle statique, soit en invoquant des mécanismes transitoires de piégeage :

- sa manifestation pourrait être liée purement à un mécanisme statique de commande, donc directement exploitable sous sa modélisation G_M , au travers d'un mécanisme statique secondaire qui dépend de la thermique.
- cette allure pourrait correspondre à des mécanismes transitoires de retard lors de l'acquisition des mesures de courants I_{DS} - V_{GS} ; d'autres mesures sont alors nécessaires pour identifier les constantes de temps d'activation de ce mécanisme. Dans ce second cas, des mesures selon V_{GS} croissant et V_{GS} décroissant selon les trois configurations de l'appareil de mesure (S/M/L) permettraient de distinguer une forme en hystérésis sur I_{DS} - V_{GS} (dont découle notre tracé G_M - V_{GS}) ; ceci viendrait traduire d'éventuels effets mémoires affectant la commande.

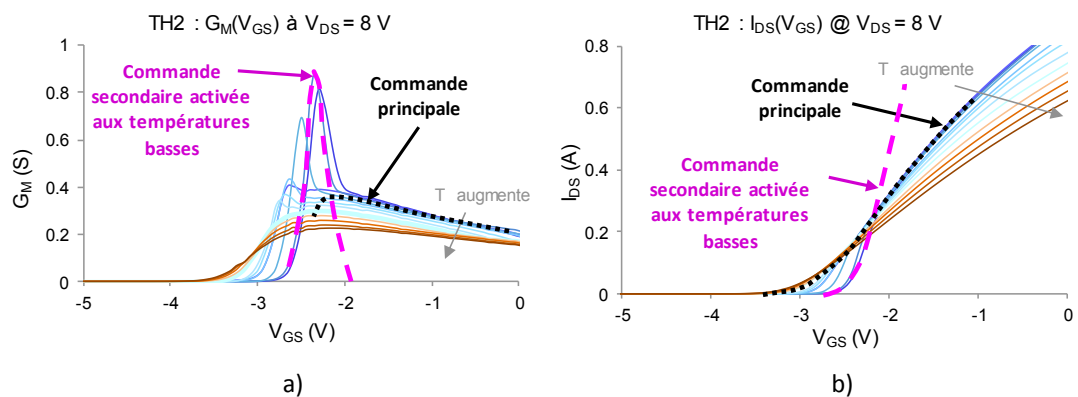


Figure II - 21. Identification de deux commandes décorréliées du canal selon V_{GS} et selon la température (cas du transistor témoin TH2) : a) G_M principal (en noir), et G_M parasite (en rose), b) I_{DS} principal (en noir), et I_{DS} parasite (en rose).

Quelle que soit l'hypothèse retenue, la densité de porteurs dans le canal (et de fait, I_{DS}) reste commandée par la grille et/ou par les potentiels des zones non-commandées G-S et G-D. La mise en œuvre de charges (ou de pièges) pour traduire ce comportement n'est donc pas abusif, même s'il reste incomplet pour traduire l'hypothèse b). N'ayant pas évoqué sur le moment la possibilité d'une hystérésis sur le tracé I_{DS} - V_{GS} , la seconde hypothèse transitoire ne sera pas discutée dans cette section. Nous n'aborderons donc que l'hypothèse de la manifestation de charges fixes qui affectent le profil intrinsèque du gain statique, G_M .

Il faut également considérer que la mobilité, les bandes interdites des matériaux GaN et AlGaIn, la densité de porteurs dans le canal, présentent une forte dépendance à la température, ce que nous allons privilégier pour tenter d'expliquer ce pic de gain relevé sur de nombreux dispositifs. Sachant que la variation relative de bande interdite entre l'AlGaIn et le GaN sur une plage thermique de 200 K est inférieure à 5 meV, la diminution des bandes interdite de ces matériaux lorsque la température augmente ne sera pas considérée au premier ordre. La variation de la mobilité avec la température met en œuvre différents mécanismes (effets acoustique et piézoélectrique des phonons, rugosité d'interface et impureté ionisées, etc).

En reportant la variation de la tension V_{GS-MAX} pour laquelle cette commande secondaire est maximale, et selon la température, nous remarquons une loi de régression quasi-linéaire (Figure II - 22). Pour les températures les plus basses (i.e., pic le plus marqué), une tendance linéaire traduit l'évolution d'un mécanisme physique sous-jacent probable. Ensuite, lorsque le pic de gain de transconductance tend à disparaître, la valeur plateau indique la prééminence du mécanisme principal de commande tel que visible sur les températures plus élevées (i.e., sans pic de G_M).

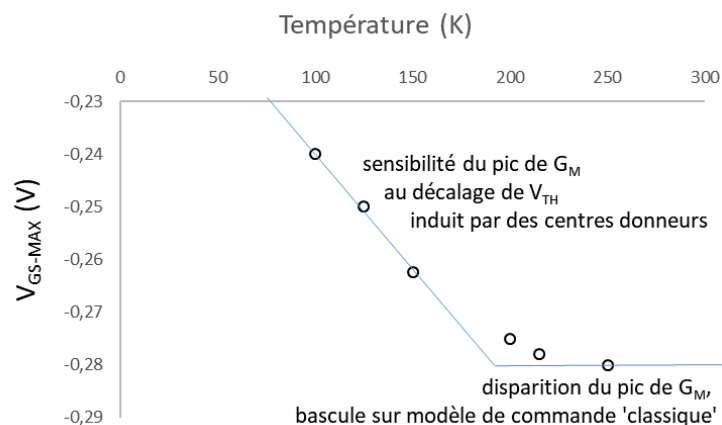


Figure II - 22. Variation de la tension V_{GS-MAX} associée au pic de commande secondaire activée thermiquement (discussion autour de TH2).

Il est intéressant de noter sur la Figure II - 23, où sont reportées les valeurs maximales du pic de G_M en fonction de la valeur V_{GS} associée, pour les basses températures concernées

(100 K – 250 K), qu’une tendance monotone relie ces grandeurs, même pour les valeurs de pic les plus faibles (i.e. pour les températures les plus élevées, identifiées sur l’inflexion des valeurs de la Figure II - 22). Seul un point à très basse température s’écarte de cette tendance, qui ne sera pas mis à la discussion ici.

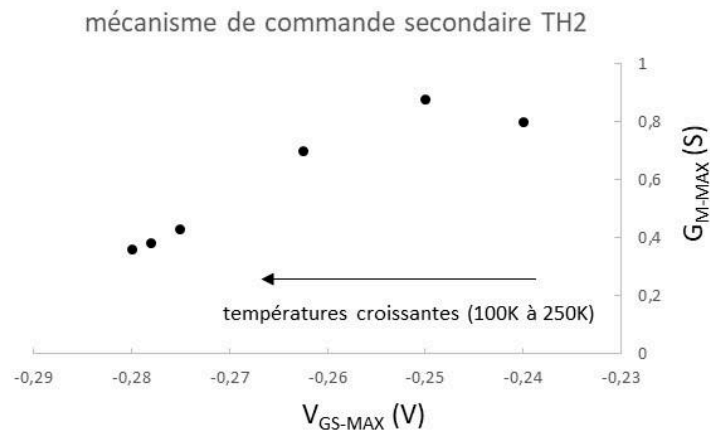


Figure II - 23. Variation de l’amplitude du pic de transconductance secondaire selon la tension de commande associée, V_{GS-MAX} (discussion autour de TH2).

Les effets de charges fixes ou de pièges près du 2DEG tels que discutés précédemment sont ainsi exploités pour expliquer ce mécanisme.

Dans une première approche, la cinétique thermique et l’allure de variation avec la tension de commande V_{GS} pourraient laisser penser à l’activation d’un mode de conduction secondaire possédant son profil de commande propre (Figure II - 21, Figure II - 22 et Figure II - 23), visible uniquement pour de basses températures. La commande classiquement observée (G_M principal) ne serait visible que lorsque la contribution au profil abrupt de cette commande parasite (G_M parasite) reste de faible poids relativement à celui de la commande conventionnelle. Nous proposons une explication à ce mécanisme en invoquant un niveau de centre donneur (proche de la bande de conduction, et en limite de la zone de charge espace, variable avec V_{GS}).

Des défauts à l’interface de la zone de charge d’espace (ZCE) viennent s’activer ou se désactiver selon la variation de cette ZCE avec V_{GS} près du pincement. Si l’on regarde le comportement thermique de ce pic de commande (et du profil $I_{DS}-V_{GS}$ associé), nous remarquons que l’amplitude du pic diminue avec l’augmentation de la température (jusqu’à disparaître cf Figure II - 20), de même que la tension de grille associée au pic se décale vers des valeurs plus négatives.

- de la diminution de l’amplitude du pic (Figure II - 23), nous déduisons que le nombre de charges de type e^- impliqué dans ce processus est moindre, donc que le nombre de centres donneurs ou accepteurs diminue avec l’augmentation de la température.

- le décalage du pic de commande reporté en Figure II - 22 (et de la tension de pincement) vers des tensions de grille plus négatives, conjointement au point précédent qui statue sur la diminution du nombre de centres impliqués, permet de conclure que les centres en question sont de type donneur. La diminution de la densité de centres donneurs avec l'augmentation de la température explique simultanément la diminution de la quantité d'électrons libérés et le décalage de la tension de pincement vers des valeurs plus négatives. Ceci se retrouve également illustré pour une température donnée (175 K) sur la Figure II - 24, où sont reportées les caractéristiques à $V_{DS} = 8$ V (effet de coude visible) et à $V_{DS} = 12$ V (pas d'effet de coude).

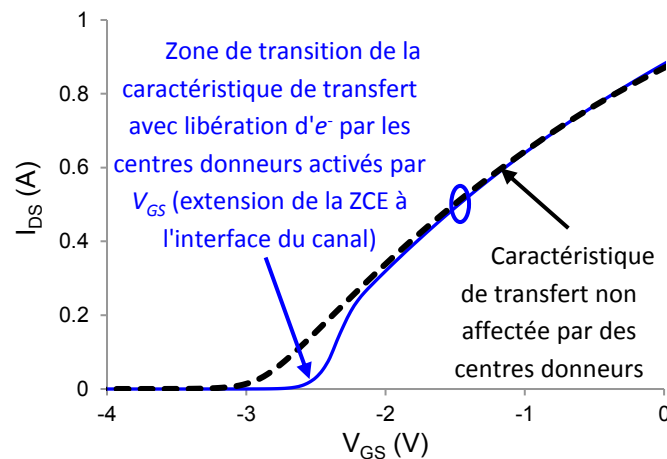


Figure II - 24. Mise en évidence du phénomène de coude selon la tension V_{DS} appliquée. Ceci impliquerait l'action de la ZCE coté drain.

La Figure II - 25 reporte deux mesures du TH2 à 175 K, pour deux valeurs V_{DS} différentes : à $V_{DS} = 8$ V, ce phénomène de pic de G_M apparaît alors qu'il est inexistant à $V_{DS} = 12$ V (comportement relevé sur 3 composants et aux températures basses). Nous expliquons cela par le fait que les sites accepteurs n'agissent plus sous l'effet d'un champ G-D élevé, comme en attestent les caractéristiques de sorties pour lesquelles l'effet de coude se manifeste. Ces hypothèses doivent être validées par des mesures supplémentaires, voire des simulations physiques pour tenir compte également des variations de la tension de seuil, conjointement avec les variations quantitatives de la mobilité et de la densité de porteurs avec la température.

Au-delà des effets potentiels de charges ou de centres de pièges, qui pourraient activer un canal de conduction parallèle à basse température, il est important de rappeler les études réalisées par l'Université de Californie Santa Barbara [118], qui démontrent la rugosité de l'interface AlGaIn/GaN obtenue par technique MOCVD. La gradualité de la fraction molaire Al dans la couche AlGaIn peut modifier sensiblement le diagramme de bande près du pincement pour les températures les plus faibles.

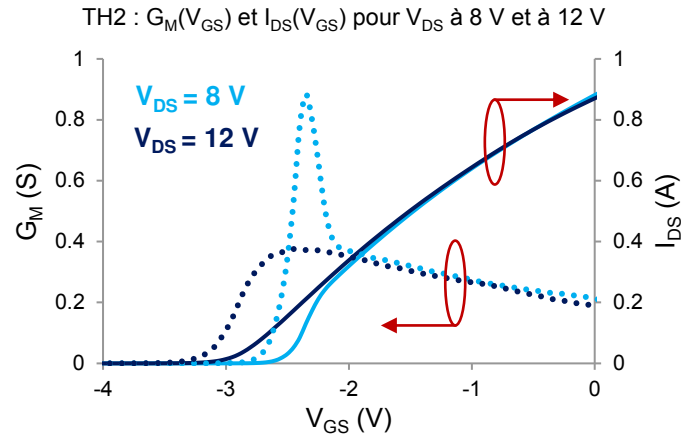


Figure II - 25. $G_M(V_{GS})$, $I_{DS}(V_{GS})$ à 175 K (discussion autour de TH2) : tracé bleu foncé à $V_{DS} = 12$ V (pas de mécanisme de surpic), et tracé bleu clair à $V_{DS} = 8$ V (mécanisme de surpic) → visible sur les caractéristiques de sortie également (l'effet de coude activé thermiquement apparaît uniquement autour de $V_{DS} = 8$ V, et à basse température).

La rugosité reconnue à l'interface AlGaIn/GaN [118] est attestée depuis longtemps par des mesures de bruit basse fréquence [119], [120], [107]. Dans des travaux de l'équipe [107], il a été démontré que les pièges à l'interface AlGaIn/GaN s'activent pour des fréquences plus basses lorsque l'on pince le canal.

La tendance d'évolution de la fréquence de coupure du centre de GR basse fréquence montre une même courbe de dépendance avec la puissance dissipée dans le transistor ($I_{DS} \cdot V_{DS}$, liée au premier ordre à la température dans la zone active du composant), quels que soient les paramètres électriques variables utilisés pour cette étude (V_{DS} , V_{DG} ou V_{GS} variable) ; ces études, si elles ne permettent pas de conclure directement quant à la nature de ce phénomène de pic de G_m discuté ici, montre toutefois que les pièges ont des constantes de temps qui dépendent fortement de la température sous laquelle les mesures sont opérées. Le comportement thermique doit être étudié afin de comprendre le profil de la caractéristique de sortie et du gain de transconductance sur la gamme des températures explorées.

Une autre hypothèse pour expliquer ce pic de gain de transconductance (nommé G_M parasite plus haut) pourrait provenir d'un retard à la commande des charges pour cette gamme de tension V_{GS} , et qui se traduirait par une élévation retardée du courant I_{DS} lorsque V_{GS} augmente. Des mesures par balayage croissant et décroissant, et des mesures pulsées aux températures concernées permettraient de lever l'ambiguïté sur cette dernière hypothèse (mesures programmées pour la fin de ces travaux) ; nous ne privilégions toutefois pas cette hypothèse car le retard à la commande devrait alors continuer à se faire sentir jusqu'à l'ouverture du canal.

2.3.2.1.2.3. Analyse des caractéristiques de transfert d'autres composants

La Figure II - 26 montre des représentations de $G_M(V_{TH})$ pour chaque dispositif analysé, et en fonction de la tension V_{DS} appliquée. Le but est d'essayer de trouver une corrélation entre la variation du G_{M-MAX} (lié aux performances de sortie des composants), et la variation du V_{TH} (liée à la commande des composants).

Nous remarquons que pour les composants témoins (TD6 et TH2), ainsi que pour H1 (seul composant vieilli HTOL possédant des caractéristiques quasi-similaires aux composants témoins) G_{M-MAX} augmente de manière (presque) homogène lorsque la tension de pincement augmente. Ces tendances de V_{TH} et de densité de porteurs dans le canal (n_i), donc du courant I_{DS} (et variation de G_M), avec la température sont conformes aux résultats de la littérature.

En ce qui concerne les dispositifs stressés, conformément à l'illustration donnée pour le composant D2 (qui a vu son courant I_{DS} chuter simultanément avec un décalage de V_{TH} vers des tensions positives après contrainte), nous observons une relation d'inverse proportionnalité : G_{M-MAX} baisse, lorsque V_{TH} augmente. Cette fois-ci, la densité de charges fixes négatives, situées à l'interface AlGaIn/GaN, et localisées initialement sous la grille, commencent à apparaître également vers les zones grille-source et grille-drain (toujours en relation avec l'augmentation des tensions V_{DG} ou V_{GS} en mode transistor). Le processus de vieillissement a engendré des défauts dans les zones grille-source et grille-drain. Il pourrait être invoqué le caractère rugueux de l'interface AlGaIn/GaN obtenu par croissance MOCVD (contrairement aux études réalisées par technique MBE pour laquelle les interfaces sont abruptes [118]). De cette manière, des sites de piégeages d'interface, instables, pourraient expliquer à la fois les variations précédentes et leur caractère non permanent (voire recouvrable).

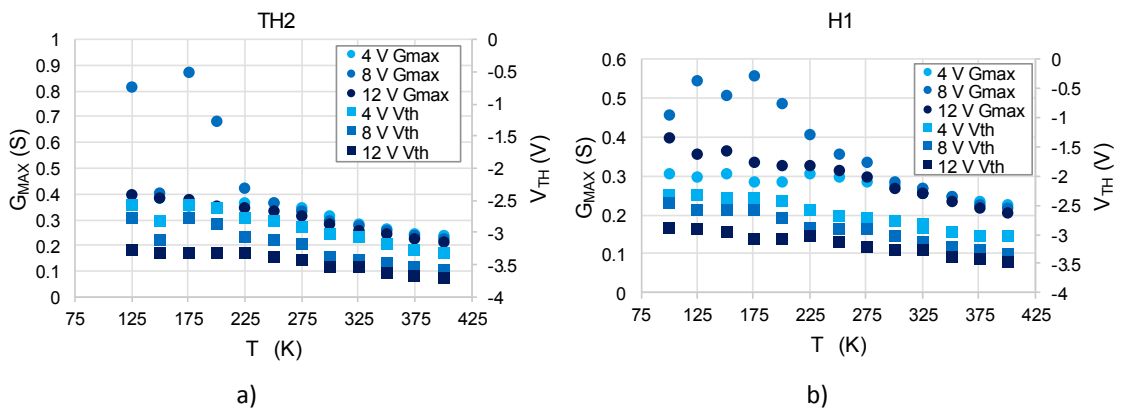


Figure II - 26. $G_{MAX}(T^\circ)$ (cercles) et $V_{TH}(T^\circ)$ (carreaux) à plusieurs tensions V_{DS} appliquées : 4 V (bleu clair), 8 V (bleu), et 12 V (bleu foncé), pour TH2 (a), et H1 (b).

La Figure II - 26 désigne, à la fois, le côté monotone du phénomène : les deux paramètres G_{M-MAX} et V_{TH} diminuent avec la température, et V_{TH} diminue également avec la tension V_{DS}

(donc avec la température interne). Les seules exceptions sont les pics de G_{M-MAX} à $V_{DS} = 8$ V évoqués précédemment. Plus la tension est élevée ($V_{DS} = 12$ V), plus la température interne est élevée, et donc les effets thermiques cumulés peuvent apparaître à des températures appliquées plus faibles (G_{M-MAX} plus faible que pour $V_{DS} = 4$ V et $V_{DS} = 8$ V).

La Figure II - 27a met en évidence la variabilité de la tension d'inversion qui diffère selon les mesures croissantes et décroissantes pour les deux composants, témoin et vieilli. Si pour des mesures à balayage V_{GS} décroissant cette tension d'inversion est invariable et proche de 0 V, elle propose une forte dépendance à la température lors d'un balayage V_{GS} croissant. Ce comportement est directement relié à des effets de pièges sous la commande de grille, et pourrait potentiellement être relié au pic du G_{M-MAX} .

La Figure II - 27b reporte les tensions d'inversion mesurées sous balayage croissant du V_{GS} (de -15 V à 0 V), en fonction de la température, pour les deux mêmes composants : le composant témoin, TH2, et le composant vieilli, H1. À 400 K, elle devient nulle. La variation de la tension d'inversion de la figure ci-dessous semble traduire une dépendance électrothermique des charges (pièges) sous la commande de la diode Schottky. L'hypothèse des effets de charges semble se confirmer, même s'il est encore difficile d'en percevoir le mécanisme et la cinétique avec la température et avec V_{GS} .

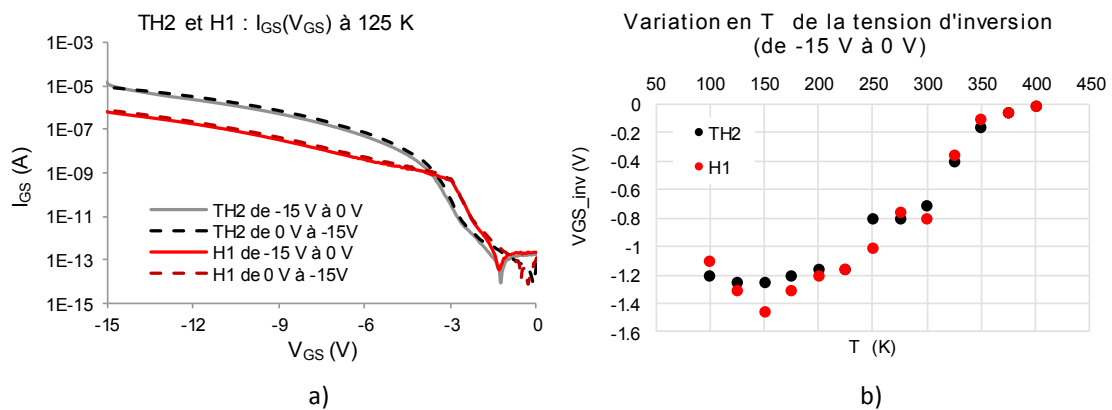


Figure II - 27. a) $I_{GS}(V_{GS})$ en mode diode (drain en l'air), à 125 K, pour V_{GS} croissant (de -15 V à 0 V, tracé continu), et V_{GS} décroissant (de 0 V à -15 V, tracé pointillé), dans deux situations : transistor témoin (TH2, en noir), et transistor vieilli HTOL (H1, en rouge). b) Variation en température de la tension d'inversion du courant de grille pour les mêmes deux composants : transistor témoin (TH2, en noir), et transistor vieilli HTOL (H1, en rouge).

En conclusion, les composants stressés montrent une signature claire du processus de vieillissement, en termes de G_{M-MAX} et V_{TH} :

- **chute de I_{DSS}** , imputée à une densité plus importante de charges fixes négative près du 2DEG (interface AlGaIn/GaN), et localisée dans la zone grille-source et grille-drain (en horizontalité). L'augmentation est évaluée à -10^{12} charges/cm².
- **augmentation du V_{TH}** : même augmentation de densité de charges fixes négatives que pour le point précédent près du 2DEG, et localisée sous la grille, en verticalité, qui impacte la commande.

2.3.2.2. Filière GH25 - déclinaison Femtowatt

2.3.2.2.1. Analyse du courant de grille

Dans la Figure II - 28, nous présentons les mesures du courant de grille en fonction de la tension de grille pour la filière GH25, déclinaison *Femtowatt SPLIT LRE 43* (lot C), et celle avec *protection BCB* (lot E) en configuration drain en l'air. Nous n'avons pas disposé de dispositifs stressés pour ces deux lots, tous les transistors étant des transistors vierges de toute contrainte longue durée, et ce pour chacun des deux procédés de fabrication.

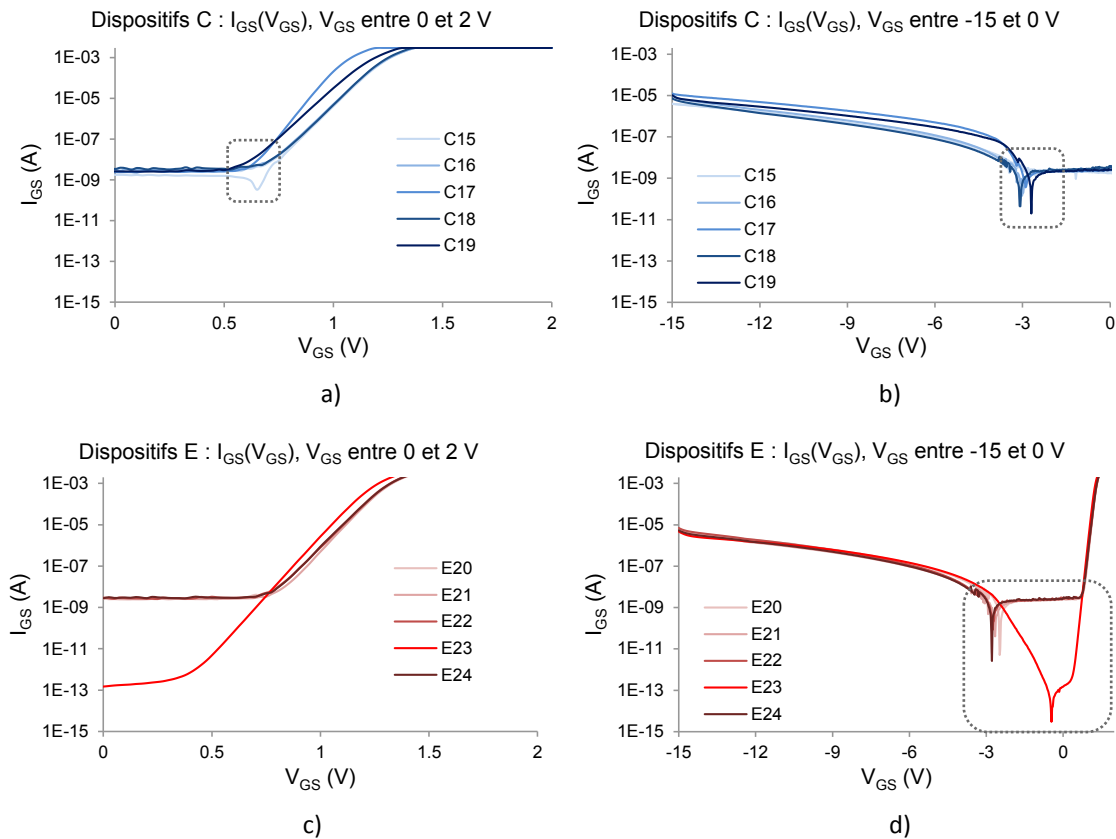


Figure II - 28. Mesures $I_{GS}(V_{GS})$ des transistors HEMT AlGaIn/GaN, filière GH25 ($8 \times 125 \mu\text{m} \times 0,25 \mu\text{m}$) : encadrement gris du décalage de la tension d'inversion du courant de grille.

- a) Mesures en polarisation directe pour les dispositifs issus du lot C.
- b) Mesures en polarisation inverse pour les dispositifs issus du lot C.
- c) Mesures en polarisation directe pour les dispositifs issus du lot E.
- d) Mesures en polarisation inverse pour les dispositifs issus du lot E.

Pareillement aux composants du *Picowatt 36/37B* issus de la filière GH25, les transistors *Femtowatt* présentent aussi un plateau de courant entre -3 V et 0,8 V. Néanmoins, ce plateau est plus large pour ces derniers échantillons : -1,5 V et 0,5 V (*Picowatt*) par rapport à -3 V et 0,8 V (*Femtowatt*).

Nous remarquons que tous les transistors des deux lots *Femtowatt* réagissent sensiblement de la même manière en termes de courants de fuite. Toutefois, les

caractéristiques du lot C sont plus dispersives (60% de variation sur I_{GS} à $V_{GS} = -10$ V pour le lot C contre 13% pour le lot E).

Seul le composant E23 (du lot E, avec protection BCB), se distingue à très faible niveau de courant (en dessous de 1 nA/mm). Ce composant particulier montre aussi un plateau de courant de grille, mais qui se situe jusqu'à quatre décades plus bas par rapport aux autres échantillons. C'est pourquoi nous avons conclu que tous les échantillons auraient dû présenter ce comportement considéré comme plus idéal. Nous émettons donc l'hypothèse de l'activation d'un autre mécanisme de conduction parasite (affectant tous les composants sauf E23) qui vient se superposer au mécanisme de conduction principal (plus largement visible sur E23), en le masquant. E23 sera exploité plus en détail dans la suite de ce manuscrit.

La comparaison entre les plateaux de courant de grille des transistors *Picowatt*, et les plateaux de courant de grille des transistors *Femtowatt* met en évidence un même niveau du plateau pour E23 et pour les échantillons du *Picowatt* en état initial. Cette constatation renforce notre hypothèse antérieure quant au caractère plus idéal de E23 vis-à-vis d'autres dispositifs *Femtowatt*. Une différence allant jusqu'à quatre décades de courant est observée entre le plateau du *Picowatt* (10^{-13} A/mm), et celui du *Femtowatt* (10^{-9} A/mm).

Toutefois, le passage du *Picowatt 36/37B* au *Femtowatt* a clairement amélioré le problème des charges : même si nous identifions des charges dynamiques dans la structure des transistors, qui entraînent le décalage de la tension d'inversion de grille (soit vers le négatif, soit vers le positif, mais jamais stabilisé à 0 V), le phénomène de *belly-shape* a complètement disparu pour les composants *Femtowatt*. Cette augmentation subite du courant de grille, visible sur les transistors *Picowatt*, se traduisait par une diminution plus ou moins importante du courant de drain (voir paragraphe 2.3.2.1 *Filière GH25 - déclinaison Picowatt 36/37B*), et donc une diminution de la puissance de sortie. La disparition du *belly-shape* représente une amélioration probante du processus de fabrication des HEMT à base de GaN en technologie GH25, ainsi qu'un avancement en vue de l'industrialisation du nitrure de gallium.

2.3.2.2.1.1. Plateau de courant

Afin de suivre la même trame d'exploitation des résultats que celle proposée pour les transistors *Picowatt*, et avoir plus de données sur le plateau de courant, nous avons effectué des mesures en température sur le courant de grille des composants. Dans un premier temps, les mesures en température du courant de fuites de E23 sont présentées en Figure II - 29 ; ces mesures révèlent le plateau de courant uniquement à basse température, entre -2 V et 1 V. Cela signifie qu'à basse température ce plateau propose une contribution supérieure aux phénomènes thermoïonique, et à ceux visualisés en régime inverse de polarisation. De par l'absence de ce plateau à température ambiante pour le dispositif E23, il est fort probable que sa contribution propre (signature) soit de plus faible poids que pour les autres composants. Ceci permet d'identifier le défaut comme étant présent dans tous les composants, mais avec des contributions pondérées différentes, comme nous l'avons déjà constaté pour les transistors *Picowatt*.

Il est notable pour ce dernier composant que l'élévation de température vient activer un mécanisme de fuites autour de la zone d'inversion. Ce mécanisme de fuites supplémentaire devient prépondérant devant le plateau précédemment discuté. De plus, le plancher de mesure est représenté en tracé noir sur la Figure II - 29, 3 décades en dessous des niveaux mesurés et discutés par la suite. Il s'agit véritablement d'une trace propre au composant, même à bas niveau et à température basse.

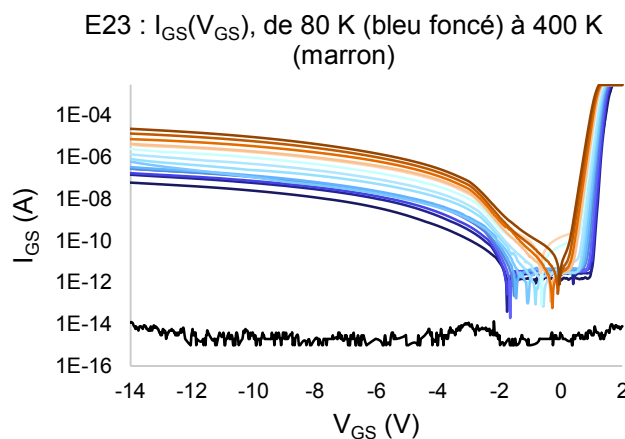


Figure II - 29. E23 : I_{GS} - V_{GS} en fonction de température : de 80 K (bleu foncé), à 400 K (marron). Le tracé noir représente le plancher en courant de l'appareil de mesure (Agilent 4156C).

En focalisant notre étude sur le plateau de courant, et en faisant une comparaison avec *Picowatt*, il paraîtrait qu'il corresponde toujours à un comportement ohmique (Figure II - 30) :

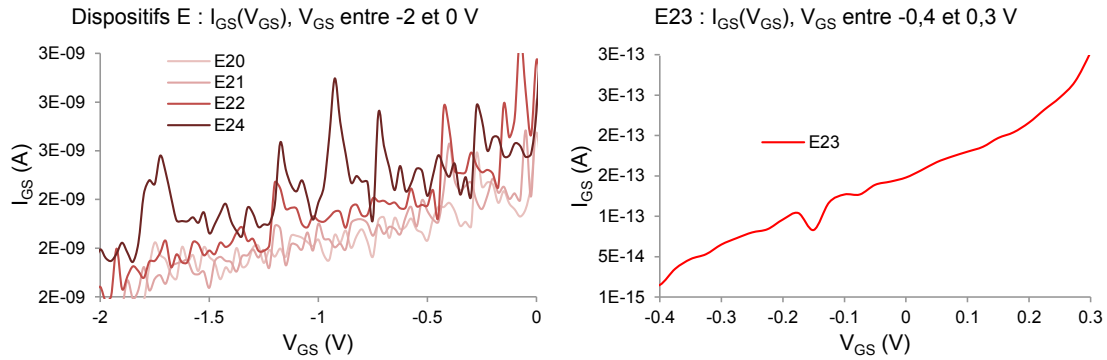


Figure II - 30. I_{GS} - V_{GS} (à température ambiante) pour les échantillons du lot E (avec protection BCB) du lot *Femtowatt*.

Nous avons modélisé ce plateau de courant tout comme nous l'avons fait pour les échantillons *Picowatt*, en utilisant une résistance de valeur élevée pour chaque transistor ; l'ensemble des dispositifs du lot E possèdent une caractéristique à caractère Ohmique de valeur $10^9 \Omega$, contre une valeur de $10^{13} \Omega$ pour le composant E23 (plus forte résistance, donc mécanisme de pondération moindre sur le courant de fuite à température ambiante notamment). Des valeurs typiques entre $10^{10} \Omega$ et $10^{13} \Omega$ étaient recensées pour les transistors *Picowatt* 36/37B). La valeur la plus élevée ($10^{13} \Omega$) correspond au composant E23, qui ne présente pas le plateau de courant à température ambiante.

Le comportement est donc le même que celui identifié auparavant (section 2.3.2.1.1.2). Ainsi, en proposant également la modélisation analytique des courants de fuite, nous concluons que cette composante de type résistif concurrentielle des autres courants liés à la diode Schottky ne peut se situer que dans la zone d'interface semiconducteur-passivation, entre les zones grille-source (et grille-drain étant donné que l'on retrouve la signature du plateau de courant en mesurant la diode entre grille et drain, avec la source en l'air). Ceci est notamment motivé par le caractère non sensible à la polarisation V_{GS} (donc une connexion résistive latérale à la diode Schottky, à l'interface passivation/GaN *cap layer*).

Vu que le plateau de courant est plus marqué aux températures basses pour le composant E23, et avec une contribution de courant plus faible, nous concluons alors que cela correspond à un défaut résistif moins sensible, proposant un chemin plus résistif de conduction (résistance beaucoup plus élevée), plus proche du cas idéal. Nous avons extrait des résistances de l'ordre de $10^{11} - 10^{13} \Omega$ (ordre d'incertitude) pour ce composant, conformément à cette hypothèse.

2.3.2.2.2. Analyse du courant de drain

L'étude du courant de drain se réalise en analysant les caractéristiques de sortie en régime (quasi)statique : $I_{DS}(V_{DS})$, $I_{DS}(V_{GS})$, et $G_M(V_{GS})$.

À partir des caractéristiques $I_{DS}(V_{DS})$ de la Figure II - 31, nous notons que les transistors du lot E (avec protection BCB) présentent un courant de sortie I_{DS} légèrement inférieur à celui des échantillons du lot C (sans LRE) (-12% à $V_{GS} = 0$ V). Ce décalage de courant peut s'expliquer par un pincement V_{TH} qui apparaît pour des tensions V_{GS} plus basses sur les composants du lot C, comme illustré en Figure II - 32. De plus, le courant de drain d'E23 est le plus faible parmi les transistors des deux lots. Quoi qu'il en soit, les transistors de type C présentent de meilleures performances en termes de caractéristique de sortie par rapport aux dispositifs de type E, même si les valeurs du courant de fuite de grille sont similaires. Les valeurs d' I_{DSS} , ainsi que celles d'autres paramètres sont résumées dans la suite. Les légères différences des performances sont liées à la déclinaison verticale de la technologie hors zone commandée (variation de la densité de porteurs n_i , technologie-dépendante, et qui pourrait être mesurée sur motifs à effet Hall).

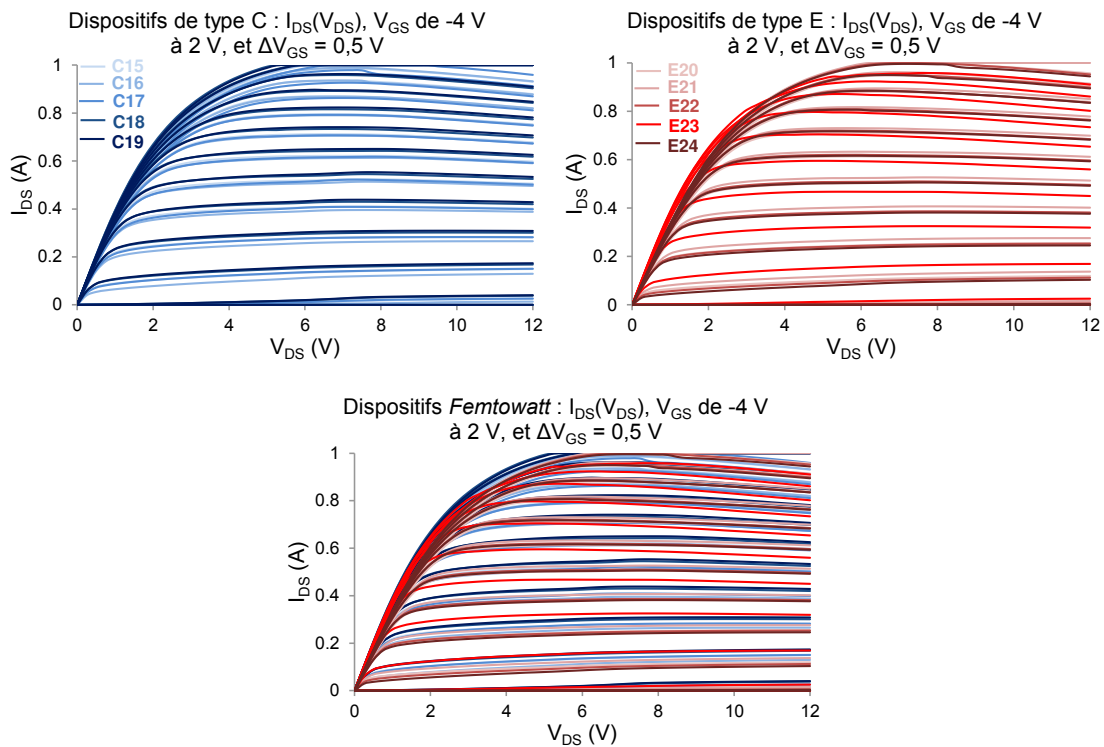


Figure II - 31. Caractéristiques de sortie I_{DS} - V_{DS} pour les transistors Femtowatt, issus des lots C (trait bleu) et E (trait rouge).

Quant à la résistance R_{ON} , le Tableau II - 5 résume les valeurs de chaque dispositif :

Dispositif lot C	$R_{ON} (\Omega)$	Dispositif lot E	$R_{ON} (\Omega)$
C15	3,03	E20	3,33
C16	3,03	E21	3,23
C17	3,03	E22	3,13
C18	2,94	E23	2,86
C19	2,94	E24	3,23

Tableau II - 5. Résistance du canal en état passant (R_{ON}) des transistors *Femtowatt*.

Tous les échantillons du lot *E* sont caractérisés par des valeurs du R_{ON} plus élevées (aux alentours de 3,2 Ω), par rapport aux échantillons du lot *C* (aux alentours de 3 Ω), sauf E23 (2,9 Ω), le composant particulier du lot *E*. Cependant, toutes ces valeurs sont inférieures à celles présentées par les transistors *Picowatt 36/37B* (entre 2,5 Ω et 5 Ω , dans le Tableau II - 2). De cette manière, nous pouvons conclure que l'élimination du processus LRE semble améliorer la résistance R_{ON} de ces transistors.

Par la suite, nous présentons les caractéristiques de transfert en Figure II - 32 et Figure II - 33, ainsi que les courants de drain (à $V_{GS} = 0$ V, et $V_{DS} = 8$ V) et des G_{M-MAX} (valeur maximale du gain de transconductance à $V_{DS} = 8$ V) dans le Tableau II - 6 pour tous les transistors *Femtowatt*.

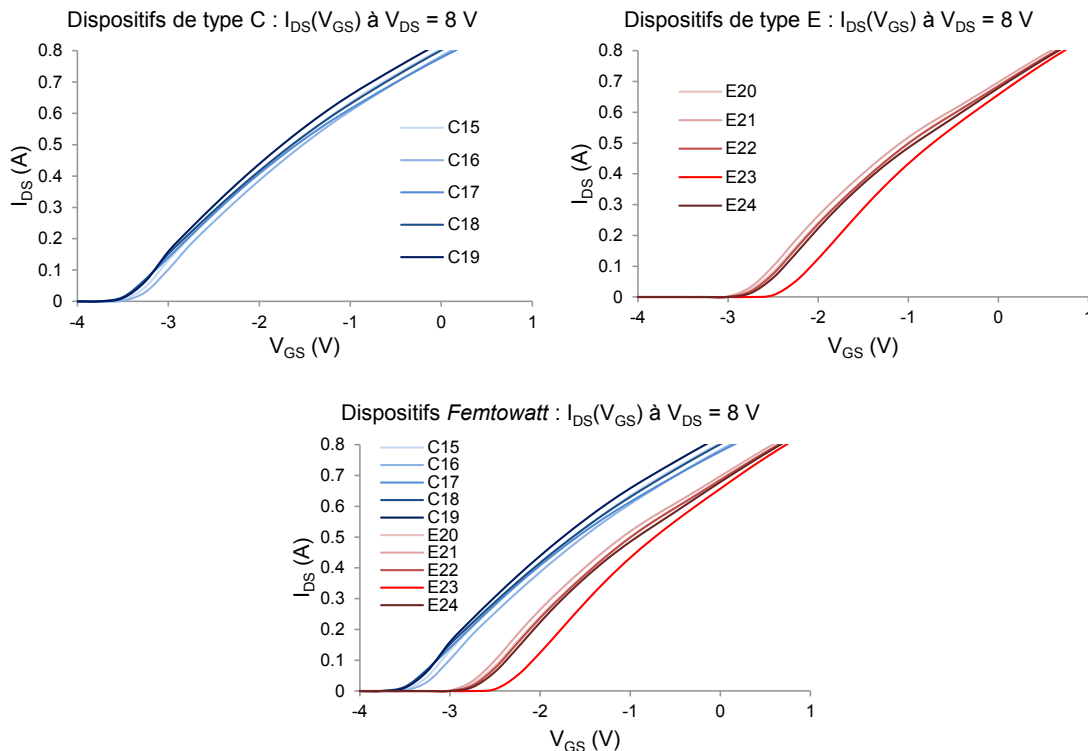


Figure II - 32. Caractéristiques de sortie I_{DS} - V_{GS} pour les transistors *Femtowatt*, issus des lots *C* (trait bleu) et *E* (trait rouge).

Chapitre II : Techniques de caractérisation des dispositifs sous tests
Mesures électriques et transitoires

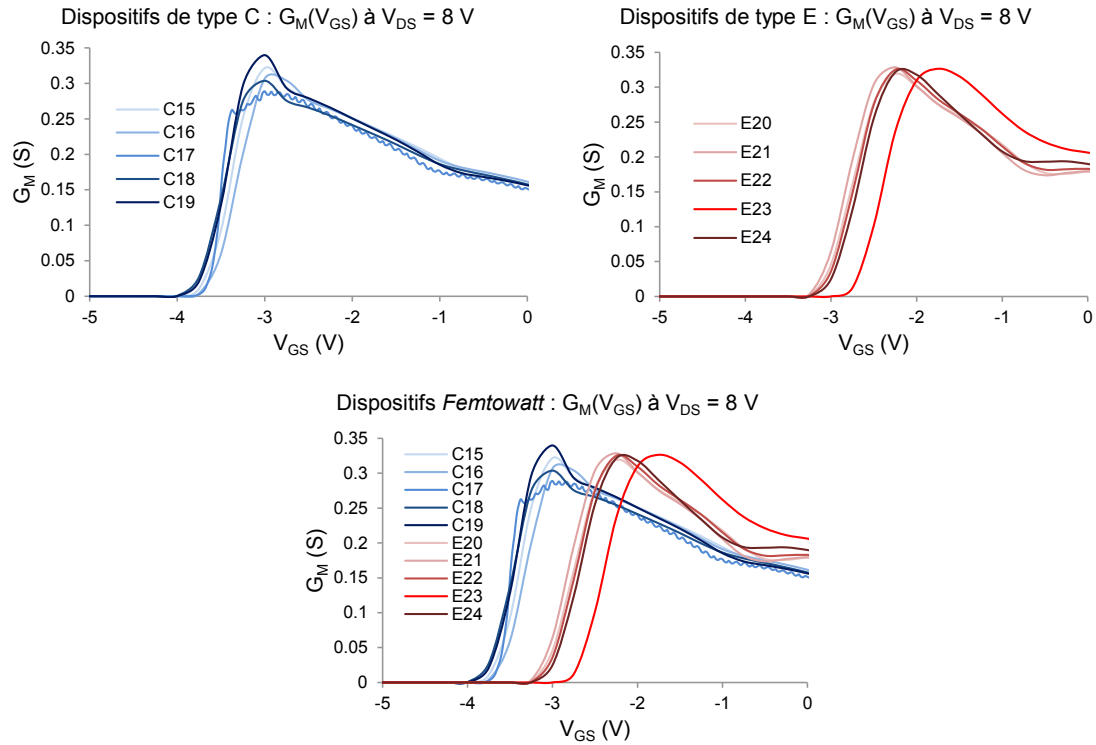


Figure II - 33. Caractéristiques de sortie G_M - V_{GS} pour les transistors *Femtowatt*, issus des lots C (trait bleu) et E (trait rouge). Mesures réalisées à température ambiante.

Dispositif	V_{TH} (V)	I_{DSS} (A)	G_{M-MAX} (S)
C15	-3,50	0,81	0,32
C16	-3,50	0,78	0,31
C17	-3,60	0,78	0,29
C18	-3,50	0,80	0,30
C19	-3,50	0,83	0,34
E20	-2,75	0,68	0,32
E21	-3,00	0,70	0,33
E22	-2,75	0,69	0,33
E23	-2,50	0,66	0,33
E24	-2,75	0,68	0,32

Tableau II - 6. Tensions de seuil (V_{TH}), courants de saturation (I_{DSS}), et transconductances maximales (G_{MAX}) des transistors *Femtowatt*.

Selon les caractéristiques de sortie $I_{DS}(V_{GS})$ et $G_M(V_{GS})$ (Figure II - 32 et Figure II - 33, respectivement), un décalage moyen de 0,75 V se remarque sur la tension de pincement V_{TH} entre les deux lots (environ -3,5 V pour les composants C par rapport à environ -2,75 V pour les composants de type E). Ce décalage est encore plus évident pour E23, le transistor particulier du lot E (1 V de décalage vers des V_{TH} plus positifs par rapport aux composants de type C).

L'ajout d'une couche BCB pour les transistors de type *E* a diminué le V_{TH} . Donc, dans cette situation, les composants du lot *C* (sans couche BCB) disposent d'une tension de pincement plus importante (en valeur absolue, donc plus fortement négative), ce qui permet à ce lot de composants d'avoir des courants de saturation plus élevés. Ce constat se généralise par rapport aux échantillons du lot *Picowatt 36/37B* (paragraphe 2.3.2.1.2).

Il est intéressant de noter une nouvelle fois sur la Figure II - 32 l'inflexion des courants I_{DS} avec V_{GS} : entre -3,5 V et -3 V pour le lot *C*, et entre -3 V et -1,5 V pour le lot *E*. Cette tendance se confirme par un double profil de commande G_M du canal en Figure II - 33 sur ces mêmes plages de commande V_{GS} . Nous avons précédemment impliqué des phénomènes de pièges (probablement localisés à l'interface AlGaIn/GaN) qui se manifestaient sur une instabilité du courant de drain dans la zone d'inversion des courbes $I_{GS}(V_{GS})$.

Sur le graphique ci-dessous, nous remarquons une nouvelle fois un décalage de la tension d'inversion selon le sens de balayage du V_{GS} . Ces tensions d'inversion sont plus élevées pour les composants du lot *E* (relativement au lot *C*), ce qui pourrait expliquer :

- le changement de commande du gain statique de transconductance, qui apparaît même à température ambiante pour les lots *C* et *E* ;
- la plus grande plage d'action ΔV_{GS} du changement de commande pour le lot *E* en raison de tensions d'inversion plus importantes (typiquement -2,75 V pour le lot *E* contre -1,7 V pour le lot *C*).

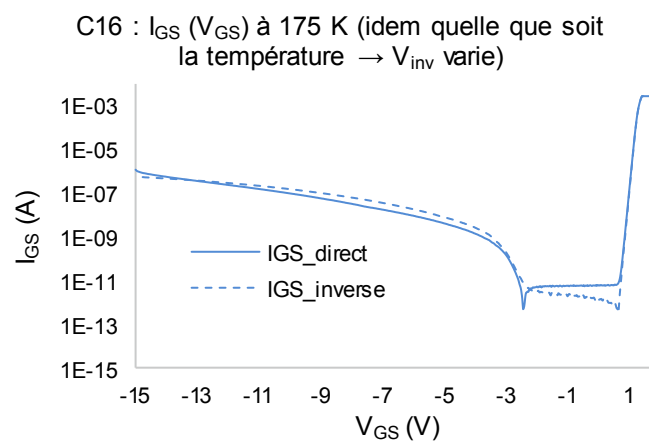


Figure II - 34. Caractéristiques $I_{GS}-V_{GS}$ pour C16, un transistor *Femtowatt*, issu du lot *C*, avec : balayage croissant du V_{GS} (trait bleu continu) et balayage décroissant du V_{GS} (trait bleu pointillé).

Cette corrélation qui semble s'instaurer entre la valeur de tension d'inversion du courant de fuite et le phénomène de commande secondaire du gain de transconductance doit être plus finement porté à l'étude dans des travaux à venir. Quoi qu'il en soit, ce phénomène est activé par la commande sous la grille (et peut être liée à la présence de charges ou de pièges).

2.3.2.2.1. Phénomène de pic de gain de transconductance à basse température (effet de coude)

Pareillement à la procédure appliquée sur le lot *Picowatt 36/37B*, nous avons effectué des mesures en température sur tous les composants des lots *C* et *E* ; deux composants (témoins) sont choisis comme représentatifs du comportement électrique du lot *Femtowatt* : C16 et E23 (Figure II - 35).

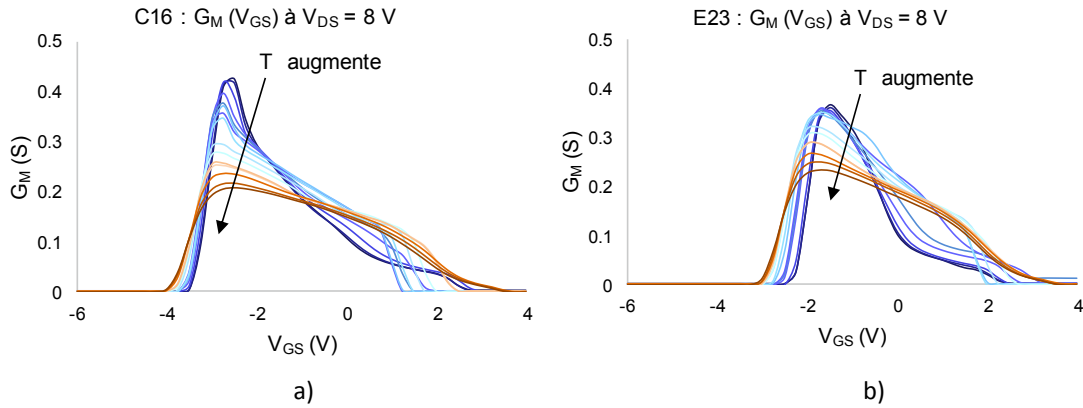


Figure II - 35. G_M - V_{GS} à $V_{DS} = 8$ V, de 100 K (en trait bleu foncé), jusqu'à 400 K (en trait marron foncé) du transistor C16 (a), et du transistor E23 (b).

La Figure II - 36 montre les représentations $G_M(V_{TH})$ pour chaque dispositif analysé, et en fonction de la tension V_{DS} appliquée, le but étant de trouver des similitudes ou des différences entre ces deux composants, et entre eux et les dispositifs *Picowatt*, en termes de variation du G_{M-MAX} (lié aux performances en sortie des composants), et la variation du V_{TH} (lié à la commande des composants). À nouveau, l'activation de la « commande secondaire » G_M plus marquée aux basses températures est corrélée à des variations plus importantes de la tension d'inversion des courants de fuite $I_{GS}(V_{GS})$, lorsque la température décroît.

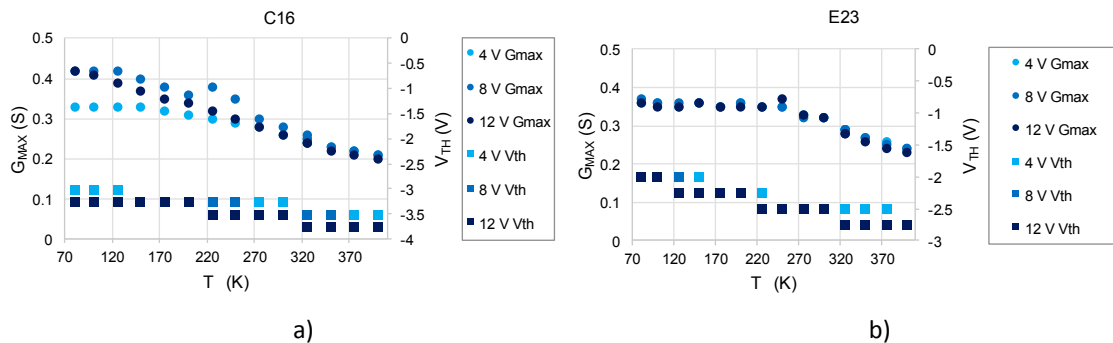


Figure II - 36. $G_{MAX}(T^\circ)$ (cercles) et $V_{TH}(T^\circ)$ (carreaux) à plusieurs tensions V_{DS} appliquées : 4 V (bleu clair), 8 V (bleu), et 12 V (bleu foncé), pour C16 (a), et E23 (b).

Sur la Figure II - 37a, une variation plus importante de la tension d'inversion de courant $I_{GS}(V_{GS})$ apparaît ; elle se traduit par une densité de charges plus importante sous la grille. Cette tendance est corrélée à un mécanisme de commande « G_M parasite » plus marqué pour le composant C16 relativement au composant E23 mis à l'étude. À partir d'une température de 250 K, ces comportements sont sensiblement moins marqués (quoique toujours visibles à l'ambiante conformément aux Figure II - 32 et Figure II - 33).

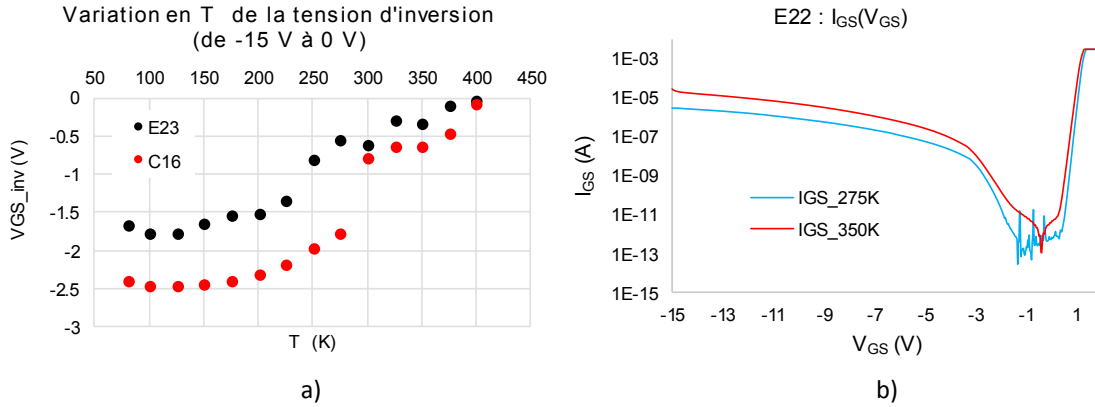


Figure II - 37. a) Variation en température de la tension d'inversion du courant de grille pour deux composants : E23 (transistor du lot E, en noir), et C16 (transistor du lot C, en rouge). b) $I_{GS}-V_{GS}$ pour E22 (transistor du lot E), à deux températures : 275 K (trait bleu), et 350 K (trait rouge).

Sur la Figure II - 37b, le tracé $I_{GS}(V_{GS})$ du E22 est très perturbé dans la zone d'inversion, à 275 K, en se stabilisant à partir de 325 K. Ce phénomène indique (encore) la présence de charges et/ou de pièges activés thermiquement sous la grille, vers des énergies basses dans la bande de conduction (proche du pincement).

Pareillement à l'étude menée sur *Picowatt 36/37B*, nous remarquons que G_{M-MAX} augmente avec la tension de pincement. La relation directe entre le G_{M-MAX} et V_{TH} trouvée pour les composants-témoins du *Picowatt 36/37B* est une nouvelle fois valable sur les dispositifs *Femtowatt* (non-stressés) : une quantité de charges fixes négatives, situées à l'interface AlGaIn/GaN, et localisée tout d'abord sous la grille, provoquent une augmentation de la tension de pincement du composant, à la fois avec une augmentation du gain de transconductance [116]. Néanmoins, il est difficile de discuter du décalage de V_{TH} entre les composants des lots C et E, pour de possibles changements de processus autres que LRE et passivation BCB (dopage identique ? / même déclinaison des couches verticales ?). Cet écart est cependant moindre pour les échantillons *Femtowatt* ($\Delta V_{TH} = 1$ V) par rapport aux transistors *Picowatt* ($\Delta V_{TH} = 2$ V entre vierges et vieillis), ce qui implique de variations beaucoup moins importantes de G_M ($\Delta G_M = 0,2$ mS *Femtowatt*, et $\Delta G_M = 0,4$ mS *Picowatt*). Par conséquent, si les déclinaisons des lots C et E sont identiques (aux passivations près), alors une quantité beaucoup moins importante de charges perturbe le fonctionnement des transistors *Femtowatt*. Il est à noter que pour valider ce dernier point, des analyses sous contraintes doivent être menées.

2.3.3. Techniques non-destructives : Caractérisations électriques pulsées

Les caractérisations électriques pulsées permettent d'étudier l'origine physique de la chute du courant de drain, qui peut être liée aux pièges situés sous la grille (*gate lag*), dans la zone grille-drain (*drain lag*), ou encore dans les couches d'interface au-dessous du canal 2DEG. La réduction des effets de retard est essentielle afin d'augmenter la puissance de sortie et le PAE (*Power Added Efficiency*), à la fois.

La procédure de mesures électriques pulsées a été principalement développée en accord avec UMS, dans le but de disposer d'un ensemble de mesures fiable et efficace, qui permet une analyse croisée entre les dispositifs d'un même lot, et aussi entre des dispositifs provenant des lots différents. En outre, des mesures impulsionnelles ont été effectuées sous plusieurs conditions de mesure : sens de balayage pendant la mesure, point de repos initial, période du pulse, etc. Cela peut fournir des informations quant à la sensibilité du tracé électrique aux conditions de mesures, révélant des comportements intrinsèques induits par les conditions expérimentales, essentiellement liées à la manifestation de charges ou des pièges. Par exemple, sur les transistors provenant du lot *Picowatt 36/37B*, nous avons remarqué une perturbation du courant de fuite de grille, à faible tension de polarisation, attribué au temps d'acquisition de la mesure (court, moyen ou long), et au sens de balayage de la tension appliquée. Nos manipulations en polarisation pulsée ont conduit à des conclusions analogues, selon le choix du point de repos, ou du rapport cyclique (Figure II - 38, a et b) :

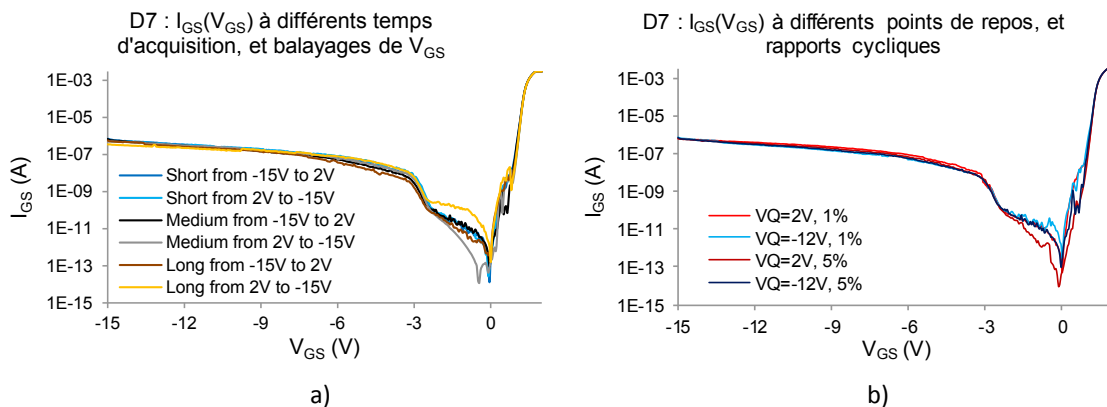


Figure II - 38. Sensibilité de I_{GS} aux conditions expérimentales :

- a) PW (largeur du pulse) = 0,5 ms ; T (période) = 10 ms ; DC (rapport cyclique) = 5% ; sensibilité au temps d'acquisition de la mesure (S/M/L), et au sens de balayage de la polarisation de grille (de -15V à 2V et de 2V à -15V) ;
- b) PW (largeur du pulse) = 0,5 ms ; sensibilité au point de repos (2V ou -12V), et aux rapports cycliques (T (période) = 50 ms & DC (rapport cyclique) = 1% ; T (période) = 10 ms ; DC (rapport cyclique) = 5%).

Le comportement issu des mesures pulsées apporte des informations supplémentaires sur les types de pièges activés (pièges activés thermiquement, ou pièges activés non-

thermiquement), et sur le temps nécessaire pour stabiliser l'état thermique/l'état de charges du transistor (utile quant à la polarisation du dispositif sous test, avant de prélever les spectres en bruit basse fréquence, par exemple).

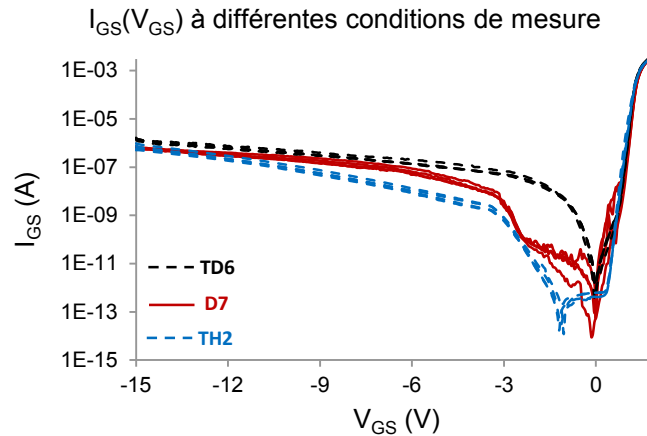


Figure II - 39. Variation $I_{GS}(V_{GS})$ pour chaque composant (TD6 – en noir pointillé, D7 en rouge, TH2 en bleu pointillé) de -15V à 2V, avec PW (largeur du pulse) = 0,5 ms, et selon différentes configurations de mesures pulsées : point de repos à -12V ou à 2V, T (périodes) à 10 ms ou 50 ms, et respectivement DC (rapports cycliques) à 5% ou 1%.

Premièrement, nous remarquons sur la Figure II - 39 que le mécanisme principal de conduction du TH2 est différent de celui qui dirige les fuites pour TD6 et D7 : l'inversion du courant de TD6 et D7 est précisément à 0 V, alors que l'inversion de courant du TH2 a lieu vers -1 V. Ceci est une épreuve qu'il y a plusieurs mécanismes qui contribuent à la conduction de courant de grille :

- un mécanisme lié aux charges sous la grille (impactant la commande du transistor, et décalant la tension d'inversion du courant de grille de 0 V : TH2), et
- un mécanisme lié aux pièges (activé ou pas en fonction de la configuration de mesure : TD6 et D7).

Ensuite, nous identifions une zone entre $V_{GS} = -2,5$ V et $V_{GS} = 0,7$ V, dont la manifestation transitoire des charges dans la zone des charges d'espace (ZCE) est active lorsque le canal n'est pas pincé. En comparant D7 et chaque témoin dans la Figure II - 39, nous constatons que certains mécanismes de fuite semblent partiellement partagés par D7 (transistor stressé HTOL) et TD6 (transistor témoin), ou D7 (transistor stressé HTOL) et TH2 (transistor témoin), selon la tension de grille en inverse (niveau faible ou élevé). Ainsi, le comportement de TD6 pourrait additionner plusieurs contributions intermédiaires à son courant de fuite total, par exemple celles de TH2 (contribution charges), et D7 (contribution pièges).

2.3.4. Techniques non-destructives : Mesures transitoires I_{GS} , I_{DS} (temps) [72]

Ce paragraphe participe aux investigations menées sur l'aspect fonctionnel du transistor, et est réalisé selon deux axes de recherche : la commande (en verticalité) et le canal (en horizontalité). Les méthodes d'analyse adressées sont basées sur des outils non-invasifs et non-destructifs :

- caractérisation électrique en I-V-T : met en évidence des défauts dans les transistors (faiblesses potentielles au niveau de la commande du canal) ;
- suivi du comportement transitoire des dispositifs : évolution temporelle des charges et des pièges sous la grille (c'est-à-dire, variations de la commande des porteurs et impact du canal bidimensionnel).

Les dispositifs analysés dans cette section sont issus d'un processus en phase de développement d'UMS : *Picowatt 36/37B*. Un dispositif vieilli HTOL (D18) a été testé afin d'évaluer la corrélation transitoire existante entre le courant de grille et le courant de drain avant et après application de la contrainte. Les valeurs des courants de fuite de grille sont spécifiées en configuration drain en l'air (à température ambiante, et à $V_{GS} = -9$ V), et à $V_{DS} = 8$ V pour deux états différents du gaz bidimensionnel : canal pincé, à $V_{GS} = -9$ V, et canal ouvert à $V_{GS} = 0$ V (Tableau II - 7) :

ID composant	I_{GS} drain en l'air, à $V_{GS} = -9$ V (μ A/mm)	I_{GS} à $V_{GS} = -9$ V et $V_{DS} = 8$ V (μ A/mm)	I_{GS} à $V_{GS} = 0$ V et $V_{DS} = 8$ V (μ A/mm)	I_{DS} à $V_{GS} = 0$ V et $V_{DS} = 8$ V (A/mm)	V_{GS-inv} au point d'inversion d' I_{GS} (V)
D18	-6,80	-7,80	-2,12	0,41	1,15

Tableau II - 7. Paramètres principaux du dispositif sous test.

Dans la littérature, il existe déjà des témoignages quant à l'influence des charges localisées au-dessus du canal (entre grille et drain, ou entre grille et source), au niveau des interfaces des semi-conducteurs, ou encore dans le volume (dans le GaN) [116], [78], [121]. Ces charges peuvent également être invoquées pour expliquer l'augmentation du courant de fuite de grille en saturation [122]. En outre, la présence d'une quantité de charges plus importante près de la zone de charges d'espace (ZCE) pourrait conduire à un V_{GS} interne variable (plus ou moins élevé selon la polarité des charges), et ainsi expliquer l'augmentation ou la diminution d' I_{DS} .

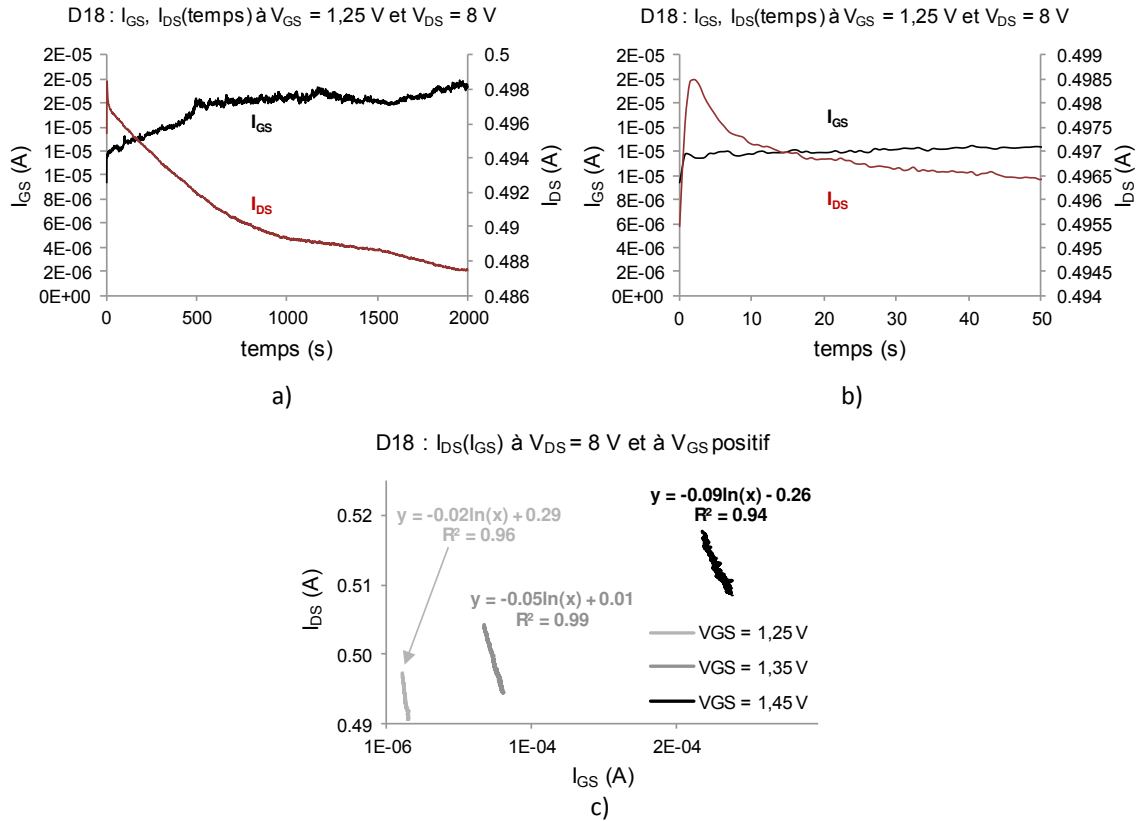


Figure II - 40. Évolution des courants de grille et drain en fonction du temps pour D18 : a) à $V_{GS} = 1,25$ V, $V_{DS} = 8$ V, sur 2000 s ; b) à $V_{GS} = 1,25$ V, $V_{DS} = 8$ V, sur 50 s. c) D18 : Loi logarithmique de variation du courant de drain en fonction du courant de grille à $V_{DS} = 8$ V et à V_{GS} positif.

La Figure II - 40 montre les évolutions des courants de grille et drain pour D18, représentées sur une large échelle temporelle (0 s – 2000 s), ainsi que sur une échelle temporelle réduite (0 s – 50 s), afin d'avoir une meilleure appréciation des effets de mémoire à court terme sur I_{GS} et I_{DS} . À partir de ces deux représentations transitoires, nous remarquons une corrélation visuelle des tendances temporelles entre I_{GS} et I_{DS} . Nous concluons alors que les évolutions des courants de grille et drain sont dues à une même cause électrique : la commande de grille qui affecte simultanément I_{DS} (à savoir, le nombre de porteurs dans le 2DEG) et I_{GS} .

Électriquement, ce comportement se formalise tel que montré dans la Figure II - 41, où I_{GS} et I_{DS} sont représentés par rapport à V_{GS} . Les cercles correspondent aux points de repos du transistor sous test, et les balayages des deux côtés du point de repos signifient les fluctuations dépendantes du temps. Ensuite, nous pouvons distinguer deux régions principales de fonctionnement :

- la zone avant le point d'inversion du courant de grille, V_{GS_inv} , associée à des mécanismes de fuite ;
- la zone après le point d'inversion du courant de grille, V_{GS_inv} , où I_{GS} est décrit par le modèle thermoïonique.

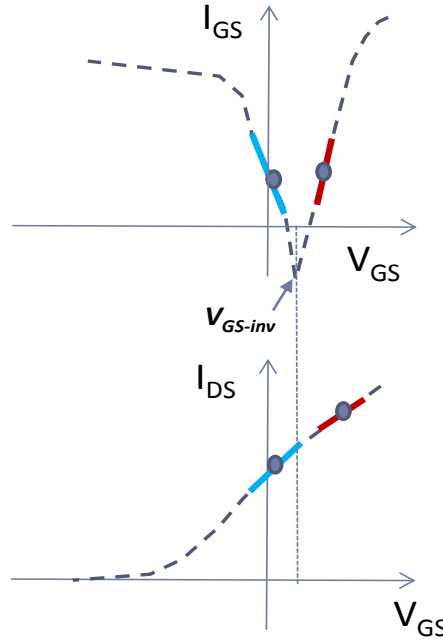


Figure II - 41. Influence des variations transitoires sur les courants de grille et de drain, autour du point de repos (représenté par un cercle). Le transistor est polarisé dans la zone de saturation.

Selon la valeur de V_{GS} , les tendances de I_{GS} et I_{DS} seront toutes deux croissantes (trait rouge pour la tension V_{GS} la plus élevée), ou en variation inversée (trait bleu pour la tension V_{GS} la plus faible).

En considérant que le courant de drain varie de manière linéaire au premier ordre avec la tension V_{GS} (conformément à l'équation 1), et que le courant de fuite I_{GS} entretient une relation exponentielle avec cette même tension V_{GS} (conformément à l'équation 2), la relation logarithmique népérien révélée par les mesures de la Figure II - 40 est alors la preuve des variations de la tension interne de polarisation de la diode Schottky de grille, qui impacte simultanément I_{GS} et I_{DS} (conformément à la Figure II - 41) ; et ce quel que soit le temps sur la gamme 0 - 2000 secondes.

$$I_{DS} = K \cdot (V_{GS} - V_{TH})^2 \quad (\text{Eq. 9})$$

où K est une constante, et V_{TH} est la tension *threshold* du transistor.

$$I_{GS} = I_S \cdot \exp\left(\frac{q \cdot V_{GS}}{n \cdot k \cdot T}\right) \quad (\text{Eq. 10})$$

où I_S est le courant inverse de saturation, q – la charge de l'électron ($q = 1,602 \cdot 10^{-19}$ C), n – le facteur d'idéalité de la diode grille-source, k – la constante de Boltzmann ($k = 1,38 \cdot 10^{-23}$ J/K), et T est la température en Kelvin.

Nous attribuons donc cet effet électrique transitoire à des variations des charges sous la grille (à l'interface des couches piézo-électriques), comme relevé dans la Figure II - 42.

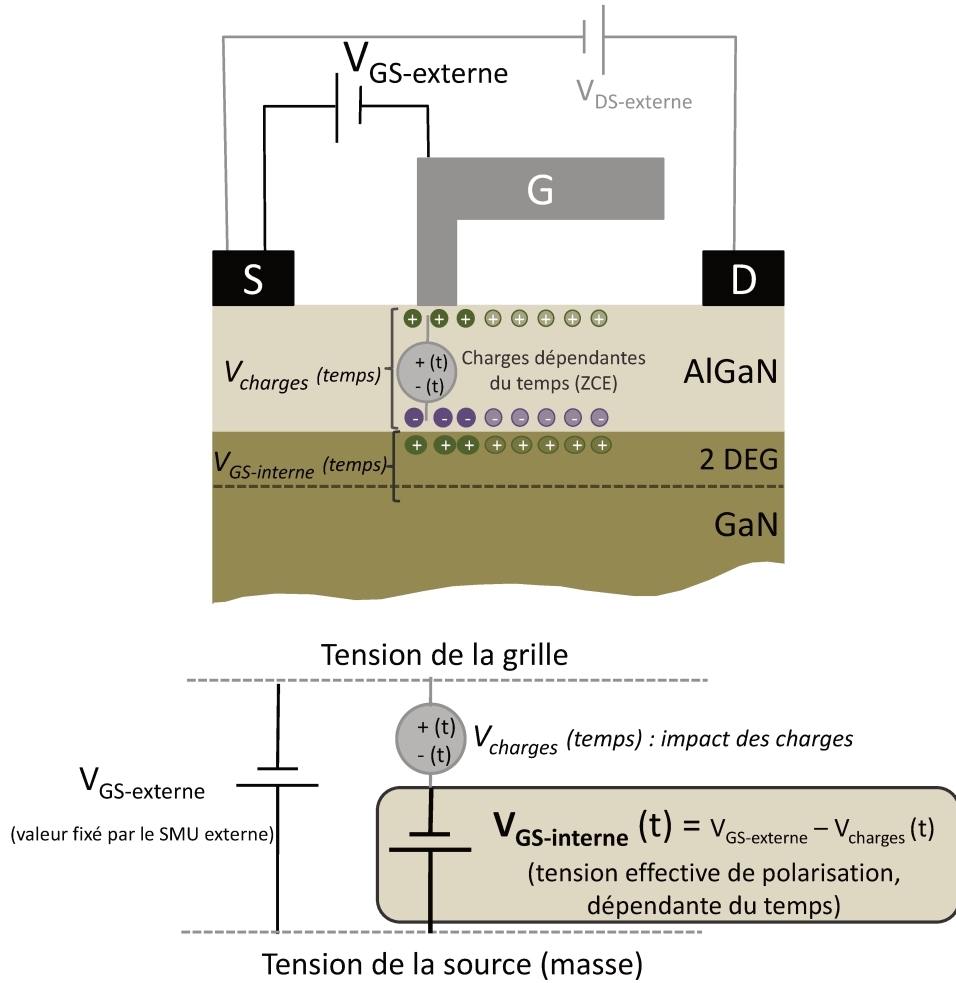


Figure II - 42. Localisation des charges actives, dépendantes du temps sous la grille, avec le modèle électrique équivalent : $V_{charges}(temps)$. Le générateur de tension interne ($V_{GS-interne}$) est dépendant du temps, et induit une dépendance temporelle sur I_{GS} et de I_{DS} , autour du point de repos.

La commande effective en tension, $V_{GS-interne}$ est directement affectée par l'évolution transitoire du générateur de charges, $V_{charges}(temps)$, sous la grille du composant. À partir de la représentation dans la Figure II - 42, il est évident que l'évolution des charges dans cette zone peut induire des variations simultanées sur I_{GS} et I_{DS} , autour du point de repos (comme illustré dans la Figure II - 41).

D'autant plus :

$$I_{DS} = g_m \cdot V_{GS-interne} \quad (\text{Eq. 11})$$

les variations du courant de drain sont une conséquence directe des variations de la tension interne de grille :

$$V_{GS-interne}(temps) = V_{GS-externe} - V_{charges}(temps) \quad (\text{Eq. 12})$$

Les charges en dehors de la zone de contrôle ne devraient pas affecter simultanément I_{GS} et I_{DS} , et ne devraient pas avoir d'impact sur les mesures transitoires.

Néanmoins, ces processus dépendants du temps ne sont pas associés à une dégradation permanente du transistor. Ce comportement reste fortement pénalisant lorsque l'on considère la stabilité du point de repos d'un composant dans son contexte circuit.

Cette corrélation des courants, issue à partir des effets transitoires de la tension interne, entraîne des variations des charges positives ou négatives selon la zone considérée, en fonction de la position supérieure ou inférieure de ces charges au niveau des interfaces AlGa_N/Ga_N (Figure II - 42). Des processus de piégeage/depiégeage, associés aux pièges de type accepteur ou donneur, s'activent pendant le test (0 s – 2000 s), déterminant des augmentations ou des diminutions d' I_{GS} et I_{DS} , avec des constantes de temps courtes, moyennes et longues. Ces variations transitoires importantes des deux courants I_{GS} et I_{DS} sont également cohérentes avec les caractérisations en bruit basse fréquence (BBF) effectuées sur le dispositif sous test. Ces mesures mettent en évidence un grand nombre de centres de génération-recombinaison sur le courant de drain et sur le courant de grille, avec des constantes de temps étalées (de plusieurs μ s à quelques minutes) [120].

Ce modèle permet de discriminer et de localiser la position des charges actives sous la grille, et d'évaluer leur influence sur la stabilité transitoire du point de repos du transistor. Le modèle proposé se présente en tant qu'outil non-invasif efficace, participant à l'amélioration de la maturité technologique des dispositifs Ga_N. Cette étude met en évidence le fait que plus le composant est fuitieux, plus la densité de charges sous la grille et la baisse en puissance de sortie seront importantes [123], lorsque ces fuites sont liées à des activations de pièges ou de charges électriquement non neutralisées qui fluctuent avec le temps ou selon l'application d'une contrainte (thermique ou électromécanique).

Notre méthodologie peut facilement mettre en évidence l'impact de la sensibilité du niveau de fuite à la dégradation des performances statiques/dynamiques des dispositifs en fonction du temps. Elle peut également être pertinente quant à l'évaluation de la fiabilité lorsque diverses contraintes sont appliquées. Enfin, l'analyse au niveau dispositif est également applicable pour anticiper la stabilité temporelle du point de repos une fois que le transistor est utilisé dans son contexte circuit : l'évolution d' I_{DS} statique dans le temps va considérablement affecter le niveau de confiance associé à la signature dynamique du circuit RF, et donc la fiabilité du système (Figure II - 43).

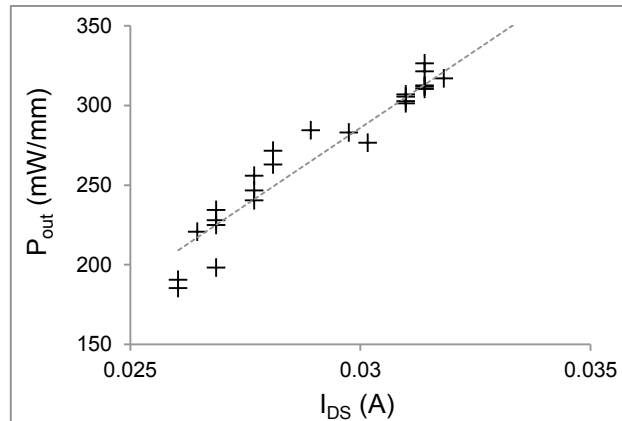


Figure II - 43. Figure extraite de [123] : Variation du courant de drain, influant directement la puissance de sortie du dispositif, imputée à des variations de charges sous la grille de composants $2 \times 75 \mu\text{m}$ (filrière III-V Lab). Mesures obtenues sous application de contrainte RF à la compression.

2.3.5. Techniques non-destructives : Mesures DLTS

Parmi les configurations électriques disponibles des outils d'analyse, la technique DLTS (*Deep Level Transient Spectroscopy*) permet une analyse à caractère transitoire opérée sur une gamme thermique donnée, et qui peut être (partiellement) corrélée aux mesures harmoniques de bruit basse fréquence (opérées sous polarisation continue) – éventuellement réalisées elles aussi à différentes températures [124]. Ce type de mesure permet de traquer les pièges profonds et les défauts dans les cristaux. La procédure fournit des informations sur l'énergie d'activation, ainsi que sur la section efficace de capture des pièges. Elle consiste à appliquer un courant pulsé sur le dispositif, et observer sa réponse transitoire, en utilisant un système à base de condensateur (**C-DLTS**) ou de courant (**I-DLTS**), à différentes températures. Cependant, des informations sur la technologie du dispositif doivent être instruites le plus précisément possible dans le logiciel auparavant afin d'extraire les niveaux d'énergie d'activation et la section des pièges.

Avec cet outil, nous activons des pièges créés par des inhomogénéités du cristal semiconducteur, qui engendrent des niveaux intermédiaires dans la bande interdite. Ces niveaux intermédiaires sont à l'origine des centres profonds (ou défauts), provoqués par des dislocations ou par des imperfections d'un processus de gravure.

Les semiconducteurs présentent des niveaux d'énergie intermédiaires dans la bande interdite. Ces niveaux intermédiaires (ou pièges) sont particulièrement basés sur l'émission et la capture d'électrons et de trous (Figure II - 44). Les pièges peuvent agir comme :

- **centres de génération-recombinaison (G-R)**, lorsque le niveau d'énergie intermédiaire est proche du niveau de Fermi ;
- **pièges à électrons**, lorsque le niveau d'énergie intermédiaire dépasse le niveau de Fermi, près de la bande de conduction ;

- **pièges à trous**, lorsque le niveau d'énergie intermédiaire est inférieur au niveau de Fermi, près de la bande de valence.

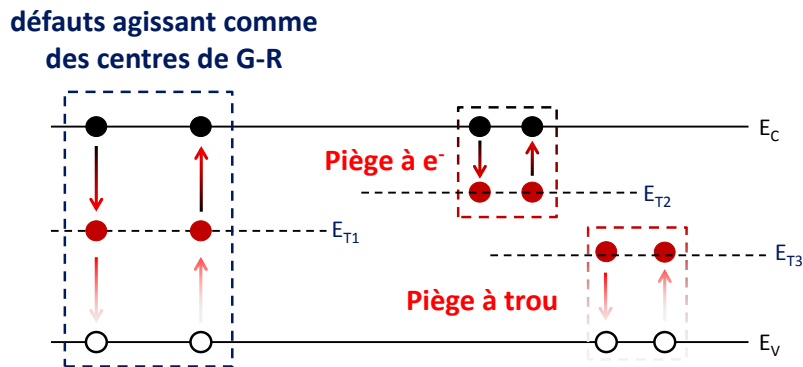


Figure II - 44. Représentation des différents processus de piégeage dans la bande interdite du semiconducteur.

Nous identifions plusieurs types de défauts, selon leurs constantes de temps d'activation et leur niveau d'énergie. Ces centres profonds peuvent effectivement provoquer l'accrochage du niveau de Fermi (*Fermi pinning level*), ou encore la conduction du courant par des sauts (*hopping*).

A) La technique DLTS par mesure capacitive (C-DLTS) est couramment utilisée en raison de la proportionnalité existante entre la capacité du système, et la zone de charge d'espace (ZCE). De cette façon, l'on est certain que le centre profond identifié est localisé sous la grille. Donc, cette technique est sensible au flux des porteurs. Dans la procédure spécifique C-DLTS, la capacité issue d'un piège à porteurs minoritaires (trous) sera positive, alors que la capacité issue d'un piège à porteurs majoritaires (électrons) sera négative [125].

Dans notre cas, nous avons de petites dimensions pour l'accès de grille des échantillons, ce qui conduit à des résultats fortement entachés d'incertitude en raison de la faible capacité de grille mise en jeu. De plus, étant données les fuites importantes du courant de grille à V_G proche de V_p , les mesures $C(V)$ sont difficilement exploitables. Mickzek et al. [126] montrent qu'il est impossible d'effectuer des mesures $C(V)$ pour l'AlGaIn, à l'interface métal - AlGaIn à cause des charges, qui ont des niveaux d'énergie très bas, et des temps de relaxation trop longs.

B) La technique DLTS par mesure du courant (I-DLTS) est moins précise que la C-DLTS puisqu'elle rassemble tous les courants circulant dans le dispositif sous test. Néanmoins, cette technique permet de surmonter toutes les résistances série qui peuvent fausser les résultats lorsque la C-DLTS est utilisée.

Les pics positifs (de porteurs majoritaires = électrons) et négatifs (de porteurs minoritaires = trous) observés en température déterminent la nature du piège et sa concentration. Nous pouvons extraire des informations sur la section transversale du piège

identifié pendant les mesures en bruit basse fréquence, ainsi que sur son énergie d'activation (les résultats ont été obtenus avec le support du professeur F. Olivié sur le banc dont il a la charge au LAAS).

Nous n'avons pas pu aller plus loin avec les mesures I-DLTS, et l'interprétation des données puisque le banc en état actuel n'est pas adapté aux besoins spécifiques du GaN : capacité de grille trop petite, fuites de grille trop faibles près de la tension de pincement, courant de drain trop important, et qui augmente trop vite, en dépassant les limites du banc de manipulation (10 mA maximum). Néanmoins, nous pouvons identifier sur la Figure II - 45 l'allure d'un piège à électrons (activation vers 400 K), ainsi que d'autres pièges à électrons avec des niveaux moins importants (activation à environ 275 K et 325 K), ou encore, un piège à trou (activation vers 350 K). La question qui se présente maintenant est de savoir si le pic positif à 400 K est constitué par un seul piège à électrons, ou par une multitude de pièges à électrons, qui s'activent pratiquement sous les mêmes conditions (continuum de pièges proches en énergie) ; cette question est notamment soulevée par le profil large du spectre thermique.

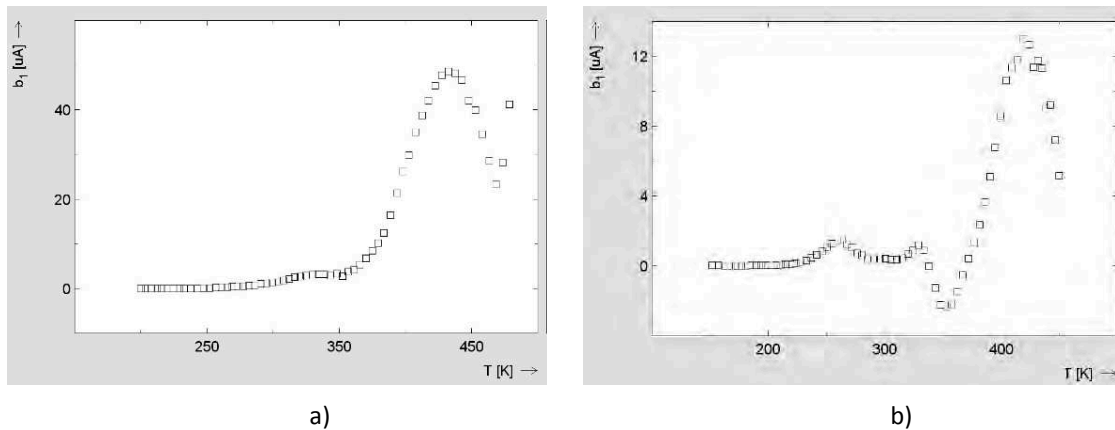


Figure II - 45. Représentation des signatures I-DLTS d'un échantillon vieilli HTOL du lot *Picowatt 36/37B* (D2), sous deux conditions : a) V_{GS} pulsé de -3,9 V à 0 V, et $V_{DS} = 8$ V, b) V_{GS} pulsé de -3,9 V à -2,9 V, et $V_{DS} = 8$ V.

2.3.6. Caractérisations en bruit basse fréquence

Le bruit est une fluctuation aléatoire d'un courant ou d'une tension ; différentes sources de bruit peuvent contribuer à la densité spectrale globale de puissance du bruit. Le bruit peut être exprimé comme une fonction soit du courant, soit de la tension, ou soit des densités spectrales des puissances. Par conséquent, la densité spectrale de courant peut être énoncée par l'équation :

$$\overline{i^2(t)} = S_i(f) \cdot \Delta f \quad (\text{Eq. 13})$$

Les mesures en bruit basse fréquence (BBF) sont des sources de bruit non-linéaires qui entretiennent une relation décroissante avec la fréquence (par opposition aux sources de bruit blanc qui ne dépendent pas de la fréquence à laquelle la mesure est effectuée). Nous étudions principalement le bruit en $1/f$ (flicker noise) et le bruit de génération-recombinaison (à caractère Lorentzien). Ces mesures sont effectuées afin de caractériser le processus de fabrication, et le suivi de l'intégrité d'un composant selon l'application de contraintes ; le bruit BF rend possible la mise en évidence des propriétés de transport des porteurs, et il est également très sensible à la présence de défauts cristallins dans les couches actives et aux interfaces des semiconducteurs.

Pour l'étude des fluctuations du courant de grille, les mesures en BBF sont utilisées pour fournir des informations sur les défauts du contact de grille (qui commande le fonctionnement du dispositif), ainsi que sur l'évolution possible et les conséquences de ces défauts après une période de stress.

Pour l'étude des fluctuations du courant de drain, les mesures en BBF permettent de suivre l'évolution des défauts entre le drain et la source, lorsqu'on applique une contrainte (impact de la polarisation, de la température, du signal RF, mais également une modification induite par la détérioration du contact Schottky).

Les conditions de polarisation inverse, en mode diode et transistor (à $V_{DS} = 8 \text{ V}$) permettent de discriminer les sources de bruit activées sous les deux configurations, et de donner une interprétation quant à l'origine des défauts survenus après l'application d'un stress.

Ces deux type de bruits peuvent être corrélés, lorsque les courants de fuites de grille sont très élevés [127], ou non-corrélés, quand la réduction des fuites de grille est suffisamment maîtrisée dans les processus technologiques.

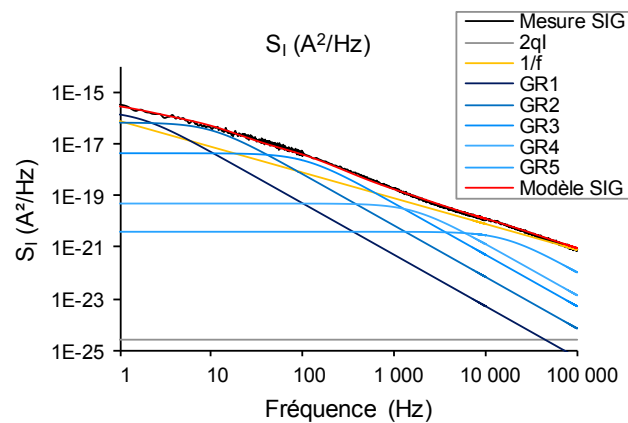
2.3.6.1. Sources de bruit dans les HEMT AlGaIn/GaN

L'étude du bruit électrique, principalement aux basses fréquences (inférieures à 1 MHz) donne de nombreuses informations sur les mécanismes physiques existantes dans le dispositif. En effet, la Figure II - 46 montre un exemple de mesure d'un spectre de bruit avec les différentes sources de bruit pouvant être rencontrées dans un HEMT de type GaN.

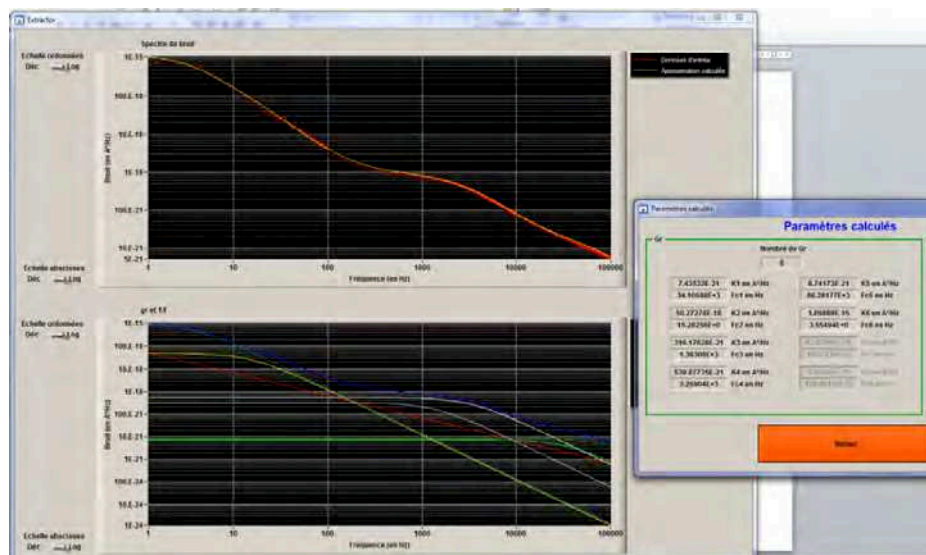
L'équation sur laquelle se base notre analyse est la suivante :

$$S_I = \frac{B}{f^\gamma} + \sum_{i=1}^n \frac{K_i}{1 + \left(\frac{f}{f_{ci}}\right)^2} \left(\frac{A^2}{\text{Hz}}\right) \quad (\text{Eq. 14})$$

où B représente l'amplitude du signal en BBF, γ est l'index de fréquence, K_i et f_{ci} sont l'amplitude et la fréquence de coupure de rang "i" du centre de G-R impliqué.



a)



b)

Figure II - 46. a) Représentation d'un spectre de bruit et sources de bruit associées. b) Logiciel d'extraction automatique des spectres de bruit BF (développé au sein de l'équipe) avec :

→ confrontation mesures - modèle (figure a) ;

→ représentation des sources de bruit associées et tableau des valeurs (figure b).

- 1) Le bruit thermique** : provient des fluctuations spontanées du courant ou de la tension sur une résistance. Ainsi, il est seulement dépendent de la résistance et de la température, pouvant être exprimée en densité spectrale de tension ou de courant selon les équations suivantes [128], [129] :

$$S_V = 4 \cdot k \cdot T \cdot R \quad (\text{Eq. 15})$$

$$\text{ou encore : } S_I = 4 \cdot k \cdot T/R \quad (\text{Eq. 16})$$

où k représente la constante de Boltzmann, T est la température, et R est la valeur de la résistance. Le bruit mesuré dans une gamme de fréquence Δf à travers une résistance est représenté par les équations de la puissance spectrale de bruit [129] :

$$\overline{V^2} = 4 \cdot k \cdot T \cdot R \cdot \Delta f \quad (\text{Eq. 17})$$

$$\text{et : } \overline{I^2} = (4 \cdot k \cdot T/R) \cdot \Delta f \quad (\text{Eq. 18})$$

Le bruit thermique est présent dans tous les matériaux à caractère résistif [129].

- 2) Le bruit Schottky (bruit de grenaille).** L'origine de ce type de bruit est étroitement liée aux fluctuations des porteurs, principalement associées à l'injection à travers une barrière de potentiel. Près de l'hétérojonction du dispositif HEMT, le flux d'électrons passe sur toute l'hétérojonction sans franchir la barrière (transport latéral des porteurs dans le 2DEG). Par conséquent, le bruit de grenaille est négligeable et n'existe pas dans le courant de drain. Toutefois, près du contact Schottky, le courant de fuite passe à travers la barrière et génère le bruit de grenaille. La génération aléatoire conduit à des fluctuations autour d'une valeur moyenne selon l'expression suivante [129] :

$$S_I = 2 \cdot q \cdot I \quad (\text{Eq. 19})$$

$$S_{I_G} = 2 \cdot q \cdot I_G \quad (\text{Eq. 20})$$

- 3) Le bruit de génération-recombinaison.** De manière plus singulière, cette source de bruit est caractérisée par la formule de Lorentz qui prend en considération les effets de piégeage/dépiégeage dans le semiconducteur, et peut être exprimée sous la forme suivante :

$$S_I = \frac{K}{1 + \left(\frac{f}{f_c}\right)^2} \quad (\text{Eq. 21})$$

où K est l'amplitude du bruit généré par le piège, et f_c est la fréquence de coupure associée au temps de relaxation du piège impliqué.

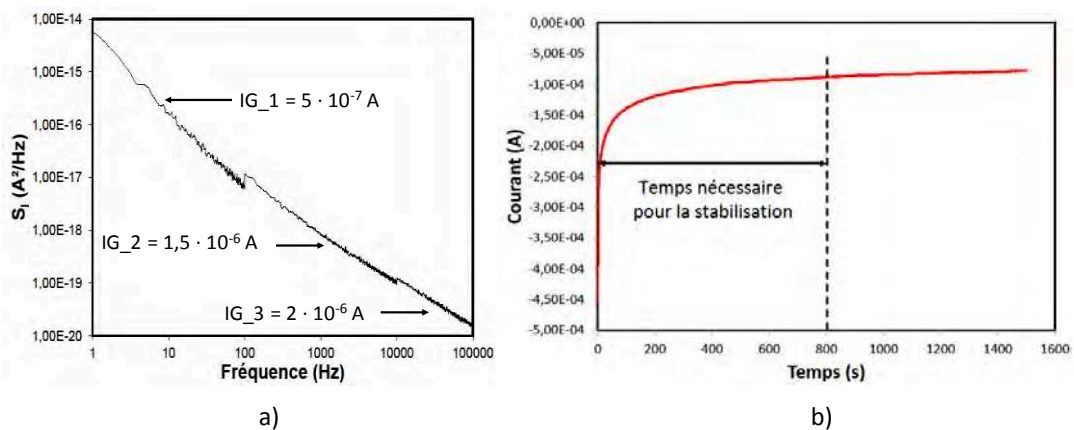
- 4) Le bruit en $1/f$.** Ce bruit est caractérisé par une densité spectrale inversement proportionnelle à la fréquence. Par conséquent, il est principalement observé dans les basses fréquences, et son origine a toujours été controversée (la fluctuation de vitesse des porteurs ou la fluctuation du nombre de porteurs).

Selon Hooge [129], le nombre d'électrons libres dans la bande de conduction peut fluctuer à cause d'un continuum dans le processus de génération/recombinaison entre les bandes de conduction ou de valence et les pièges ; dans sa théorie, le spectre de bruit en $1/f$ (*flicker noise*) est donc lié à un processus de centres de GR régulièrement répartis dans le spectre BF et en énergie. Cette théorie est actuellement la plus largement acceptée : même s'il est démontré que la mobilité impacte le bruit en $1/f$, les fluctuations de mobilité n'offrent pas une approche théoriquement acceptable [130].

2.3.6.2. Procédure de mesure

Le banc de caractérisation en bruit basse fréquence actuellement utilisé a été développé par L. Bary au cours de sa thèse en 2001 [131], [132]. Celui-ci se compose des circuits de polarisation de grille et drain, ainsi que des amplificateurs transimpédance connectés au composant. Toutefois, la mesure du bruit en courant de drain n'est pas précise dans cette configuration pour laquelle le circuit de polarisation de drain et l'amplificateur transimpédance sont corrélés, surtout dans les hautes fréquences ($f > 10$ kHz). Il faut donc les remplacer par un nouveau circuit de polarisation et un amplificateur en tension.

En outre, la stabilité de la polarisation est contrôlée, et selon l'évolution temporelle du courant, nous avons remarqué qu'il faudrait entre 10 et 15 minutes de temps de stabilisation pour chaque point de polarisation statique du composant (pour s'affranchir des effets mémoire à long terme et de la stabilité thermique du composant). La Figure II - 47a montre les mesures en BBF effectuées sans attendre la stabilisation de la polarisation du dispositif.



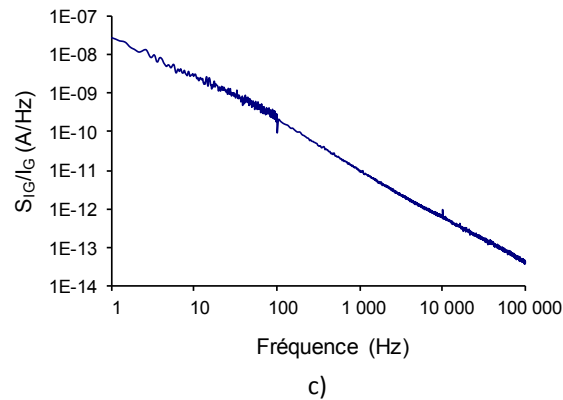


Figure II - 47. a) Illustration d'une caractérisation en BBF, effectuée sans attendre le temps nécessaire pour la stabilisation du composant. b) Courant en fonction du temps, indiquant le temps nécessaire pour la stabilisation du point de repos. c) Spectre en BBF corrigé, normalisé par rapport à I_{GS} , qui montre le caractère insensible du spectre sur une variation de courant (au premier ordre).

Sur cette figure, nous pouvons remarquer le fait que les spectres de bruit (mesurés sur trois bandes de fréquence) ne se superposent pas puisque les paramètres de polarisation (et les sources de bruit liées à cette condition de polarisation) bougent au cours des premières minutes de mesure pour chacune des trois bandes de fréquences. De plus, la Figure II - 47b représente l'évolution du courant de drain en fonction du temps, et met en évidence le temps d'attente nécessaire afin d'atteindre l'état stable du dispositif sous test.

Puisque le banc de mesure en BBF est sensible aux différents phénomènes environnementaux, ainsi qu'à des phénomènes liés aux dispositifs, nous sommes obligés d'effectuer des mesures de référence. Celles-ci doivent être réalisées au début de chaque campagne de mesures sur différents échantillons de référence, et également au début et à la fin de chaque journée de mesure, dans le but d'évaluer la stabilité du système et des résultats qui vont être exploités par la suite. De cette manière, il est possible d'évaluer la représentativité statistique de nos mesures (l'incertitude sur la mesure). Par conséquent, les différences remarquées sur les spectres peuvent être analysées et interprétées.

Le banc actuel de caractérisation en bruit basse fréquence (Figure II - 48) se compose des circuits de polarisation sur la grille et sur le drain. Des amplificateurs en tension et transimpédance sont reliés, afin de mesurer les densités spectrales de courant de bruit côté drain et côté grille, respectivement. Tous ces éléments sont situés dans une cage de Faraday pour réduire les interférences avec l'environnement. Les amplificateurs sont alors connectés à un analyseur de signaux vectoriels HP89410, et vers un programme informatique afin de surveiller, collecter et corriger les données. Les mesures sont effectuées à température ambiante et dans une gamme de fréquence comprise entre 1 Hz et 100 kHz.

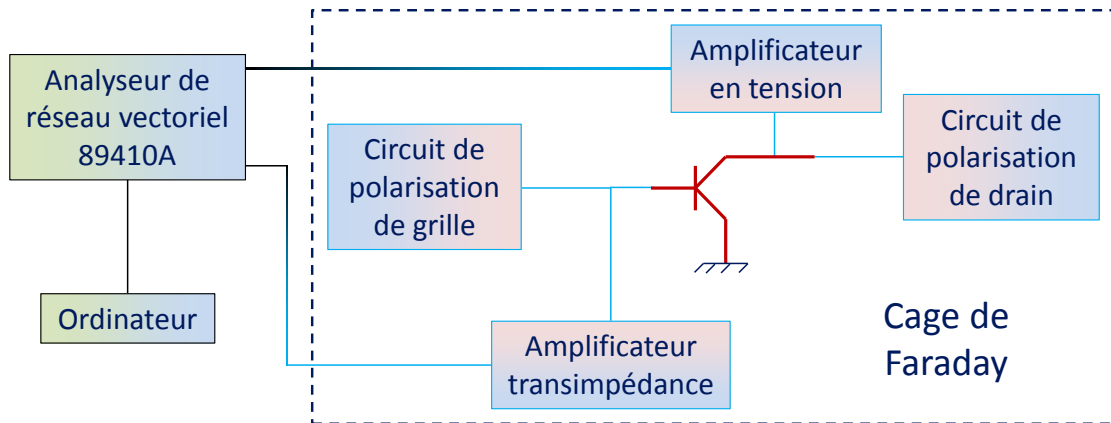


Figure II - 48. Banc de caractérisation en bruit basse fréquence côté grille, et côté drain.

La plage de fréquence de mesure est décomposée en trois parties : la première plage de 1 Hz à 100 Hz, la deuxième plage de 10 Hz à 10 kHz, et la troisième et dernière plage, de 1 kHz à 100 kHz. Cette procédure nous permet un nombre assez important de points dans la gamme de fréquences inférieure, pour un bon degré de confiance quant à l'extraction des sources de bruit basse fréquence dans cette bande (typiquement de 1 Hz à 100 Hz).

2.3.6.3. Caractérisations en bruit basse fréquence sur la grille

La caractérisation en BBF est largement utilisée afin d'identifier des défauts dans les dispositifs semiconducteurs. Ces mesures sont associées aux porteurs et, par conséquent, sont dépendantes du trajet de conduction des porteurs. L'évolution des sources de bruit suite à l'application d'une contrainte peut aussi donner des informations sur l'origine de la défaillance.

La caractérisation en BBF sur le courant de grille reflète des fluctuations des propriétés des porteurs du courant de fuites de grille. Ces porteurs sont habituellement localisés près du contact métal-semiconducteur, et aux interfaces passivation-semiconducteur [133], [134].

2.3.6.4. Caractérisations en bruit basse fréquence sur le drain

Le courant de drain et la caractérisation en bruit basse fréquence du courant de drain sont des paramètres primordiaux à considérer lorsqu'il s'agit des applications non linéaires à faible bruit, telles que la synthèse de fréquence des oscillateurs accordables VCO (*Voltage Controlled Oscillator*) ou fixes, des mélangeurs, etc.

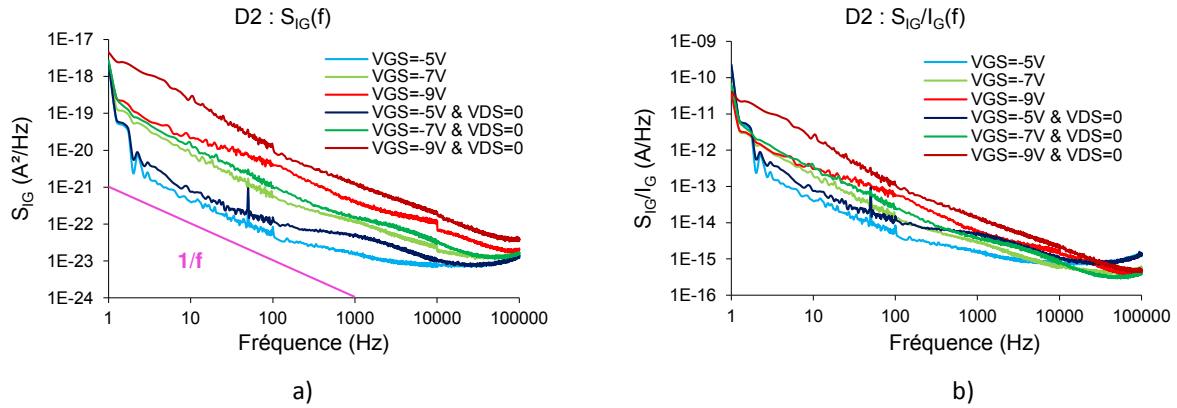
La caractérisation de la densité spectrale de puissance du courant de drain autorise de remonter aux défauts existants sur le chemin de conduction entre drain et source : résistance du contact ohmique, canal bidimensionnel (2DEG), couche tampon et interfaces, efficacité de la passivation, etc. Ce type de défauts provient essentiellement du canal, et nous pouvons les traquer en suivant son évolution entre drain et source, lors de l'application d'une contrainte : impact de la polarisation, de la température, du signal RF, ou encore des effets d'interfaces indirects, liés à des modifications induites par la dégradation du contact Schottky de grille ou par des effets thermiques ou piézoélectriques dans les zones contrôlées ou non contrôlées du canal.

2.3.6.5. Caractérisations en bruit basse fréquence sur le lot Picowatt 36/37B

Le banc de mesure en bruit à basse fréquence a été ajusté afin de pouvoir caractériser les niveaux de courant de drain élevés des dispositifs AlGa_N/Ga_N testés ; pour cela, le réseau de polarisation a été aménagé afin d'augmenter le courant de drain jusqu'à 300 mA. La procédure a très bien fonctionné pour la filière GH50. Néanmoins, les transistors de la filière GH25 et plus spécifiquement ceux du lot *Picowatt 36/37B*, sont caractérisés par des niveaux trop élevés de courant de drain, et il n'est pas possible de réaliser des mesures proches du canal ouvert.

Les faibles fuites rendent impossible l'analyse en bruit basse fréquence du courant de grille des composants vierges avec les performances actuelles de notre banc de mesure (le plancher de bruit de notre banc expérimental se situe à 10^{-24} A²/Hz). Par conséquent, seuls quelques transistors vieilliss HTOL (qui possèdent des courants de fuite de grille élevés, et des puissances de sortie plus faibles) nous permettent d'extraire des informations pour notre étude quant à la distinction des défauts de la commande sous la grille de ceux situés dans le canal.

Une procédure a été développée afin d'assurer la stabilisation du dispositif sous test (DUT) pour chaque bande de fréquence et pour chaque condition de polarisation. Cependant, une correction doit être appliquée sur le courant continu dans le but d'obtenir les continuités des bandes, tel que nous pouvons le remarquer dans les Figure II - 49 et Figure II - 50.



Les variations du courant de fuite de la grille ont été surveillées (en début, et à la fin de la campagne de mesures en bruit basse fréquence) pour chaque mesure :

	$V_{GS} = -5$ V		$V_{GS} = -7$ V		$V_{GS} = -9$ V	
	Drain en l'air	$V_{DS} = 0$ V	Drain en l'air	$V_{DS} = 0$ V	Drain en l'air	$V_{DS} = 0$ V
I_{GS} (nA)	10	10	30 - 40	40	40 - 60	110 - 90 - 800

Tableau II - 8. Fluctuations du courant de fuite de grille de D2, à différents points de polarisation.

Afin d'avoir des spectres fiables pour l'interprétation des données, notre solution consiste à normaliser S_{IG} par rapport au courant I_{GS} . Les spectres en bruit basse fréquence illustrent une tendance en $1/f^{\gamma}$. De plus, des effets mémoire longue durée (LTM pour *Long Term Memory Effects*) est prouvée (centres de GR aux plus basses fréquences), et viennent conforter les mesures transitoires précédentes (même si les mesures spectrales ne permettent pas d'accéder à des temps au-delà de la seconde !). Les comportements transitoires et en BBF (*Bruit Basse Fréquence*) montrent une grande dispersion dans les constantes de temps et les énergies, puisque les constantes de temps sont généralement obtenues entre 0,1 ms et plusieurs minutes, avec des contributions importantes également entre 0,1 s et quelques secondes (spectres en BBF plus bas autour de 1 Hz, et les comportements transitoires).

En ce qui concerne la densité spectrale du courant de drain, nous constatons que de nombreux centres de G-R apparaissent dans la bande spectrale de l'étude, traduisant de fait des défauts dans le canal et/ou au niveau des résistances de contact et d'accès. Cependant, les centres de G-R identifiés dans la Figure II - 50 ne changent pas fortement pour les dispositifs vieilliss une fois que la normalisation par rapport à I_{DS} est effectuée ; ceci indique que le stress n'a pas d'action sur les défauts activés dans le canal, mais que seule la densité de porteurs est

modifiée dans le 2DEG – il s’agit bien d’un impact de la contrainte sur la commande située au niveau de la grille (ou sous la grille).

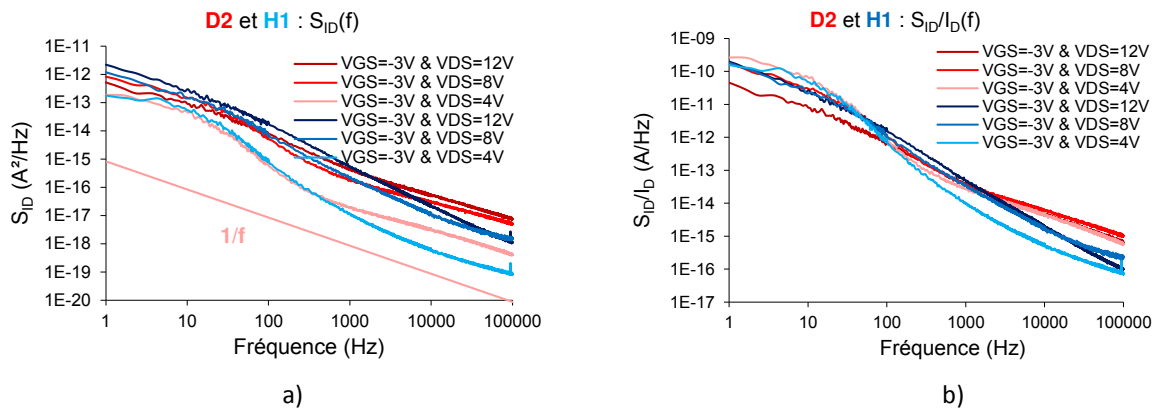


Figure II - 50. Spectres en bruit basse fréquence de D2 et H1 (dispositifs stressés HTOL, représentés en rouge, et bleu, respectivement), sous différentes conditions de polarisation : a) S_{ID} en fonction de la fréquence, et b) S_{ID}/I_D en fonction de la fréquence. Nous avons codifié en couleurs les polarisations du drain, allant de la plus claire, à la plus foncée, pour $V_{DS} = 4$ V, $V_{DS} = 8$ V, et $V_{DS} = 12$ V, respectivement.

Les centres de G-R sont prononcés particulièrement à faible V_{DS} , en raison d'un grand nombre de pièges près de l'interface AlGaIn/GaN (activés avec l'extension de la zone de charge d'espace, donc avec V_{DG} ou V_{DS}), alors que les pièges dans le volume GaN peuvent être identifiés lorsque V_{GS} varie (évolution de la bande de conduction relativement au quasi-niveau de Fermi, qui s'étend plus dans le volume GaN lorsque la polarisation de grille est pincée).

2.3.6.6. Bruit en créneaux (RTN pour Random Telegraph Noise) sur le lot Picowatt 36/37B

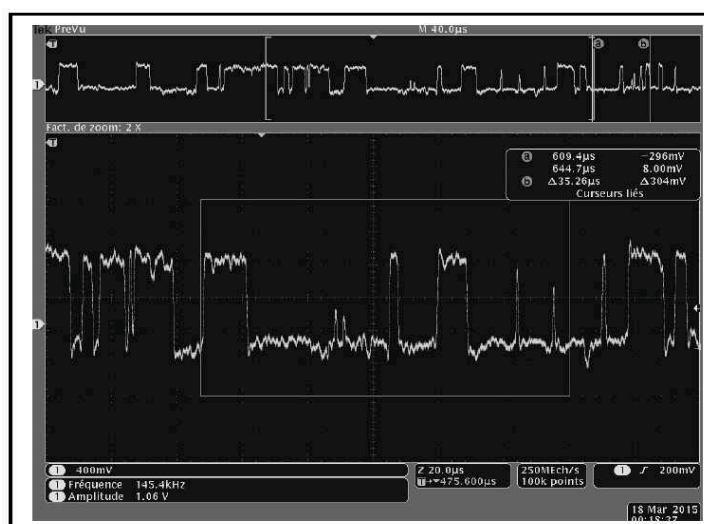
Le bruit en créneaux, appelé également bruit en rafale, bruit popcorn, bruit impulsionnel, ou encore bruit télégraphique aléatoire, est un type de bruit électronique qui se produit dans les semiconducteurs, et les films d'oxyde de grille ultra-minces.

Il consiste dans des transitions brusques entre deux niveaux discrets de tension ou de courant, avec une amplitude pouvant aller jusqu'à plusieurs centaines de millivolts, de manière aléatoire. Chaque changement de tension ou de courant dure souvent plusieurs millisecondes, jusqu'à quelques secondes, et ressemble au bruit popcorn si l'on connecte la sortie du dispositif à un haut-parleur audio.

Le bruit en créneaux a d'abord été observé dans des diodes, puis découvert à nouveau lors de la commercialisation de l'un des premiers amplificateurs opérationnels à base de semiconducteurs (le 709). En ce moment, aucune source unique de bruit popcorn n'est théorisée pour expliquer toutes les occurrences, mais la cause la plus souvent invoquée est le

Dans les cas où ces charges ont un impact significatif sur les performances des transistors (par exemple sous une grille MOS, ou une base d'un transistor bipolaire), le signal de sortie peut être important. Ces défauts peuvent être causés par des processus de fabrication, tels que l'implantation d'ions lourds, ou par des effets secondaires involontaires tels que la contamination des surfaces.

Nous allons illustrer les résultats pour D18, le composant stressé HTOL, qui s'est dégradé le plus depuis le début de nos analyses. Ce transistor montre également des sauts de courant/tension très fréquents, avec des amplitudes entre 12 mV et 200 mV (Figure II - 51 et Figure II - 52) [135].



Nous avons analysé l'ensemble des mesures réalisées sur la grille (plus d'une cinquantaine de saisies graphiques) afin d'extraire les différents profils de signaux RTN. Nous remarquons une grande variété de bruits en créneaux, avec au moins six signatures Lorentziennes différentes, présentant des fréquences de coupure comprises entre 100 Hz et 300 kHz, et un RTN inférieur à 1 Hz (donc en dehors de la mesure dans le domaine fréquentiel) (Figure II - 51 et Figure II - 52) [135].

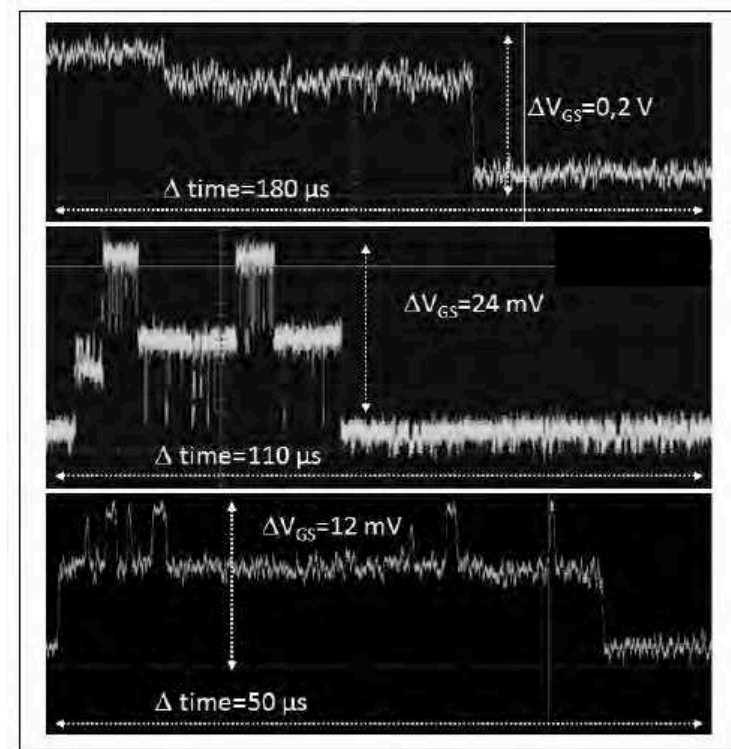


Figure II - 52. Différents profils du bruit en créneaux sur l'accès de grille de D18 (dispositif stressé HTOL pendant 105 heures) [135].

Cette distribution de signatures Lorentziennes pourrait expliquer en partie la tendance en $1/f$ de la densité spectrale de bruit sur le courant de grille de la Figure II - 49, quelle que soit la condition de polarisation. L'évolution des charges sous la grille peut affecter la polarisation interne de la grille en temps réel (de 12 mV à 200 mV), et simultanément, le courant de drain (Figure II - 40, référence [72]).

Si le transistor est soumis à un stress pendant longtemps, alors les pièges peuvent s'accumuler dans la couche d'interface passivation/AlGaIn, et à l'interface AlGaIn/GaN sous la grille. Chacune des deux contributions mène à une baisse d' I_{DS} . Les donneurs en surface contribuent majoritairement à la densité électronique dans le canal bidimensionnel (2DEG). De même manière, la polarisation interne de V_{GS} joue un rôle équivalent en déplaçant les niveaux d'énergie dans le canal, et en contrôlant ainsi la densité de porteurs dans le canal jusqu'au pincement [135].

2.4. Techniques destructives : lames TEM DGA

Sous les hypothèses de localisation et de nature des défauts (résistif sous couche de passivation, rugosité d'interfaces qui agissent/créent des centres de G-R répartis en constantes de temps), une analyse physique destructive peut maintenant être réalisée sur certains composants choisis avec la DGA-MI afin de confirmer nos hypothèses. Nous pouvons distinguer quatre étapes différentes :

- Pour l'observation des grands défauts, l'outil le plus intéressant semble être l'observation en vue de coupe. Il offre la possibilité d'obtenir une vue intérieure du défaut et de ses environs. En plus, la reconstruction 3D peut être effectuée, avec une caractérisation précise du défaut. Un tel outil a été utilisé pour vérifier l'uniformité de l'empilement de métal de grille le long d'une largeur de doigt de grille.
- Préparation de la lamelle TEM
- Analyse TEM
- Analyse chimique

Nous avons soumis à ce type d'étude deux échantillons du lot *Femtowatt* : E21, un transistor qui a cessé de fonctionner après le passage en température, et E23, le composant particulier du lot. E21 et E23 ont des comportements électriques différents : zone résistive sur la diode $I_{GS}(V_{GS})$ pour E21. En TEM, E21 ne semble pas présenter le mélange d'Aluminium et de Gallium à l'interface passivation/semiconducteur contrairement à E23. Ces résultats ont été obtenus par BIOPHY en partenariat avec la DGA et sont partiellement publiés dans [116].

Pour la différence observée sur les caractéristiques de la diode $I_{GS}(V_{GS})$ des composants E21 et E23, nous avons identifié dans nos mesures un caractère résistif du plateau en question (Figure II - 28). Ce caractère haute résistivité (résistance aux alentours de $10^8 - 10^9 \Omega$) est identifié entre l'espace grille-source et grille-drain (polarisation diode V_{GS} drain en l'air, drain court-circuité, polarisation diode V_{GD} source en l'air, source court-circuitée) : il apparaît lorsque ce courant de fuite régi par la loi d'Ohm est prépondérant devant les mécanismes de fuite inverse ou de conduction thermoionique en direct, relatif à la barrière Schottky.

De plus, nous avons vu en Figure II - 34 notamment que la tension d'inversion s'opère vers 0 V (balayage V_{GS} décroissant) ou pour des tensions V_{GS-inv} négatives (balayage V_{GS} croissant) de part et d'autre de ce caractère résistif, traduisant ainsi la décorrélation de ce mécanisme résistif de celui des fuites liées à la grille Schottky.

Nous supposons que le comportement résistif serait plutôt relié à la variation de la pollution de l'interface SiN_x/GaN , qui contient plus ou moins d'aluminium et de Ga. La pollution de cette interface induirait des charges différentes, ou des sites (défauts) qui peuvent agir en tant que chemin de conduction de charges.

2.5. Conclusions du Chapitre II

Ce deuxième chapitre s'est articulé sur la description des différents bancs de mesures que l'on utilise au LAAS pour caractériser des transistors à base de nitrure de gallium. L'utilisation de plusieurs bancs de manipulations et outils d'investigation est indispensable pour pouvoir conclure sur la nature et la localisation des mécanismes de défaillance associés aux essais sous contrainte.

En premier, nous avons identifié l'importance de la stabilité en courant (ou en tension) pour les mesures en courant continu, en transitoire ou en bruit basse fréquence. Avec ces techniques de mesures, nous avons identifié la présence des pièges et des charges au niveau de la grille, et aux interfaces passivation/AlGaN, qui ont un impact direct sur la polarisation interne de la grille. De cette manière, la commande des porteurs dans le canal bidimensionnel, et donc la puissance de sortie attendue seront affectées.

Deuxièmement, les mesures spectrales en bruit basse fréquence ont été corrélées avec les mesures transitoires : l'action des effets mémoire courts (STM) et longs (LTM) a été identifiée, avec un large éventail de constantes de temps. LTM est particulièrement mis en évidence par l'analyse transitoire, et par l'impact sur la caractérisation en BBF (les fluctuations des points de repos d' I_{GS} et I_{DS}) [72], [116], [135].

Enfin, la perte de puissance (réduction d' I_{DS} à cause du stress HTOL) est considérée comme la conséquence de l'évolution de la grille des dispositifs suite à la période de stress ; la stabilisation des charges (fixes ou dynamiques de type pièges, identifiées sur des dispositifs lors des mesures en DC et transitoires) influe sur la commande de densité de porteurs dans le 2DEG. Les charges fixes sont causées par le stress HTOL, et ont une conséquence directe sur le canal 2DEG (chute de puissance). Quant aux charges dynamiques, leur impact dépend des conditions de polarisation, et de mesure [116].

La Figure II - 53 extraite de [123], représente l'activation des pièges en fonction du temps/de la fréquence, ainsi que les principaux outils de caractérisation utilisés pour analyser les dispositifs. Les mesures sont non-invasives et non-destructives par rapport au stress.

Afin de mieux comprendre la corrélation entre les événements physiques et électriques, nous avons introduit une procédure de mesure complexe, comprenant des caractérisations électriques, harmoniques et transitoires. Puisque l'identification des mécanismes de défaillance doit limiter tout caractère ambigu, le croisement des différentes techniques de mesures est absolument nécessaire. De ce fait, l'utilisation de ces outils de diagnostic et procédures de mesure peut permettre de mieux comprendre les mécanismes de dégradation sous-jacents aux dispositifs à base de nitrure de gallium.

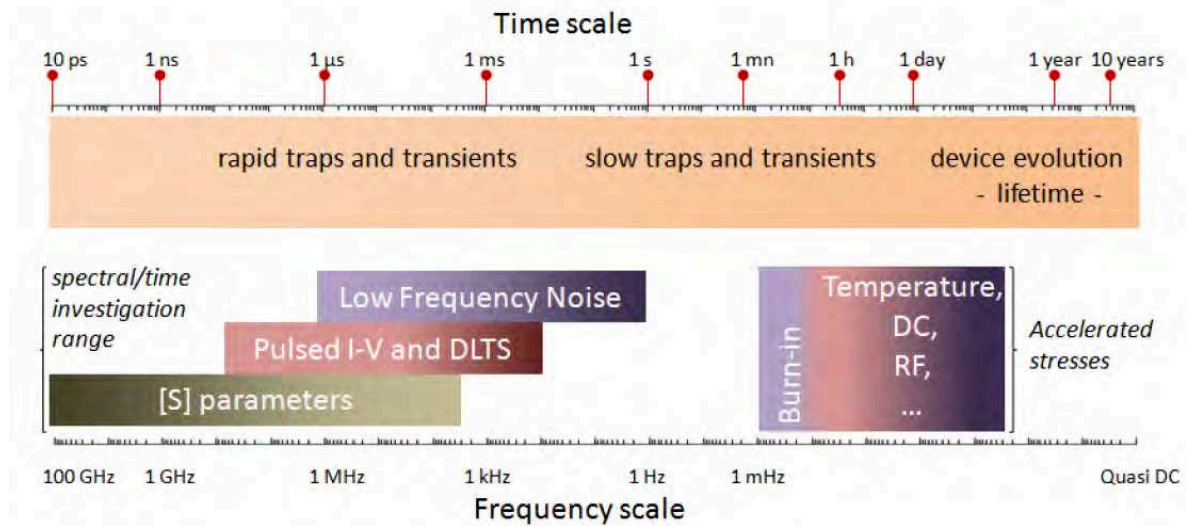


Figure II - 53. Représentation du décalage temps/fréquence pour les caractérisations en BBF, les mesures électriques en I - V , les mesures des paramètres $[S]$ (plage d'investigation), et la plage de temps induite par le stress. Sur la bande en dessus se trouvent les pièges activés, associés à ces techniques de caractérisation. La mesure doit être non-invasive par rapport au stress [123].

Table des figures/tableaux

Figure II - 1. Vue de coupe générale du transistor AlGaIn/GaN.	67
Figure II - 2. Photographie optique en vue de dessus d'un dispositif provenant de la filière GH50, déclinaison <i>Nanowatt_317</i>	68
Figure II - 3. Photographie optique en vue de dessus d'un dispositif provenant de la filière GH25, déclinaison <i>Picowatt_36/37B</i> 8x125x0,25.	69
Figure II - 4. Description en langage pseudocode de la procédure de caractérisation développée au LAAS pour les analyses de fiabilité.	71
Figure II - 5. a) Transistor en état fonctionnel ; b) Dégradation ultime du composant.	73
Figure II - 6. Mesures $I_{GS}(V_{GS})$ des transistors HEMT AlGaIn/GaN, filière GH25 (8 x 125 μm x 0,25 μm) : encadrement rouge des 'ventres' du courant de grille, encadrement gris du décalage de la tension d'inversion du courant de grille (les transistors témoins sont représentés en ligne pointillée).	75
Figure II - 7. Mesures $I_{GS}(V_{GS})$ des transistors HEMT AlGaIn/GaN, filière GH25 (8 x 125 μm x 0,25 μm) : encadrement rouge des 'ventres' du courant de grille, encadrement gris du décalage de la tension d'inversion du courant de grille (les transistors témoins sont représentés en ligne noire pointillée).	76
Figure II - 8. Comparaison entre les courbes $I_{GS}-V_{GS}$ d'UMS et celles du LAAS :	77
Figure II - 9. $D18 : I_{GS}-V_{GS}$ pour plusieurs temps d'intégration de la mesure (court en rouge, moyen en bleu, et long en gris), et pour balayage croissant (en trait continu), respectivement décroissant (en trait pointillé) de la tension V_{GS} : a) polarisation directe, et b) polarisation inverse.	78
Figure II - 10. $D19 : I_{GS}-V_{GS}$ en fonction de température : de 80 K (bleu foncé), à 400 K (marron). Le tracé noir représente le plancher en courant de l'appareil de mesure (Agilent 4156C).	80
Figure II - 11. $I_{GS}-V_{GS}$ pour trois échantillons représentatifs du lot <i>Picowatt 36/37B</i> : TD6 est un transistor témoin, D2 et D7 sont des transistors vieillis HTOL.	81
Figure II - 12. Impact de la contrainte HTOL sur le changement de tension de seuil (exprimé en pourcentage) [116].	82
Figure II - 13. Caractéristiques de sortie $I_{DS}-V_{DS}$ pour les transistors <i>Picowatt 36/37B</i> , issus des lots <i>D</i> et <i>H</i> : TD6, et TH2 sont des échantillons témoins du chaque lot (représentés en trait pointillé), tandis que tous les autres dispositifs sont des transistors vieillis HTOL (représentés en trait continu).	83
Figure II - 14. Caractéristiques de sortie $I_{DS}-V_{GS}$ pour les transistors <i>Picowatt 36/37B</i> , issus des lots <i>D</i> et <i>H</i> : TD6, et TH2 sont des échantillons témoins du chaque lot (représentés en trait pointillé), tandis que tous les autres dispositifs sont des transistors vieillis HTOL (représentés en trait continu).	84
Figure II - 15. Caractéristiques de sortie G_M-V_{GS} pour les transistors <i>Picowatt 36/37B</i> , issus des lots <i>D</i> et <i>H</i> : TD6, et TH2 sont des échantillons témoins du chaque lot (représentés en trait	

pointillé), tandis que tous les autres dispositifs sont des transistors vieillis HTOL (représentés en trait continu).....	84
Figure II - 16. Vue de coupe du modèle HEMT, utilisée pour évaluer l'impact de la densité des charges fixes (FC) sur les comportements électriques, avant et après application de contrainte [116].....	85
Figure II - 17. Gain de transconductance, simulé à $V_{DS} = 8$ V pour différentes densités de charges fixes sous la zone grille-source ou grille-drain (situation 3) [116].....	86
Figure II - 18. Gain de transconductance, simulé à $V_{DS} = 8$ V pour différentes densités de charges fixes sous le doigt de grille (situation 3) [116].....	86
Figure II - 19. G_M - V_{GS} (en trait continu) et I_{DS} - V_{GS} (en trait pointillé) du transistor témoin TD6, au début (en trait noir) et à la fin (en trait rouge) de la campagne de mesures.....	87
Figure II - 20. G_M - V_{GS} à $V_{DS} = 8$ V, de 100 K (en trait bleu foncé), jusqu'à 400 K (en trait marron foncé) par pas de 25 K. a) Transistor témoin - TH2, et b) Transistor vieilli HTOL - H1.	89
Figure II - 21. Identification de deux commandes décorréliées du canal selon V_{GS} et selon la température (cas du transistor témoin TH2) : a) G_M principal (en noir), et G_M parasite (en rose), b) I_{DS} principal (en noir), et I_{DS} parasite (en rose).....	89
Figure II - 22. Variation de la tension V_{GS-MAX} associée au pic de commande secondaire activée thermiquement (discussion autour de TH2).	90
Figure II - 23. Variation de l'amplitude du pic de transconductance secondaire selon la tension de commande associée, V_{GS-MAX} (discussion autour de TH2).	91
Figure II - 24. Mise en évidence du phénomène de coude selon la tension V_{DS} appliquée. Ceci impliquerait l'action de la ZCE coté drain.....	92
Figure II - 25. $G_M(V_{GS})$, $I_{DS}(V_{GS})$ à 175 K (discussion autour de TH2) : tracé bleu foncé à $V_{DS} = 12$ V (pas de mécanisme de surpic), et tracé bleu clair à $V_{DS} = 8$ V (mécanisme de surpic) → visible sur les caractéristiques de sortie également (l'effet de coude activé thermiquement apparaît uniquement autour de $V_{DS} = 8$ V, et à basse température).....	93
Figure II - 26. $G_{MAX}(T^\circ)$ (cercles) et $V_{TH}(T^\circ)$ (carreaux) à plusieurs tensions V_{DS} appliquées : 4 V (bleu clair), 8 V (bleu), et 12 V (bleu foncé), pour TH2 (a), et H1 (b).	94
Figure II - 27. a) $I_{GS}(V_{GS})$ en mode diode (drain en l'air), à 125 K, pour V_{GS} croissant (de -15 V à 0 V, tracé continu), et V_{GS} décroissant (de 0 V à -15 V, tracé pointillé), dans deux situations : transistor témoin (TH2, en noir), et transistor vieilli HTOL (H1, en rouge). b) Variation en température de la tension d'inversion du courant de grille pour les mêmes deux composants : transistor témoin (TH2, en noir), et transistor vieilli HTOL (H1, en rouge).....	95
Figure II - 28. Mesures $I_{GS}(V_{GS})$ des transistors HEMT AlGaIn/GaN, filière GH25 (8 x 125 μm x 0,25 μm) : encadrement gris du décalage de la tension d'inversion du courant de grille.	96
Figure II - 29. E23 : I_{GS} - V_{GS} en fonction de température : de 80 K (bleu foncé), à 400 K (marron). Le tracé noir représente le plancher en courant de l'appareil de mesure (Agilent 4156C).	98

Figure II - 30. $I_{GS}-V_{GS}$ (à température ambiante) pour les échantillons du lot <i>E</i> (avec protection BCB) du lot <i>Femtowatt</i> .	99
Figure II - 31. Caractéristiques de sortie $I_{DS}-V_{DS}$ pour les transistors <i>Femtowatt</i> , issus des lots <i>C</i> (trait bleu) et <i>E</i> (trait rouge).	100
Figure II - 32. Caractéristiques de sortie $I_{DS}-V_{GS}$ pour les transistors <i>Femtowatt</i> , issus des lots <i>C</i> (trait bleu) et <i>E</i> (trait rouge).	101
Figure II - 33. Caractéristiques de sortie G_M-V_{GS} pour les transistors <i>Femtowatt</i> , issus des lots <i>C</i> (trait bleu) et <i>E</i> (trait rouge). Mesures réalisées à température ambiante.	102
Figure II - 34. Caractéristiques $I_{GS}-V_{GS}$ pour C16, un transistor <i>Femtowatt</i> , issu du lot <i>C</i> , avec : balayage croissant du V_{GS} (trait bleu continu) et balayage décroissant du V_{GS} (trait bleu pointillé).	103
Figure II - 35. G_M-V_{GS} à $V_{DS} = 8$ V, de 100 K (en trait bleu foncé), jusqu'à 400 K (en trait marron foncé) du transistor C16 (a), et du transistor E23 (b).	104
Figure II - 36. $G_{MAX}(T^\circ)$ (cercles) et $V_{TH}(T^\circ)$ (carreaux) à plusieurs tensions V_{DS} appliquées : 4 V (bleu clair), 8 V (bleu), et 12 V (bleu foncé), pour C16 (a), et E23 (b).	104
Figure II - 37. a) Variation en température de la tension d'inversion du courant de grille pour deux composants : E23 (transistor du lot <i>E</i> , en noir), et C16 (transistor du lot <i>C</i> , en rouge). b) $I_{GS}-V_{GS}$ pour E22 (transistor du lot <i>E</i>), à deux températures : 275 K (trait bleu), et 350 K (trait rouge).	105
Figure II - 38. Sensibilité de l' I_{GS} aux conditions expérimentales :	106
Figure II - 39. Variation $I_{GS}(V_{GS})$ pour chaque composant (TD6 – en noir pointillé, D7 en rouge, TH2 en bleu pointillé) de -15V à 2V, avec PW (largeur du pulse) = 0,5 ms, et selon différentes configurations de mesures pulsées : point de repos à -12V ou à 2V, T (périodes) à 10 ms ou 50 ms, et respectivement DC (rapports cycliques) à 5% ou 1%.	107
Figure II - 40. Évolution des courants de grille et drain en fonction du temps pour D18 : a) à $V_{GS} = 1,25$ V, $V_{DS} = 8$ V, sur 2000 s ; b) à $V_{GS} = 1,25$ V, $V_{DS} = 8$ V, sur 50 s. c) D18 : Loi logarithmique de variation du courant de drain en fonction du courant de grille à $V_{DS} = 8$ V et à V_{GS} positif.	109
Figure II - 41. Influence des variations transitoires sur les courants de grille et de drain, autour du point de repos (représenté par un cercle). Le transistor est polarisé dans la zone de saturation.	110
Figure II - 42. Localisation des charges actives, dépendantes du temps sous la grille, avec le modèle électrique équivalent : $V_{charges}(temps)$. Le générateur de tension interne ($V_{GS-interne}$) est dépendant du temps, et induit une dépendance temporelle sur I_{GS} et de I_{DS} , autour du point de repos.	111
Figure II - 43. Figure extraite de [123] : Variation du courant de drain, influant directement la puissance de sortie du dispositif, imputée à des variations de charges sous la grille de composants 2 x 75 μm (filère III-V Lab). Mesures obtenues sous application de contrainte RF à la compression.	113
Figure II - 44. Représentation des différents processus de piégeage dans la bande interdite du semiconducteur.	114

Figure II - 45. Représentation des signatures I-DLTS d'un échantillon vieilli HTOL du lot Picowatt 36/37B (D2), sous deux conditions : a) V_{GS} pulsé de -3,9 V à 0 V, et $V_{DS} = 8$ V,.....	115
Figure II - 46. a) Représentation d'un spectre de bruit et sources de bruit associées. b) Logiciel d'extraction automatique des spectres de bruit BF (développé au sein de l'équipe) avec :.....	117
Figure II - 47. a) Illustration d'une caractérisation en BBF, effectuée sans attendre le temps nécessaire pour la stabilisation du composant. b) Courant en fonction du temps, indiquant le temps nécessaire pour la stabilisation du point de repos. c) Spectre en BBF corrigé, normalisé par rapport à I_{GS} , qui montre le caractère insensible du spectre sur une variation de courant (au premier ordre).....	120
Figure II - 48. Banc de caractérisation en bruit basse fréquence côté grille, et côté drain.	121
Figure II - 49. Spectres en bruit basse fréquence de D2 (dispositif stressé HTOL), sous différentes conditions de polarisation : a) S_{IG} en fonction de la fréquence, et b) S_{IG}/I_G en fonction de la fréquence. Les couleurs claires représentent la polarisation de la diode, avec le drain en l'air, tandis que les couleurs foncées désignent la polarisation de la diode, à $V_{DS} = 0$ V. Nous avons codifié les polarisations de grille en bleu, vert, et rouge, pour $V_{GS} = -5$ V, $V_{GS} = -7$ V, et $V_{GS} = -9$ V, respectivement.	123
Figure II - 50. Spectres en bruit basse fréquence de D2 et H1 (dispositifs stressés HTOL, représentés en rouge, et bleu, respectivement), sous différentes conditions de polarisation : a) S_{ID} en fonction de la fréquence, et b) S_{ID}/I_D en fonction de la fréquence. Nous avons codifié en couleurs les polarisations du drain, allant de la plus claire, à la plus foncée, pour $V_{DS} = 4$ V, $V_{DS} = 8$ V, et $V_{DS} = 12$ V, respectivement.	124
Figure II - 51. Exemple de bruit en créneaux sur l'accès de grille de D18 (dispositif stressé HTOL pendant 105 heures [135].	125
Figure II - 52. Différents profils du bruit en créneaux sur l'accès de grille de D18 (dispositif stressé HTOL pendant 105 heures) [135].	126
Figure II - 53. Représentation du décalage temps/fréquence pour les caractérisations en BBF, les mesures électriques en I - V , les mesures des paramètres $[S]$ (plage d'investigation), et la plage de temps induite par le stress. Sur la bande en dessus se trouvent les pièges activés, associés à ces techniques de caractérisation. La mesure doit être non-invasive par rapport au stress [123].	129

Tableau II - 1. Temps d'intégrations (et fréquences de capture haute de pièges) correspondants à différentes configurations paramétriques de l'analyseur paramétrique Agilent 4156C.	78
Tableau II - 2. Résistance du canal en état passant (R_{ON}) des transistors <i>Picowatt 36/37B</i>	83
Tableau II - 3. Valeurs des tensions de seuil (V_{TH}), des courants de saturation (I_{DSS}), et des transconductances maximales (G_{M-MAX}) des transistors <i>Picowatt 36/37B</i>	85
Tableau II - 4. Tensions de seuil (V_{TH}), courants de saturation (I_{DSS}), et transconductances maximales (G_{MAX}) du transistor témoin TD6, au début, et à la fin des campagnes de mesures.	88
Tableau II - 5. Résistance du canal en état passant (R_{ON}) des transistors <i>Femtowatt</i>	101
Tableau II - 6. Tensions de seuil (V_{TH}), courants de saturation (I_{DSS}), et transconductances maximales (G_{MAX}) des transistors <i>Femtowatt</i>	102
Tableau II - 7. Paramètres principaux du dispositif sous test.	108
Tableau II - 8. Fluctuations du courant de fuite de grille de D2, à différents points de polarisation.....	123

Chapitre III : Analyse et modélisation électrique du contact Schottky de grille

3.1. Introduction

Le troisième chapitre se focalise exclusivement sur l'analyse du contact Schottky de grille. Les études actuelles s'accordent sur le fait que la technologie de grille (et sa stabilité au cours du temps) reste l'un des points-clés influant sur un grand nombre de mécanismes de défaillance, ou ayant une incidence sur les performances du dispositif. Parmi ces mécanismes nous pouvons évoquer le décalage de la tension de pincement V_{TH} , la réduction du gain de transconductance et de la densité de porteurs dans le 2DEG (*Two Dimension Electron Gas*), l'accumulation de charges sous la grille, ou entre grille et source/drain qui affecte la stabilité des performances, la linéarité, etc.

Différentes méthodes d'analyse de la hauteur de barrière Schottky de grille ont été proposées dans la littérature, et certaines approches aboutissent à des résultats plus réalistes [136], [137] sur la hauteur de barrière grâce à des fondements physiques plus rigoureux. Cela est dû à l'utilisation d'un modèle analytique plus complet, et à l'extraction thermique de ce modèle, traduisant une meilleure appréciation du comportement électrique et physique.

Ainsi, ce chapitre propose en premier lieu une description des quatre principales méthodes d'extraction de la hauteur de barrière Schottky de grille, ainsi qu'une comparaison entre ces méthodes. De cette manière, nous justifions notre choix d'exploitation d'une méthode particulière (la méthode de Werner, appliquée au modèle de Richardson selon un travail réalisé au LAAS [98], [138], et appliquée sur les deux lots de composants : *Picowatt 36/37B*, et *Femtowatt*).

Le chapitre continue avec la présentation détaillée de ce quatrième outil de diagnostic dédié à l'analyse de la hauteur de barrière Schottky (HBS). La méthode proposée est ici appliquée à l'étude de commande de grille dans les dispositifs électroniques issus des lots *Picowatt 36/37B*, et *Femtowatt*. Dans ce cas, la HBS des transistors à haute mobilité électronique (HEMT) à base de nitrure de gallium (GaN) est étudiée en termes de valeur moyenne, et d'écart-type, qui traduisent les imperfections (inhomogénéités) de la barrière. Des relations de corrélation sont établies ici entre la HBS moyenne ($\overline{\phi_B}$), et l'écart-type associé (σ_S), la méthode étant exploitée sur des composants vierges et stressés. Ces comportements mettent en évidence différents types de défauts, qui révèlent des faiblesses potentielles des composants au niveau de la commande du canal.

Ensuite, nous menons une analyse détaillée sur le courant grille, ainsi que sur ses différents contributeurs. Il est largement reconnu le lien entretenu entre la maturité

technologique des composants Nitrures et leur niveau de fuites de grille, sur des composants *normally-on*, et également *normally-off* [139]. Cette étude basée sur des mesures en température nous permet d'identifier plusieurs mécanismes de conduction de courant, qui s'activent ou pas en fonction de la température ou de l'excitation électrique appliquée sur la grille. Cette modélisation des mécanismes de conduction du courant de grille est généralisée et expliquée pour chaque type de composant vierge ou ayant subis une contrainte électrique de vieillissement.

Ce travail a été concrétisé dans un essai de modélisation physique (TCAD) du comportement de la grille effectué par Damien Saugnon durant sa thèse [117]. Le but de cette modélisation est de corroborer les hypothèses émises par notre étude électrique par une approche physique comportementale de la grille du transistor.

Finalement, l'évaluation de ces deux approches (électrique et physique) permettront de conclure sur les mécanismes de conduction du courant de grille proposés.

3.2. Modèles électriques de la Hauteur de Barrière Schottky de grille (HBS)

Le contrôle de la densité des porteurs dans le canal s'avère être problématique, d'autant plus que les contacts Schottky de grille et contacts Ohmique de source et de drain nécessitent une maîtrise rigoureuse des processus technologiques, afin d'obtenir des dispositifs fiables.

Le contact Schottky de grille est responsable de la création de la zone de charge d'espace, qui module à son tour les porteurs dans le canal du transistor, comme nous l'avons présenté en Chapitre 1. Le contact Schottky de grille a aussi le rôle de barrière pour les fuites, ce qui représente un paramètre important de fiabilité. En conséquence, un contact Schottky de mauvaise qualité affectera le fonctionnement nominal du transistor, et entraînera des mécanismes de fuites substantiels.

Différentes méthodes ont été développées afin d'investiguer le contact Schottky. Puisqu'il s'agit des diodes et surtout, des techniques d'analyse non-destructives, l'approche la plus souvent abordée consiste en l'analyse et la compréhension du comportement physique de la hauteur de barrière Schottky (HBS). Notre but est d'étudier le contact de grille, et d'avoir une évaluation précise de sa HBS.

Les contacts Schottky de nos échantillons sont formés par un empilement de trois (Ni/Pt/Au), et de deux métaux (Pt/Au) pour le lot *Picowatt 36/37B* et, respectivement, *Femtowatt*. Même si la théorie propose des valeurs entre 0,8 eV et 0,9 eV pour une telle HBS [140], elles ne sont jamais atteintes par les analyses issues des mesures [141]–[143]. Cela signifie que les valeurs mesurées comprennent non seulement la valeur de la HBS attendue, mais aussi d'autres contributeurs existants entre les contacts de grille et de source (ou de drain).

Le Tableau III - 1 montre clairement que la HBS n'est pas un paramètre absolu : nous avons accès à un ensemble très variable de HBS issues de mesures (HBS empiriques), différentes de la valeur théorique estimée dans la littérature. L'objectif de ce chapitre est de comparer les méthodes d'extraction des HBS les plus communément employées et les plus avancées, d'apporter notre propre contribution à l'analyse de la valeur précise de la HBS, et d'analyser les raisons qui expliquent la variabilité des valeurs issues de la littérature ; ces raisons peuvent tenir à un modèle (ou à une méthode d'extraction) inapproprié(e), ou encore à la présence d'éléments venant à modifier les éléments de polarisation électrique sur le trajet grille-source (influence de charges sous la grille et/ou aux interfaces sous la grille, activation de plusieurs trajets grille-source par inhomogénéités verticales ou fuites latérales).

Contact Schottky	Structure vierge			Après recuit thermique		Référence
	φ_B (eV)		n	φ_B (eV)	n	
	Tests $I(V)$	Tests $C(V)$				
Au-GaN	0,84	0,94				[144]
	0,91	1,01				[145]
	1,03	1,03				[141]
	0,87	0,98	1,04			[146]
	1,19					[147]
Cr-GaN	0,53	0,58				[141]
Ni-GaN	1,15	1,11				[141]
	0,95	1,13	1,04			[146]
	0,84 – 0,95	0,91 – 0,96	1,14			[148]
Ni-AlGaN	1,03 – 1,25	1,26 – 1,28	1,23			[148]
Pd-GaN	0,94	1,07	1,04			[146]
Pt-GaN	1,01	1,16	1,05			[146]
	1,11					[142]
Ti-GaN	0,47					[147]
	0,60 – 0,65	0,68	1,08			[148]
Ti-AlGaN	0,79 – 0,84	1,10	1,08			[148]
Ni GaN/Al _x Ga _{1-x} N		1,29				[149]
		1,41				[149]
		1,52				[149]
		1,89				[149]
		1,56				[149]
		1,83				[149]
Ni/Mo/Au sur n -GaN	0,74		1,13	0,54	1,02	[140]
Ni/Pd/Au sur n -GaN	0,78		1,14	0,78	1,14	[140]
Ni/Au sur n -GaN	0,85		1,06	0,88	1,18	[140]
Ni/Ir/Au sur n -GaN	0,77		1,20	1,05	1,13	[140]
Ni/Pt/Au sur n -GaN	0,89		1,10	1,09	1,12	[140]
Ni n -4H-SiC quasi-idéale	1,31		1,14			[96]
Ni n -4H-SiC non-idéale	1,18		1,40			[96]
Ni n -4H-SiC toutes	1,29		1,18			[96]
				0,79 – 1,74		[150]
Pt n -4H-SiC quasi-idéale	1,39		1,33			[96]
Pt n -4H-SiC non-idéale	1,30		1,48			[96]
Pt n -4H-SiC toutes	1,33		1,37			[96]
Ti n -4H-SiC quasi-idéale	0,79		1,14			[96]
Ti n -4H-SiC non-idéale	0,69		1,57			[96]
Ti n -4H-SiC toutes	0,71		1,25			[96]
Mo/Au AlGaN/GaN	1,06		1,28			[151]

Tableau III - 1. Résumé des caractéristiques des hauteurs de barrière et facteurs d'idéalité des diverses diodes Schottky de grille.

L'analyse de la valeur de la HBS est induite par une modélisation du courant de grille. Afin d'extraire les paramètres physiques des diodes (transistors) sous test, des mesures

électriques de courant en fonction de la tension appliquée sur la grille (I_{GS} - V_{GS}) sont effectuées en fonction de la température (de 100 K jusqu'à 400 K), avec le banc expérimental illustré dans la Figure III - 1. Les mesures sont menées à l'aide du Cryoprober PMV200 de SUSS Microtec (a), et de l'analyseur paramétrique Agilent 4156C (b).

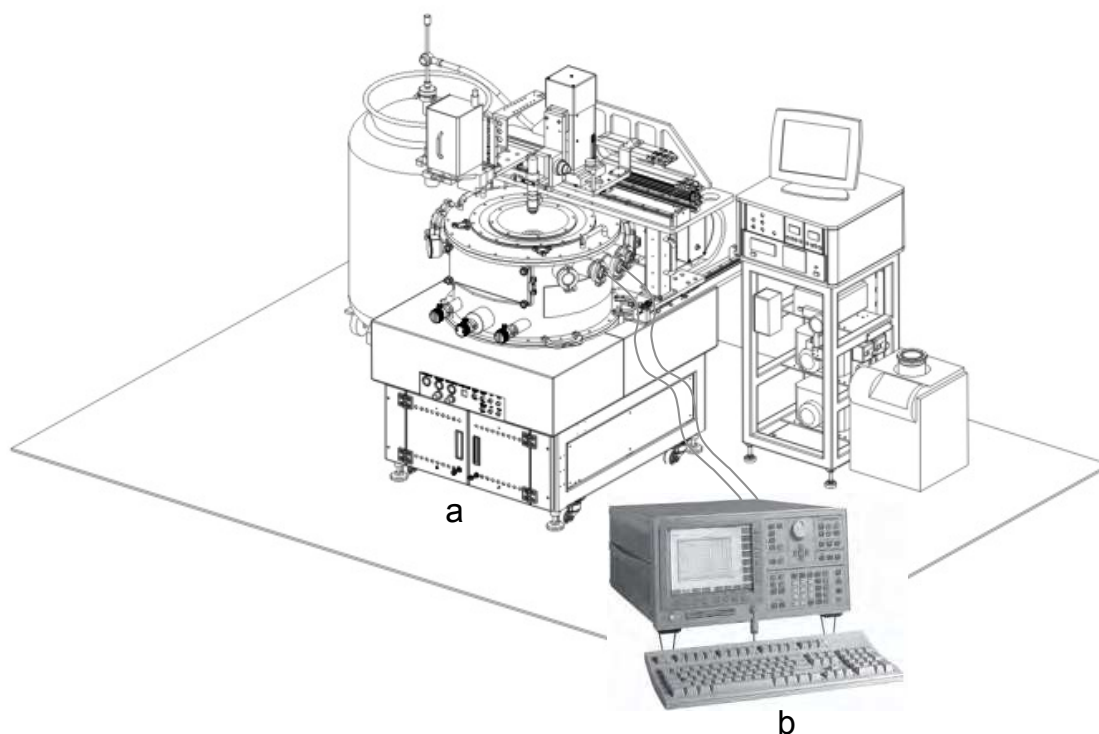


Figure III - 1 Représentation de la configuration expérimentale utilisée pour les caractérisations électrothermiques I_{GS} - V_{GS} :

- a) Cryoprober (SUSS Microtech), utilisé pour le contrôle de la température et
- b) Agilent 4156C, utilisé pour tracer les caractéristiques en courant continu.

Nous avons étudié plusieurs approches qui permettent d'accéder à la HBS, selon les modèles de Norde, celui de Tung, le modèle de Cheung, ou encore celui de Werner. Nous avons appliqué à ce dernier la méthode de Richardson comme nous le proposons par la suite. Les avantages et les inconvénients de chaque méthode sont présentés, avant de choisir celle qui sera appliquée sur les deux lots de transistors (*Picowatt 36/37B* et *Femtowatt*).

3.2.1. Modèle de Norde [152]

Dans ses travaux, Norde montre qu'il est possible d'extraire une valeur réaliste de la hauteur de barrière Schottky, qui s'affranchit d'une résistance en série quelconque, qui pourrait entraver l'évolution nominale des caractéristiques $\ln(I)$ relativement à la commande V [152]. Ainsi, il propose une fonction $F(V)$ (équation 1), calculée à partir des valeurs $I(V)$ mesurées à chaque température :

$$F(V) = \frac{V}{\gamma} - \frac{kT}{q} \cdot \ln\left(\frac{I(V)}{A \cdot A^* \cdot T^2}\right) \quad (\text{Éq. 22})$$

Cette équation permet d'obtenir un trio de valeurs minimales ($F(V_0)$, V_0 , I_0) pour chaque mesure en température :

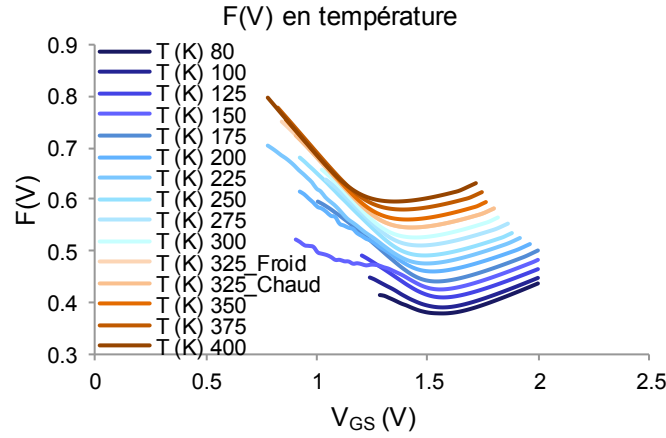


Figure III - 2. Calcul de la fonction $F(V)$ entre 80K (bleu foncé) et 400K (marron).

Le trio ($F(V_0)$, V_0 , I_0) est ensuite utilisé pour calculer la hauteur de barrière Schottky de grille et la résistance série, selon les deux formules suivantes :

$$\Phi_B = F(V_0) + \frac{V_0}{2} - \frac{kT}{q} \quad (\text{Éq. 23})$$

$$R = \frac{kT}{q \cdot I_0} \quad (\text{Éq. 24})$$

Le principal inconvénient de la méthode de Norde réside dans le fait que l'auteur considère toujours le facteur d'idéalité n unitaire, ce qui n'est pas systématiquement légitime notamment dans le cas des diodes GaN, et surtout à basse température, conformément à la discussion développée dans les paragraphes suivants.

Ensuite, l'équation 1 est très dépendante du paramètre γ : lorsque γ augmente, la hauteur de barrière Schottky obtenue diminue. Les calculs illustrés dans la Figure III - 3 sont réalisés pour $\gamma = 5$. Nous ne sommes toutefois pas allés plus avant dans la compréhension de la signification de ce paramètre.

Finalement, vu que cette méthode est destinée à trouver la valeur de la résistance série de la diode Schottky de grille, elle n'est applicable sur que les décades hautes de courant de grille. Pour les valeurs faibles, elle reste insensible à la variation de courant et n'est plus pertinente.

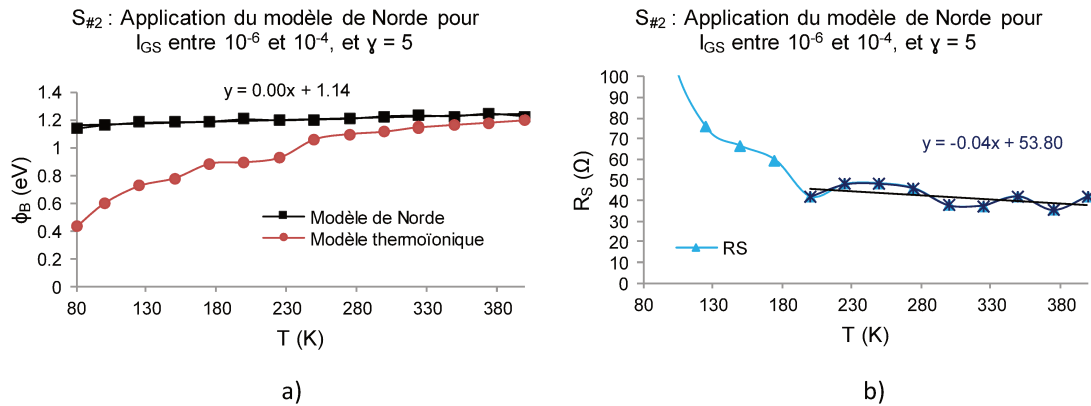


Figure III - 3. Application du modèle de Norde [152] sur $S_{\#2}$, un échantillon vieilli HTOL du lot *Picowatt 36/37B*. a) Résultats sur l'extraction de la hauteur de barrière Schottky de grille, ϕ_B ; b) Résultats sur l'extraction de la résistance série, R_S .

Contrairement au modèle thermoionique classique, l'extraction de la hauteur de barrière Schottky de grille avec la méthode de Norde (Figure III - 3a) conduit à une valeur quasi constante : entre 1,1 eV et 1,2 eV sur toute la plage de températures. Nous supposons que ce résultat est dû au fait que le facteur d'idéalité n est toujours considéré égal à l'unité.

En ce qui concerne la résistance série R_S (Figure III - 3b), nous obtenons des valeurs très élevées à basse température. Néanmoins, à partir de 200 K, cette valeur commence à se stabiliser autour de 50 Ω . Donc, nous pouvons affirmer que la résistance série est presque indépendante de la température à partir de 200 K. Quoi qu'il en soit, ce modèle n'est pas pertinent et n'a pas pu être retenu pour analyser la physique de la HBS des technologies sous test (notamment en raison du coefficient d'idéalité unitaire). Des études réalisées par Kiuru [153] permettent d'extraire les résistances série et thermique à partir de mesures thermiques et électriques I - V , et ce en considérant une valeur du coefficient d'idéalité non unitaire et variable en fonction de la température.

3.2.2. Modèle de Tung

Un autre modèle que nous avons étudié pour extraire la hauteur de barrière Schottky est le modèle de Tung. Afin d'expliquer les anomalies observées pendant les procédures expérimentales à température basse, à savoir la diminution de la hauteur de barrière Schottky et l'augmentation du facteur d'idéalité, Tung propose dans [154] son hypothèse.

Selon la théorie de Tung, le comportement anormal en température a été attribué à l'inhomogénéité de la barrière Schottky. Tung explique en détail la formation de la hauteur de barrière Schottky [155], [156], qui dépend des spécificités locales de l'interface métal-semiconducteur. Ainsi, il propose une distribution gaussienne de « patches » de taille nanométrique, avec une hauteur de barrière faible, afin de modéliser les imperfections de l'interface métal-semiconducteur.

La difficulté principale dans l'application du modèle de Tung réside dans le nombre important des paramètres inconnus. Effectivement, les « patches » de taille nanométrique invoqués peuvent disposer de formes et dimensions disparates, ce qui rend difficile une exploitation exhaustive et non spéculative du modèle. Un programme de simulation bien instruit serait nécessaire pour modéliser ces « patches », mais nous ne sommes pas allés plus loin dans la compréhension de ce modèle à cause du manque de temps. Ce modèle serait finement instruit à condition de réaliser des mesures destructives pour alimenter de manière objective ces paramètres, mais cette procédure est incompatible avec l'approche que nous souhaitons non-destructive afin de pouvoir réaliser des mesures à différents moments de stress, et sur un même composant (approche non nécessairement exploitée dans le cadre de cette étude en raison de la fourniture de lots de composants vierges et stressés par UMS).

Cependant, le résultat le plus intéressant que nous avons obtenu par l'exploitation du modèle de Tung consiste dans le traitement de la température d'anomalie. Dans de nombreuses interfaces métal-semiconducteur, il s'avère que les hauteurs de barrière Schottky et les facteurs d'idéalité extraits varient avec la température de mesure ; en traçant nT en fonction de T , nous observons un comportement linéaire avec une pente unitaire, dont l'extrapolation ne passe pas par l'origine (Figure III - 4). Cette valeur à l'origine ($T = 0$ K) notée T_0 est généralement connue sous le nom de *température d'anomalie* [157], [158].

Avec la représentation de nT en fonction de T , illustrée dans la Figure III - 4, nous arrivons à identifier une température d'anomalie d'environ 225 K pour $S_{\#2}$, un transistor vieilli du lot *Picowatt 36/37B*, sur toute la gamme de température.

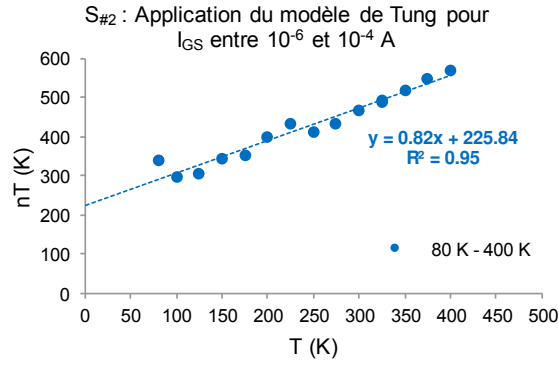


Figure III - 4. Application du modèle de Tung [154] sur l'échantillon S_{#2} vieilli HTOL du lot Picowatt 36/37B : résultats sur l'extraction de la température d'anomalie, T_0 .

3.2.3. Modèle de Cheung

Un modèle supplémentaire sur lequel nous apportons quelques précisions est le modèle de Cheung. Dans la référence [159], les auteurs montrent qu'en utilisant la caractéristique I - V de la diode Schottky polarisée en direct, une représentation $d(V)/d(\ln I)$ en fonction de I , ainsi qu'une fonction $H(I)$ en fonction d' I , tous les paramètres de la diode Schottky de grille peuvent être extraits. La fonction $H(I)$ concernée est décrite dans l'équation 2 :

$$H(I) = V - \frac{nkT}{q} \cdot \ln\left(\frac{I}{A \cdot A^* \cdot T^2}\right) \quad (\text{Éq. 25})$$

Effectivement, avec le modèle de Cheung, nous avons trouvé tous les paramètres électriques de la diode Schottky de grille : le facteur d'idéalité, n , la hauteur de barrière Schottky de grille, ϕ_B , le courant de saturation, I_0 , ainsi que la résistance série, R_S . L'inconvénient caractéristique à ce modèle consiste dans le fait qu'il ne peut s'appliquer que sur les décades hautes de courant de grille.

Cependant, à partir des paramètres extraits, nous avons effectué des retro-simulations, afin de vérifier la cohérence entre les valeurs données par le modèle de courant de grille et les caractéristiques de mesure. À courant de grille élevé (décades hautes de courant de grille), nous avons trouvé une cohérence totale entre le modèle et les mesures, tous les paramètres insérés décrivant ainsi le comportement physique de la diode.

Dans le sous-chapitre 0, nous avons parcouru le chemin inverse ; à savoir, nous avons introduit des valeurs des paramètres concernés par le modèle de Cheung, afin de l'adapter et de modéliser le comportement de la diode Schottky de grille en température, et sur une gamme de courant de grille plus étendue. Les résultats sont présentés dans la section 3.3 *Contributeurs et méthodes de commande de la diode Schottky de grille*.

3.2.4. Modèle de Werner appliqué à la méthode de Richardson

3.2.4.1. Héritage et description de la méthode

Cette méthode est basée sur une étude antérieure réalisée au laboratoire [108], [137], qui propose un outil précis pour l'extraction de la HBS seule, grâce à la quantification de l'impact des défauts sur la HBS globale. De manière identique aux outils conventionnels recensés dans ce début de chapitre, des hauteurs de barrière globales supérieures ou inférieures à la valeur théorique peuvent être obtenues.

Nous présentons le principe de cette méthode sur deux échantillons issus du lot *Picowatt 36/37B* : un transistor témoin ($V_{\#6}$), et un transistor ayant subi un stress HTOL pendant 105 heures, à 175°C, et 320°C température de jonction ($S_{\#2}$). La Figure III - 5 représente le courant de grille en fonction de la tension appliquée sur la grille de $V_{\#6}$ (Figure III - 5a), et $S_{\#2}$ (Figure III - 5b), en température (de 80 K jusqu'à 400 K, avec un pas de 25 K).

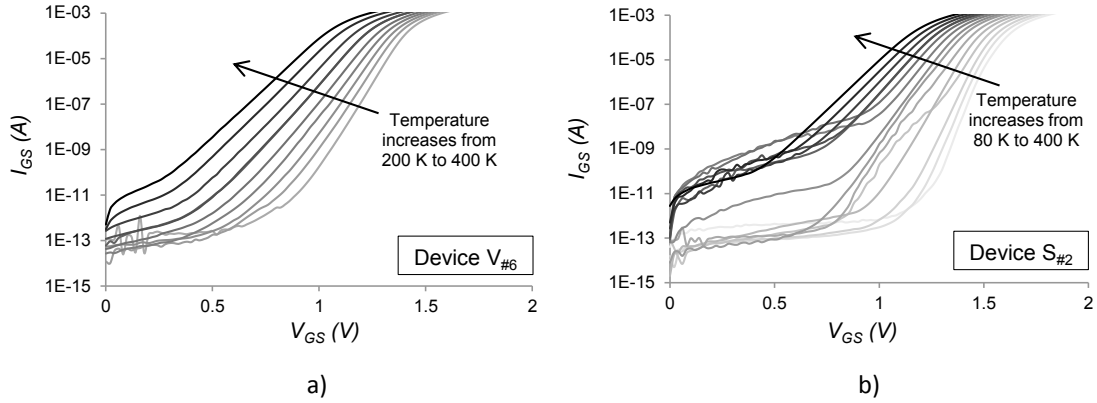


Figure III - 5. Mesures I_{GS} - V_{GS} en température, avec un pas de 25 K pour : a) $V_{\#6}$ (échantillon vierge) et b) $S_{\#2}$ (échantillon stressé). Gris clair est représenté en tant que la température la plus basse, et noir, en tant que la température la plus élevée.

La technique exploitée dans la référence [137] apporte des informations sur la HBS, ainsi que sur sa dispersion relative (inhomogénéité de la barrière). Cette technique n'est pas destructive car elle est basée sur la caractérisation électrothermique des transistors, en configuration diode (drain en circuit ouvert ou drain court-circuité), et donc sans puissance dissipée dans le 2DEG. De cette façon, de nouveaux problèmes de fiabilité peuvent être investigués grâce à l'étude sur des échantillons témoins et vieilliss.

L'approche couramment utilisée pour la modélisation du courant de grille I_{GS} fait appel aux équations thermoïniques [136], [154], [160] :

$$I_{GS} = I_S \exp\left(\frac{q \cdot V_{GS}}{n \cdot k \cdot T}\right) \quad (\text{Éq. 26})$$

$$I_S = S \cdot A^* \cdot T^2 \exp\left(\frac{-q \cdot \phi_B}{k \cdot T}\right) \quad (\text{Éq. 27})$$

$$A^* = \frac{4 \cdot \pi \cdot q \cdot m^* \cdot k^2}{h^3} \quad (\text{Éq. 28})$$

où I_{GS} est le courant de grille dans la configuration drain ouvert (ou I_{GS0}), I_S - le courant de saturation, q - la charge élémentaire ($1,6 \cdot 10^{-19}$ Coulombs), V_{GS} - la tension de grille, n - le facteur d'idéalité, k - la constante de Boltzmann ($1,38 \cdot 10^{-23} \text{ m}^2 \cdot \text{kg}/(\text{s}^2 \cdot \text{K})$), et T - la température ambiante en Kelvin. S représente l'aire du transistor ($8 \cdot 125 \mu\text{m} \cdot 0,25 \mu\text{m}$), A^* - la constante efficace de Richardson ($32 \text{ A}/(\text{cm}^2 \cdot \text{K}^2)$), ϕ_B - la valeur de la HBS, m^* - la masse effective de l'électron ($m^* = 0,266 \cdot m_0$, où m_0 est la masse élémentaire, de $9,11 \cdot 10^{-31} \text{ kg}$), et h - la constante de Planck ($6,63 \cdot 10^{-34} \text{ m}^2 \cdot \text{kg}/\text{s}$).

La méthode proposée utilise également le modèle thermoïnique, appliqué à chaque caractéristique électrothermique (entre 80 K et 400 K). Nous remarquons dans la Figure III - 5 que pour les V_{GS} faibles, le modèle thermoïnique ne traduit plus le comportement du courant, en rendant inexploitable le modèle. En outre, les valeurs du courant de grille ne sont pas systématiquement stables, et peuvent évoluer avec le temps pour les faibles tensions appliquées sur la grille de l'échantillon stressé. Il est cependant important de préciser que la contribution du plateau de courant (à faible température et faible V_{GS}) se situe au-dessus du plancher du banc expérimental utilisé pour la caractérisation électrique des dispositifs (la résolution d'Agilent 4156C est de 1 fA).

En suivant le modèle de fluctuation du potentiel de Werner et Guttler proposé dans [136], les deux décades les plus élevées d' I_{GS} se caractérisent par un facteur d'idéalité n et une HBS ϕ_B [137]. Un ensemble de HBS moyenne ($\overline{\phi_B}$), et son écart type associé (σ_S) est extrait à chaque température, en utilisant une distribution gaussienne avec un écart type, tel que détaillé dans les équations suivantes :

$$P(\phi_B) = \frac{1}{\sigma_S \sqrt{2\pi}} \exp\left(-\frac{(\overline{\phi_B} - \phi_B)^2}{2\sigma_S^2}\right) \quad (\text{Éq. 29})$$

$$\phi_B(T) = \overline{\phi_B} - \frac{\sigma_S^2}{2 \cdot k \cdot T / q} \quad (\text{Éq. 30})$$

Afin de mieux comprendre les paramètres physiques qui interviennent dans les équations ci-dessus, nous proposons la représentation simplifiée de la Figure III - 6.

Les principales limitations de ce premier modèle [137] consistent dans l'analyse d'une gamme exploitable de courant de grille réduite, et dans l'incapacité du modèle à gérer les températures basses. Notre contribution [108] se propose d'élargir le modèle à toutes les gammes admissibles de courant de grille, tant que le modèle de diode reste applicable bien sûr. Nous verrons également par la suite que nous exploitons les données de manière originale afin d'accéder à la valeur idéale de la HBS.

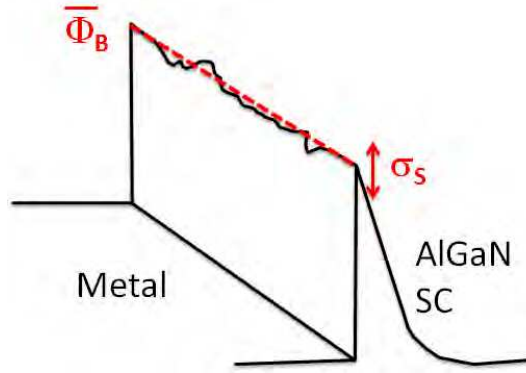


Figure III - 6. Représentation des paramètres de la méthode de Werner appliquée au modèle de Richardson telle que décrite en [137] : une valeur moyenne constante de la HBS, $\overline{\phi_B}$, et un écart type associé ($\pm\sigma_S$), c'est-à-dire une expression mathématique pour les inhomogénéités de la HBS.

Ainsi, la méthode initiale a été appliquée à une fenêtre glissante de deux décades d' I_{GS} (appelée x), sur laquelle nous extrayons systématiquement un couple de valeurs constitué d'un facteur d'idéalité (n_x), et d'une HBS (ϕ_{Bx}). La gamme de température a également été élargie : un ensemble de couples ($\overline{\phi_{Bx}}$, σ_{Sx}) est ainsi extrait à chaque température, et à chaque fenêtre glissante de deux décades d' I_{GS} . Nous verrons par la suite que deux plages de température (T° basse et T° élevée) peuvent être distinguées dans cette étude.

3.2.4.2. Robustesse du modèle de Werner appliqué à la méthode de Richardson

Pour valider la robustesse de notre outil d'extraction, un test est effectué en injectant deux valeurs différentes de A^* , d'environ $\pm 30\%$ autour de la valeur théorique : une valeur inférieure, de $20 \text{ A}/(\text{cm}^2 \cdot \text{K}^2)$, et une valeur supérieure, de $40 \text{ A}/(\text{cm}^2 \cdot \text{K}^2)$, à la valeur théorique bien connue de $32 \text{ A}/(\text{cm}^2 \cdot \text{K}^2)$. Les valeurs obtenues délimitent l'incertitude associée à la méthode, dans une analyse de type pire cas.

Le Tableau III - 2 montre une comparaison entre les résultats obtenus sur le dispositif non-fuiteux, pour trois valeurs de A^* , pour un courant de grille variant entre 10^{-9} A et 10^{-7} A . Les résultats mettent en évidence la précision du modèle Richardson-Werner, et la robustesse de notre technique ; les valeurs extraites de A^* ($19,1 \text{ A}/(\text{cm}^2 \cdot \text{K}^2)$, $31,3 \text{ A}/(\text{cm}^2 \cdot \text{K}^2)$ et $39,4 \text{ A}/(\text{cm}^2 \cdot \text{K}^2)$) sont en accord avec les valeurs injectées ($20 \text{ A}/(\text{cm}^2 \cdot \text{K}^2)$, $32 \text{ A}/(\text{cm}^2 \cdot \text{K}^2)$ et $40 \text{ A}/(\text{cm}^2 \cdot \text{K}^2)$). Par conséquent, indépendamment de la valeur initiale injectée sur A^* , la hauteur moyenne de la barrière et la déviation standard ne sont pas affectées par la connaissance préalable de la constante de Richardson dans notre méthode d'analyse de la

HBS. Le seul paramètre modifié est la masse effective, ce qui est évident en raison de la dépendance induite sur A^* (équation 5).

Par conséquent, on peut conclure que la méthode proposée pour extraire la HBS, ainsi que sa déviation standard sont robustes par rapport aux conditions initiales injectées.

Paramètres électriques	$A^* = 20 \text{ A}/(\text{cm}^2 \cdot \text{K}^2)$	$A^* = 32 \text{ A}/(\text{cm}^2 \cdot \text{K}^2)$ (18% Al)	$A^* = 40 \text{ A}/(\text{cm}^2 \cdot \text{K}^2)$
$\bar{\phi}_B$ (eV)	1,14	1,17	1,18
σ_s (meV)	114	116	117
A^* ($\text{A}/(\text{cm}^2 \cdot \text{K}^2)$)	19,1	31,3	39,4
Erreur relative ΔA^* (%)	-4,5	-2,2	-1,5
m^* (kg)	$0,16 \cdot m_0$	$0,26 \cdot m_0$	$0,33 \cdot m_0$
Erreur relative Δm^* (%)	-4,2	-2,0	-1,1

Tableau III - 2. Paramètres physiques et électriques des dispositifs non-fuiteaux, extraits sur trois valeurs différentes injectées sur A^* ($A^* = 20 \text{ A}/(\text{cm}^2 \cdot \text{K}^2)$, $A^* = 32 \text{ A}/(\text{cm}^2 \cdot \text{K}^2)$ et $A^* = 40 \text{ A}/(\text{cm}^2 \cdot \text{K}^2)$).

De cette manière, tous les comportements spécifiques liés à la sensibilité expérimentale et à la robustesse de la méthode sont déjà été étudiés et toutes les mesures traitées par la suite dans ce chapitre sont exploitables et fiables [161].

3.2.4.3. Application au lot de transistors Picowatt 36/37B. Analyse électrique et résultats

Dans le modèle précédent de [137], seules les plages de température plus élevées (au-delà de 200 K), et les décades de courants plus élevées ont été considérées, puisque le facteur d'idéalité n peut être largement surestimé pour une formulation du modèle thermoïnique à basse température et/ou à faible niveau de courant de grille. Nous traiterons dans la suite du chapitre de l'interprétation des modèles expliquant les comportements '*parasites*' précédemment identifiés à bas niveau I_{GS} et à basse température. Pour notre étude principale de la HBS, toutes les températures sont considérées et analysées sur chaque ensemble de deux décades de courant de fuite I_{GS} (compte tenu des contributions possibles de l'effet tunnel assisté par des pièges, des phénomènes d'ionisation par impact, etc.). La Figure III - 7 montre les HBS extraites en température pour $V_{\#6}$ (Figure III - 7a) et pour $S_{\#2}$ (Figure III - 7b).

Nous pouvons distinguer sur chaque composant deux tendances linéaires séparées par un point d'inflexion : ce point d'inflexion de température est identifié pour chaque dispositif, à environ 325 K pour $V_{\#6}$, et 225 K pour $S_{\#2}$. Pour le dispositif vierge, une inversion de la pente est également révélée à des températures plus élevées, alors que seule la valeur de la pente

change pour le dispositif stressé, $S_{\#2}$. Dans la suite, ces deux plages de température identifiées ci-dessus sont considérées : la plage de température basse est identifiée dans les figures suivantes par T° basse, et plage de température élevée par T° élevée.

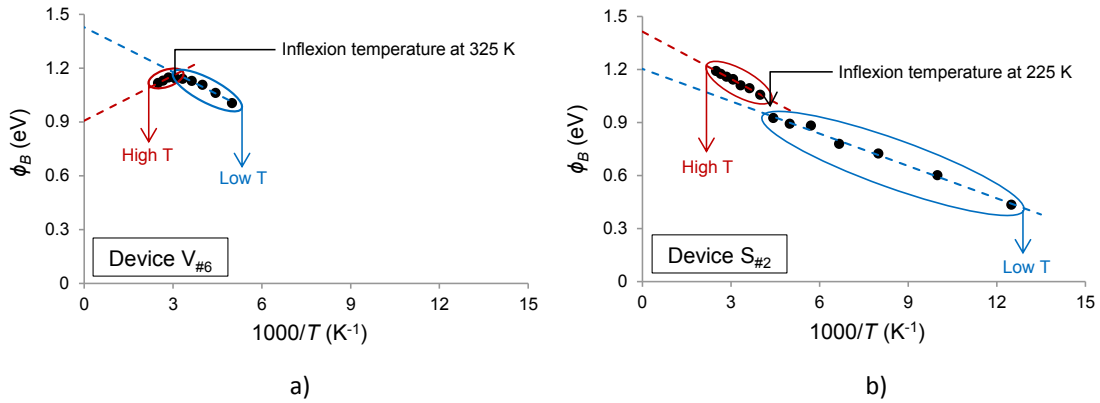


Figure III - 7. Extraction des HBS à chaque température (80 K - 400 K) pour : a) dispositif vierge V_{#6} et b) dispositif stressé HTOL S_{#2}, sur une plage de courant de grille de deux décades, entre 10⁻⁶ A et 10⁻⁴ A. Les plages de température basse et haute sont délimitées.

De plus, il est remarquable de constater que la température d'inflexion du composant S_{#2} correspond à la température d'anomalie extraite de la Figure III - 4 grâce à l'exploitation de la méthode de Tung. En conséquence, nous arrivons à identifier une température critique (d'anomalie) avec ces deux outils d'investigation distincts ; notre méthode délimite deux gammes thermiques distinctes, et avec des tendances variables d'un composant à un autre. Si nous reviendrons ultérieurement sur ces changements de pentes, leurs sens de variations restent encore à être étudié d'un point de vue physique.

À partir de cette étude systématique par rapport à la gamme x de courant de grille analysée, nous remarquons que les données $(\overline{\phi_{Bx}}, \sigma_{sx})$ évoluent largement en dehors de l'intervalle de confiance associé à la méthode tel que présenté dans le Tableau III - 2 : les HBS moyennes se situent entre 0,9 eV et 1,5 eV (Figure III - 8).

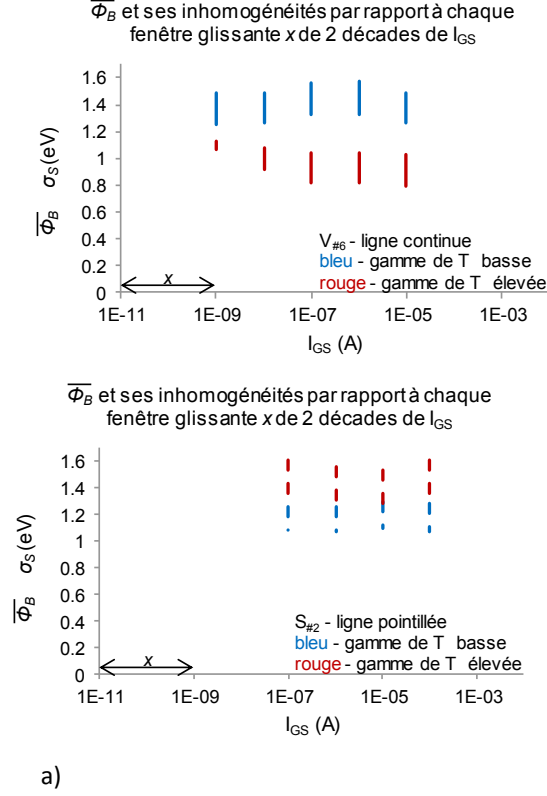


Figure III - 8. Variation des HBS, avec les inhomogénéités, à chaque fenêtre glissante x de deux décades d' I_{GS} , dans les gammes de températures basses (en bleu), et élevées (en rouge), pour : a) dispositif vierge $V_{\#6}$ (en ligne continue), et b) dispositif stressé HTOL $S_{\#2}$ (en ligne pointillée).

Ces variations sont au-delà de la précision d'extraction associée à la méthode (décrite dans le paragraphe 3.2.4.3) : les calculs montrent moins de 7% variation du $\overline{\phi_{Bx}}$ pour une modification de plus de 50% sur les conditions initiales insérées pour la constante efficace de Richardson, A^* , ainsi que pour la masse effective, m^* [161]. Par conséquent, l'ensemble $(\overline{\phi_{Bx}}, \sigma_{Sx})$ peut être considéré en tant que valeur spécifique de la hauteur de barrière moyenne et de son inhomogénéité associée à l'intervalle x de courant de grille concerné. Ces valeurs largement dispersives sont différentes des valeurs théoriques attendues : environ 0,9 eV pour un empilement de métaux Ni/Pt/Au [103].

La procédure a été tout d'abord appliquée à des températures basses, sur toutes les plages de courant de grille éligibles. Nous avons obtenu des variations de la HBS inhomogène incluses dans l'intervalle de confiance associé à la précision de la méthode de Werner et Guttler ($\sim 7\%$, représentées en bleu dans la Figure III - 8). Néanmoins, l'analyse à des températures élevées apporte des informations supplémentaires sur la HBS : les valeurs sont largement plus dispersives, en dehors de l'intervalle de confiance associé à cette méthode (représentées en rouge dans la Figure III - 8). En conséquence, il est désormais nécessaire de comprendre le sens physique associé à ces variations de couples de données $(\overline{\phi_{Bx}}, \sigma_{Sx})$.

Partant du fait que σ_s traduit le caractère non-homogène de la barrière de potentiel, nous avons reporté les valeurs moyennes de barrière extraites $\overline{\phi_{Bx}}$, relativement à ce paramètre σ_{sx} pour toutes les fenêtres glissantes x de deux décades d' I_{GS} (Figure III - 9).

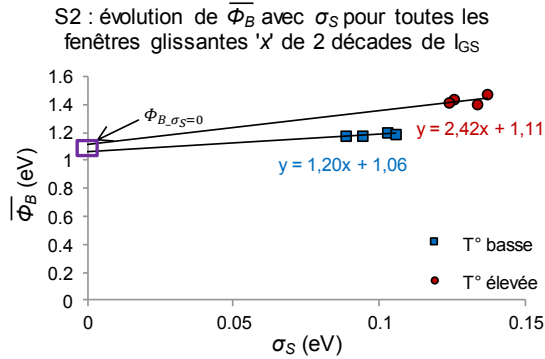


Figure III - 9. Variations de $\overline{\phi_B}$ par rapport à σ_s à plusieurs fenêtres glissantes x de deux décades d' I_{GS} , pour le composant S#2 (échantillon vieilli HTOL). Les carrés bleus représentent les ensembles $(\overline{\phi_{Bx}}, \sigma_{sx})$ à des températures basses, et les cercles rouges, les ensembles $(\overline{\phi_{Bx}}, \sigma_{sx})$ à des températures élevées.

L'interprétation originale qui en résulte [108] tient au caractère linéaire entretenu par l'ensemble des données. Il est alors possible d'extrapoler la régression linéaire obtenue, et de considérer que l'intersection pour $\sigma_{sx} = 0$ correspond à la hauteur de barrière sans variation, donc sans défaut associé. Ainsi, la variation de la HBS moyenne par rapport à l'écart type (inhomogénéité) peut être interprétée en tant que sensibilité de la HBS idéale aux défauts d'interface métal-semiconducteur. Dans le cas illustré en Figure III - 9, il est également remarquable de constater que, en dépit de valeurs et de variations distinctes $(\overline{\phi_{Bx}}, \sigma_{sx})$ pour chaque gamme de température basse et élevée, l'extrapolation à $\sigma_{sx} = 0$ coïncide avec une valeur de 1,1 eV. Si cette valeur est toujours supérieure à la valeur théorique, elle reste la valeur la plus proche et la plus fiable de par son mode d'extraction (modèle valide pour un ensemble large de gamme de courant I_{GS} et sur une grande plage thermique) relativement aux autres méthodes employées. De plus, son application à de nombreux composants fait apparaître d'autres comportements originaux.

Ainsi, l'extrapolation de l'axe des abscisses à $\sigma_s = 0$ représente la valeur du $\phi_{B, \sigma_s=0}$ de la diode Schottky idéale, sans défauts, c'est-à-dire la HBS théorique et homogène attendue. Si nous appliquons cette méthode par exemple au composant témoin (vierge, V#6), nous voyons apparaître sur la Figure III - 10 deux tendances très variables sur les basses et hautes températures.

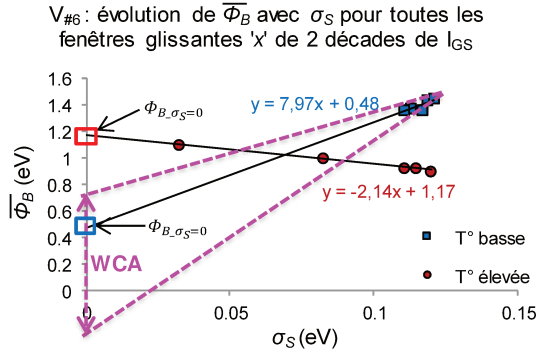


Figure III - 10. Variations de $\overline{\phi_B}$ par rapport à σ_S à plusieurs fenêtres glissantes x de deux décades d' I_{GS} , pour le composant $V_{\#6}$ (échantillon vierge). Les carrés bleus représentent les ensembles $(\overline{\phi_{Bx}}, \sigma_{Sx})$ à des températures basses, et les cercles rouges, les ensembles $(\overline{\phi_{Bx}}, \sigma_{Sx})$ à des températures élevées.

À haute température, une valeur extrapolée du $\phi_{B,\sigma_S=0}$ égale à 1,17 eV reste cohérente avec la valeur extraite sur le composant stressé $S_{\#2}$. Cependant, le lot de valeurs très regroupé obtenue à basse température ne permet pas une extrapolation linéaire interprétable ; une analyse de type pire cas (*WCA, Worst Case Analysis*) donne toutefois un intervalle d'interprétation de $\phi_{B,\sigma_S=0}$ compris entre 0 eV (les valeurs négatives étant éliminées de l'analyse) et 0,7 eV.

À basse température, un mécanisme secondaire semble venir perturber le comportement classique observé et discuté précédemment. Certains cas d'étude sont précisés dans les paragraphes suivants.

Les résultats des Figure III - 9 et Figure III - 10 présentent les ensembles $(\overline{\phi_{Bx}}, \sigma_{Sx})$, sur les plages de température basse et élevée, pour le composant stressé HTOL (Figure III - 9), et pour le dispositif témoin (Figure III - 10). Nous arrivons à extraire des tendances linéaires pour chaque transistor, sur chaque plage de température spécifiée :

- transistor vieilli HTOL $S_{\#2}$: les deux plages de température donnent des régressions de même tendance, et aboutissent à la même valeur de hauteur de barrière extrapolée $\phi_{B,\sigma_S=0}$. Les tendances de pente sont cohérentes avec celles observées en Figure III - 7b.
- transistor témoin $V_{\#6}$: deux tendances linéaires distinctes sont identifiées dans les plages de température basse et élevée (Figure III - 10), qui peuvent être corrélées au comportement révélé dans la Figure III - 7a (point d'inflexion et changement de pente). Seule la gamme de température haute donne une valeur $\phi_{B,\sigma_S=0}$ cohérente avec celles extraites sur le composant vieilli.

3.2.4.3.1. Picowatt 36/37B : Interprétation des résultats [162]

Grâce à cette méthode et à ce mode de représentation originaux, nous pouvons accéder à la valeur quasi idéale de la HBS. Elle devient idéale lorsque la tension externe appliquée au dispositif concerne exclusivement les éléments électriques du modèle (résistances, diode, mais pas de générateur interne dépendant de la tension externe comme nous allons le voir par la suite), et sous l'hypothèse d'un potentiel de surface proche de zéro à l'interface semiconducteur-métal de la barrière. L'extrapolation de $\overline{\phi_B}$ à $\sigma_s = 0$ est ainsi interprétée en tant que hauteur de barrière homogène, sans défaut.

Cette analyse est valable tant qu'un seul type de défaut participe à l'inhomogénéité de la barrière principale, comme pressenti pour le dispositif stressé $S_{\#2}$. Dans son cas, la valeur de la HBS obtenue est autour de 1,1 eV pour chaque gamme de température (Figure III - 9), c'est-à-dire les défauts tendraient à augmenter la hauteur de barrière principale.

Les valeurs idéales de $\overline{\phi_B}$ à $\sigma_s = 0$ relevées pour $S_{\#2}$ aux températures basses et élevées coïncident avec celles issues de l'analyse de $V_{\#6}$ à température élevée. Néanmoins, ces valeurs sont légèrement supérieures à la valeur théorique d'un contact Schottky de type Ni/Pt/Au (0,9 eV [140]). Toutefois, il faut tenir compte du fait que dans les technologies nitrure la présence d'une grande densité de charges aux différentes interfaces sous la grille ou encore dans les espaces grille-source ou grille-drain pourrait affecter le potentiel interne du composant. Si ces charges n'évoluent pas avec la tension V_{GS} , alors seul le courant de saturation est affecté, et pas la hauteur de barrière.

Des simulations physiques exploitées dans ces travaux [163] ont montré que ces charges dépendent notamment du champ externe appliqué, et affectent de fait l'extraction de la HBS. Ceci pourrait expliquer l'augmentation à 1,15 eV du $\overline{\phi_B}$ (moyenne sur cinq dispositifs testés). Un seul composant ($S_{\#1}$) parmi les six testés sur ce lot aboutit à un $\overline{\phi_B}$ unique (0,8 eV), toujours relevé à zéro défaut sur toute la gamme de température (100 K - 400 K). Cette valeur est effectivement très proche de la valeur théorique d'un contact Schottky en Ni/Pt/Au [140]. Nous concluons donc que ce transistor particulier n'est *a priori* pas aussi sensible à la présence des charges aux interfaces que les autres échantillons du lot. Cette affirmation est renforcée par le décalage moins important de la tension V_{GS-inv} , (aux alentours de -0,45 V), contrairement à ce qu'on a vu sur les autres dispositifs de la filière dans le Chapitre II (variations aux alentours de -2 V).

L'analyse du dispositif vierge $V_{\#6}$ aboutit pour sa part à deux valeurs de HBS différentes : une HBS est relevée à 1,1 eV sur la gamme de température élevée (pareillement à la valeur relevée pour $S_{\#2}$), et une autre HBS de 0,5 eV est obtenue sur la gamme de température basse (toujours à $\sigma_s = 0$), avec une très forte incertitude comme justifié précédemment (points très regroupés, avec une faible variabilité de σ_s). L'analyse pire cas (WCA, Figure III - 10) situe l'intervalle de confiance associé à cette valeur de la HBS idéale entre 0 eV et 0,7 eV.

Les deux tendances différentes relevées sur la Figure III - 10 semblent révéler au moins deux origines distinctes contribuant à l'inhomogénéité de la diode Schottky principale ; or, dès lors qu'un autre type de défaut est activé (soit au minimum 3 diodes en parallèles), des effets contraires peuvent venir perturber l'interprétation linéaire précédente. La hauteur de barrière extrapolée se rapprochera de la hauteur de barrière la plus basse parmi les diodes mises en concurrence. C'est ce qui semble apparaître à basse température avec une valeur moyenne extraite en deçà de la valeur théorique (0,5 eV) : le comportement s'apparente à la présence d'une autre hauteur de barrière inférieure à celle de la diode principale et uniquement sensible (activée) sur les températures basses. Cette valeur de HBS pour le transistor vierge serait attribuée à un contact Schottky en Ni, Pt ou à l'empilement des métaux Ni/Pt [103], [140].

De plus, le comportement relevé pour les températures basses et élevées sur le dispositif vierge est consolidé par le changement de pente sur la Figure III - 7a : deux pentes distinctes sont identifiées. Ceci traduit bien des dépendances thermiques distinctes relativement au(x) défaut(s) activé(s) et relevés en Figure III - 10. En outre, la température d'inflexion de la Figure III - 7a discrimine deux comportements de ces diodes : ϕ_B augmente avec la température (et diminue avec $1000/T$) pour la diode à 0,5 eV, tandis que ϕ_B diminue avec la température (et augmente avec $1000/T$) pour la diode principale.

L'interprétation qui pourrait expliquer ce comportement est la suivante : à haute température, les défauts ont tendance à abaisser la hauteur de barrière du composant témoin non soumis au stress (ϕ_B diminue lorsque σ_S augmente). La barrière principale (celle de la diode Schottky attendue) est ainsi obtenue à $\sigma_S = 0$. Néanmoins, les défauts ne sont pas les mêmes que ceux identifiés sur le composant vieilli, pour lequel les défauts augmentent la hauteur de barrière. À basse température, la valeur à $\sigma_S = 0$ correspond à une hauteur de barrière plus faible que celle escomptée, ce qui traduit une hauteur de barrière énergétique plus faible. En conséquence, la nature des défauts peut abaisser ou augmenter la hauteur de barrière.

L'analyse effectuée sur les autres composants vient corroborer les hypothèses émises précédemment entre composants vieillis et composants témoins ; les deux échantillons vierges révèlent un comportement identique, avec exactement les mêmes valeurs de $\overline{\phi_B}$ à $\sigma_S = 0$ (pas d'inhomogénéité), à température basse et élevée.

D'autre part, un des dispositifs stressés $S_{\#19}$ fournit une valeur anormale de ϕ_B idéale à basse température : 0,1 eV (Figure III - 11). Ceci pourrait renforcer l'hypothèse de la présence d'un défaut de type court-circuit (très localisé) entre le contact de grille et la couche de passivation au niveau du pied de grille (contournement de la diode Schottky principale pour les faibles valeurs d' I_{GS} , corroboré et détaillé par un modèle électrique). Il est important de noter que cette valeur de 0,1 eV est appréciée uniquement par l'extrapolation de $\overline{\phi_B}$ à $\sigma_S = 0$, et ne relève pas d'une mesure directe : le défaut est donc identifié sur une gamme de

température donnée, même s'il n'est pas directement visible sur chacune des valeurs individuelles (par exemple, sur la gamme de courant x).

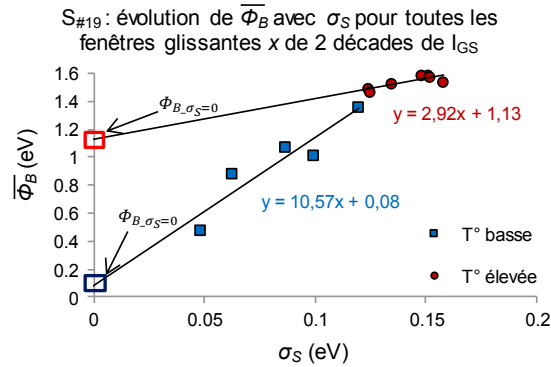


Figure III - 11. Variations de $\overline{\phi_B}$ par rapport à σ_S à plusieurs fenêtres glissantes x de deux décades d' I_{GS} , pour : S_{#19} (échantillon vieilli HTOL). Les carrés bleus représentent les ensembles $(\overline{\phi_{Bx}}, \sigma_{Sx})$ à des températures basses, et les cercles rouges, les ensembles $(\overline{\phi_{Bx}}, \sigma_{Sx})$ à des températures élevées.

3.2.4.3.2. Picowatt 36/37B : validation des hypothèses par des analyses destructives [116]

À la demande de la DGA, certains échantillons ont été soumis à des tests d'analyse destructive afin de corroborer (ou d'infirmer) nos hypothèses. SERMA Technologies a ainsi étudié le contact de grille d'un autre lot de dispositifs issus du même procédé technologique, en utilisant le microscope à transmission électronique (*TEM – Transmission Electron Microscope*). La préparation des échantillons a consisté en l'élimination du métal de grille jusqu'à l'interface semi-conducteur. De cette façon, la société a réussi à identifier des défauts comme des lacunes dans la structure cristalline du transistor, sous le contact de grille (Figure III - 12). Leurs résultats peuvent être corrélés avec notre travail, puisque nous avons également réussi à identifier des défauts ou des inhomogénéités de la barrière Schottky, qui peuvent augmenter ou diminuer la HBS idéale, selon la nature du défaut.

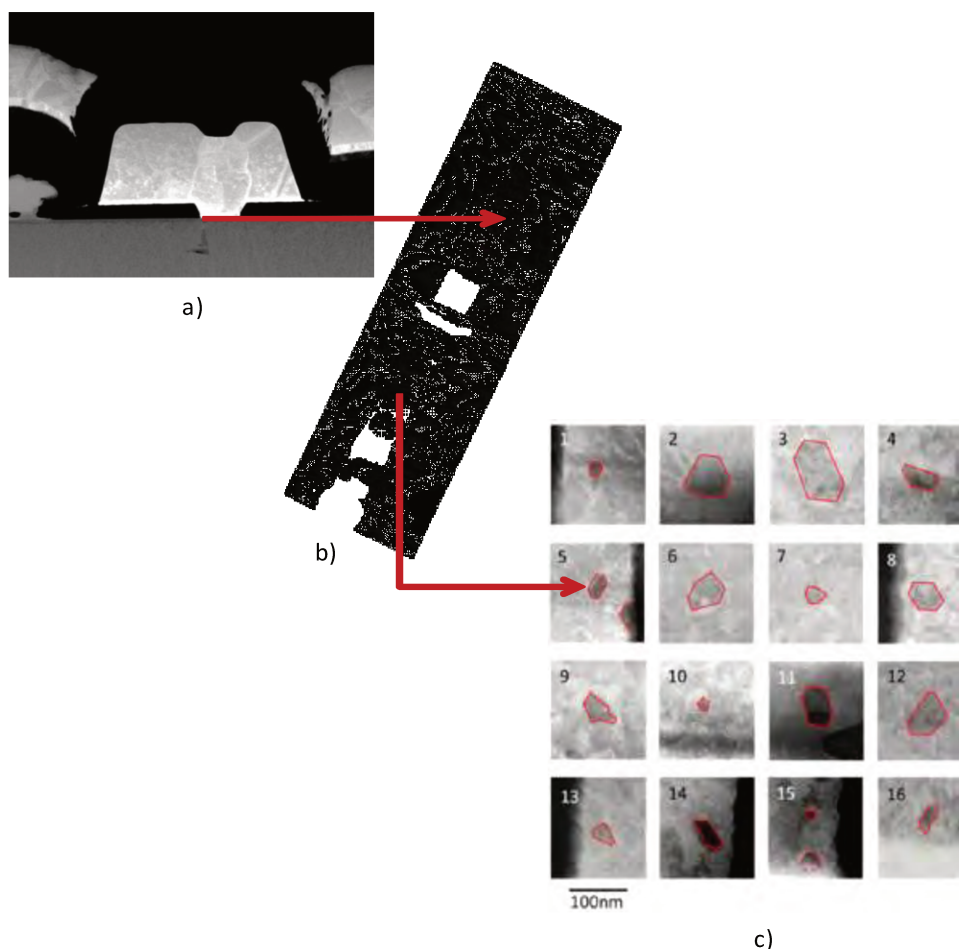


Figure III - 12. Lamelle TEM du pied de grille réalisée par SERMA : a) vue de coupe avant élimination de la grille, puis b) vues de dessus d'un doigt de grille, avec c) zoom sur les défauts. Identification des défauts (lacunes) sous la grille.

En outre, des mesures EDX (*Energy Dispersive X-Ray* → *Spectroscopy*) ont été effectuées sur des transistors du même processus technologique. Cette investigation a mis en évidence la présence de l'or (Au) à l'interface, entre la métallisation Ni/Pt de grille, et la couche de diélectrique à base de SiN (Figure III - 13a). D'autres travaux ont aussi mis en évidence la présence de l'or, apparaissant près du bord du pied de grille [164]. Ces résultats pourraient expliquer une très faible valeur énergétique de barrière sur une petite surface active latérale à la diode Schottky.

L'analyse TEM effectuée au Lawrence Berkeley National Laboratory (coupe verticale) sur une version technologique GaN distincte a également montré le profil de l'or près du pied de grille d'un GaN HEMT (Figure III - 13b). Ceci est cohérent avec nos analyses : reste à déterminer le mode d'activation d'un tel défaut. Si cette coulée d'or ne justifie pas l'annulation de la hauteur de barrière (le travail de sortie de l'or reste compris entre 5,10 eV et 5,47 eV), sa présence sur la zone latérale du composant pourrait donner lieu à un second chemin de conduction qui s'affranchirait de la hauteur de barrière (comportement à tendance équivalente, puisque jamais la valeur de 0,1 eV n'est expérimentalement atteinte !). Ceci

expliquerait de plus le fait que ce 'défaut' n'est exploité qu'au travers des gammes de courants de fuites les plus faibles (i.e. ne répondant plus nécessairement au modèle principal classique thermoïonique).

La présence de l'or près du bord du pied de grille provoquerait une équivalence à une annulation locale de la HBS, en agissant comme un court-circuit sur une petite surface de la zone de contrôle. Cependant, les études TEM et EDX ne mentionnent aucun impact sur la HBS, alors que l'outil non-invasif de notre travail permet de déterminer la contribution pondérée et avérée (mesurée) d'un tel défaut, sans abîmer le dispositif pendant la procédure expérimentale.

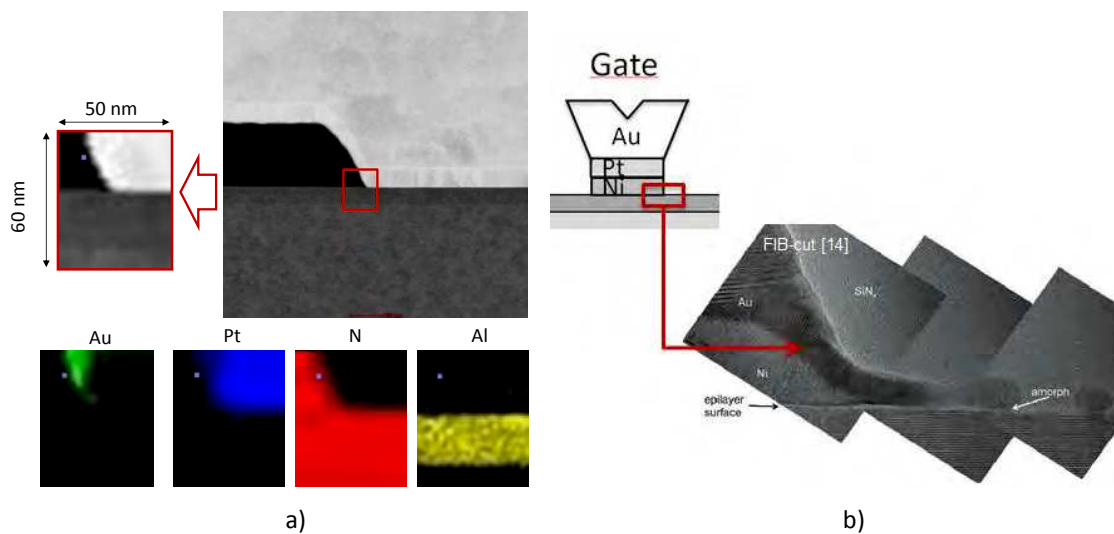


Figure III - 13. a) Maillage EDX réalisés par SERMA, confirmant la présence de l'Au à l'interface métallisation de grille en Ni/Pt, et la passivation à base de SiN (grille côté gauche).

b) Lamelle TEM du bord du pied de grille, réalisée au Lawrence Berkeley National Laboratory : identification de la présence de l'or près du pied de grille [164].

D'autres échantillons stressés, issus de la même recette technologique (Figure III - 14) ont affiché le même comportement. Ainsi, la valeur à 0 eV de la HBS du défaut identifié n'est pas un cas isolé dans notre travail (2 à 3 occurrences sur 6 dispositifs testés).

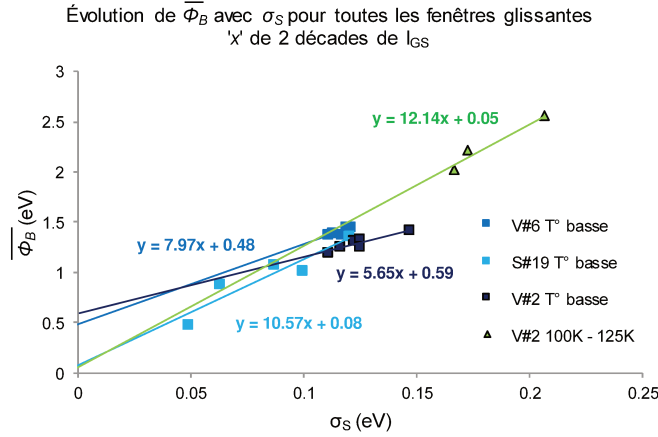


Figure III - 14. Variations de $\overline{\phi_B}$ par rapport à σ_S à plusieurs fenêtres glissantes x de deux décades d' I_{GS} , et à basse température pour : $V_{\#2}$ (échantillon vierge, en noir et en vert), $V_{\#6}$ (échantillon vierge, en bleu foncé), et $S_{\#19}$ (échantillon vieilli HTOL, en bleu clair).

Sur la gamme des températures hautes, une valeur unique de HBS $\overline{\phi_B}$ (1 eV $\pm$ 0,1 eV) à $\sigma_S = 0$ est extraite, avec des nuances de dispersion de HBS entre composants vierges (diminution de HBS effective) et vieillis (augmentation de HBS effective) (Figure III - 15).

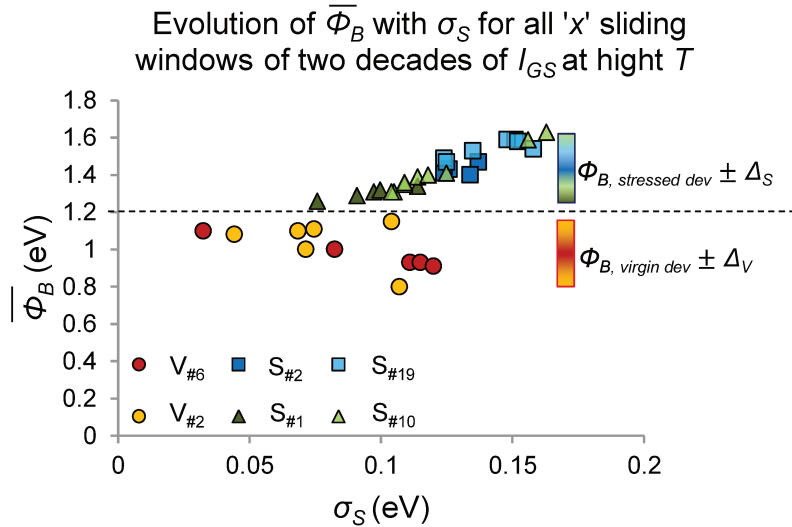


Figure III - 15. Variations de $\overline{\phi_B}$ par rapport à σ_S à température élevée, et plusieurs gammes x de courant de grille, pour tous les dispositifs : $V_{\#i}$ (échantillon témoin i , représenté par des cercles), et $S_{\#j}$ (échantillon stressé HTOL j , représenté par des carrés ou triangles).

Dans la gamme de température plus basse, certains dispositifs présentent une même extrapolation de $\overline{\phi_B}$ à $\sigma_S = 0$ vers 1 eV, tandis que deux transistors donnent une extrapolation autour de 0 eV.

Ce modèle de diode Schottky, relativement aux modèles discutés en début de chapitre, nous permet de disposer des valeurs de HBS les plus proches de la théorie, et permet d'apprécier de nombreux phénomènes parasites. Ces défauts pourraient par ailleurs être

appliqués à des modèles électriques non linéaires, en considérant l'évolution de la HBS (ou l'évolution du V_{BI} dans les modèles électriques standards), avant et après l'application d'une contrainte (Figure III - 15). Par exemple, dans la Figure III - 15, les dispositifs témoins, ainsi que les dispositifs ayant subi une contrainte HTOL présentent des valeurs différentes de la HBS moyenne (0,98 eV et respectivement 1,45 eV), avec presque le même écart type (0,18 eV). Par conséquent, ces écarts types pourraient être instruits dans les modèles pour apprécier leur impact sur la sensibilité d'un circuit au stress.

3.2.4.4. Application sur le lot de transistors Femtowatt. Analyse électrique

Nous traitons maintenant des dispositifs relatifs au lot *Femtowatt_SPLIT LRE 43* avec ou sans protection BCB. Comme spécifié dans le Chapitre II, pour ce lot nous ne disposons que d'échantillons vierges. En conséquence, nous ne pouvons pas apprécier l'évolution de la signature initiale du dispositif sous contrainte. Cela nous permet toutefois de juger de l'état électrique des dispositifs en fin de process, et de comparer des variantes technologiques.

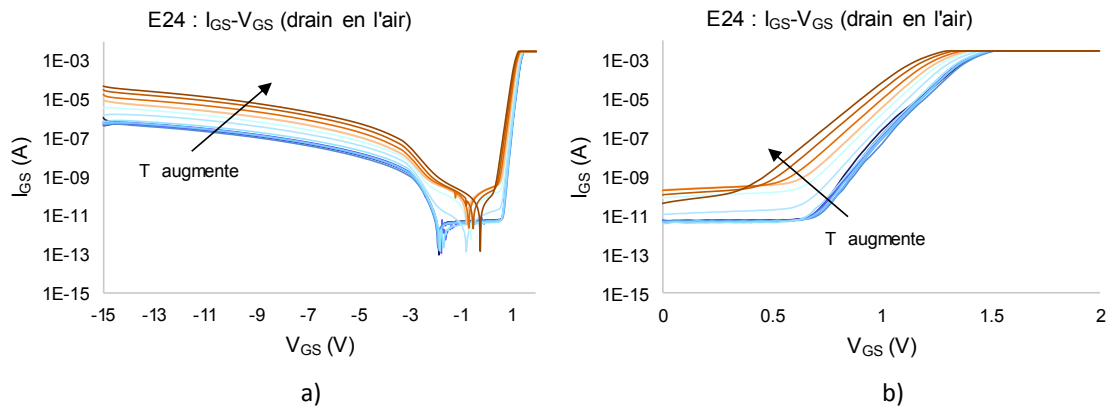


Figure III - 16. Mesures $I_{GS}-V_{GS}$ en température, avec un pas de 25 K pour E24 (échantillon du lot *Femtowatt_SPLIT LRE 43*, avec protection BCB) : a) V_{GS} entre -15 V et 2 V, b) V_{GS} entre 0 V et 2 V. La température varie entre 80 K (température la plus basse, en bleu foncé) et 400 K (température la plus élevée, en marron foncé). Nota : utilisation d'un balayage V_{GS} croissant, temps d'intégration moyen (20 ms), avec Agilent 4156C.

La Figure III - 16 est représentative du comportement de tous les transistors *Femtowatt*, à l'exception du dispositif C17 qui a été étiqueté en tant que dispositif défectueux. Pour tous les autres transistors, les courbes $I_{GS}-V_{GS}$ sont quasiment invariables sur la gamme de température de 80 K jusqu'à environ 250 K (du bleu foncé, vers bleu clair). Un premier mécanisme de conduction de courant est alors identifié jusqu'à 250 K. Dans cette gamme de température, nous identifions aussi le plateau résistif de courant discuté dans le Chapitre II. Ce dernier est remarquable pour de très faibles valeurs de courant de fuites de la diode à faible tension de grille. Les deux mécanismes de conduction, activés plutôt à basse

température, induisent un décalage du point d'inversion du courant de grille vers des tensions négatives : idéalement situé à 0 V, il est déplacé vers -2 V.

Ce comportement traduirait l'effet d'un défaut sous la grille (charges, pièges, etc.), conformément aux discussions du Chapitre II. Ces défauts agiraient en tant que générateur supplémentaire de tension, positive ou négative, qui viendrait dépolariser la grille interne du transistor (commande de la zone de charge d'espace). En conséquence, l'inversion de courant, idéalement localisée à 0 V, est déplacée vers des tensions positives ou négatives, en fonction de la nature des défauts, de leur localisation et de la valeur du champ externe appliqué (V_{GS} , voire V_{DS} en mode transistor).

Ensuite, nous identifions un autre mécanisme de conduction autour de la tension d'inversion à température plus élevée (à environ 275 K, d'orange clair vers marron foncé). Ce processus prend le dessus sur tous les autres mécanismes considérés auparavant, puisque son niveau de courant est aussi beaucoup plus élevé par rapport aux autres. De plus, sa contribution amène progressivement le point d'inversion du courant de grille vers 0 V, et est visible aussi en polarisation directe de la diode (Figure III - 16b). Dans cette zone, ce deuxième mécanisme de conduction déclenche une augmentation du plancher de courant d'environ deux décades (de 10^{-11} A à 10^{-9} A).

En ce qui concerne C17 (Figure III - 17), il n'a été fonctionnel qu'entre 100 K et 275 K (courbes bleutées). Cet échantillon ne voit que l'action du mécanisme identifié à température élevée sur les autres dispositifs : toutes les autres contributions sont masquées, et l'inversion du courant de grille est bien figée à 0 V. Dans cette gamme de température, nous n'arrivons à appliquer le modèle de diode que sur les décades hautes de courant de grille. À partir de 275K, une rupture dans les caractéristiques électriques apparaît. Après la campagne thermique dans le Cryoprobe, et suite à des mesures de reprise à l'ambiante, le dispositif n'est plus opérationnel. Un défaut soudain est survenu lors des phases de caractérisations thermiques.

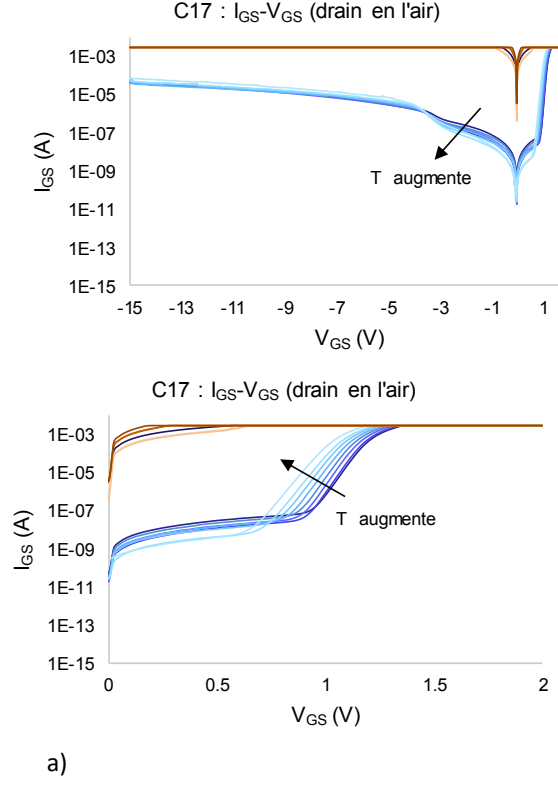


Figure III - 17. Mesures I_{GS} - V_{GS} en température, avec un pas de 25 K pour C17 (échantillon du lot *Femtowatt_SPLIT LRE 43*) : a) V_{GS} entre -15 V et 2 V, b) V_{GS} entre 0 V et 2 V. La température varie entre 80 K (température la plus basse, en bleu foncé) et 400 K (température la plus élevée, en marron foncé).

Pour tous les autres transistors du lot *Femtowatt*, nous avons appliqué notre outil d'extraction de la HBS idéale sur deux gammes de température : température basse (de 80 K à 250 K), et température élevée (de 250 K à 400 K). Les résultats sont présentés dans la suite.

3.2.4.4.1. *Femtowatt* : Résultats et interprétation

Nous appliquons maintenant l'outil d'extraction de la HBS décrit dans la référence [108]. Les ensembles $(\overline{\phi_{Bx}}, \sigma_{sx})$ sont représentés en traçant $\overline{\phi_{Bx}}$ par rapport au σ_{sx} pour toutes les fenêtres glissantes x de deux décades d' I_{GS} (Figure III - 18 a et b). De cette manière, la variation de la HBS moyenne par rapport à l'écart type (inhomogénéité) peut être interprétée en tant que sensibilité de la HBS idéale aux défauts d'interface métal-semiconducteur. L'extrapolation de $\overline{\phi_B}$ à $\sigma_s = 0$ est toujours interprétée en tant que hauteur de barrière homogène 'idéale' (i.e. sans défaut).

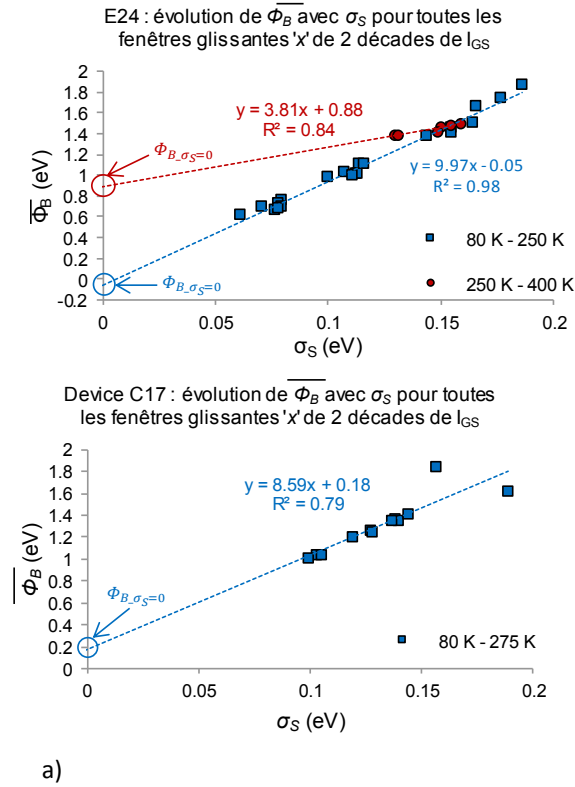


Figure III - 18. Variations de $\overline{\phi_B}$ par rapport à σ_S à plusieurs fenêtres glissantes x de deux décades d' I_{GS} , pour : a) E24 (échantillon du lot *Femtowatt_SPLIT LRE 43*, avec protection BCB), et b) C17 (échantillon du lot *Femtowatt_SPLIT LRE 43*). Les carrés bleus représentent les ensembles $(\overline{\phi_{Bx}}, \sigma_{Sx})$ à des températures basses, et les cercles rouges, les ensembles $(\overline{\phi_{Bx}}, \sigma_{Sx})$ à des températures élevées.

Les résultats de la Figure III - 18 présentent les ensembles $(\overline{\phi_{Bx}}, \sigma_{Sx})$, sur les plages de température basse (entre 80 K et 250 K) et élevée (entre 250 K et 400 K), pour un composant *Femtowatt* avec protection BCB (Figure III - 18a), et pour le dispositif *Femtowatt* sans la couche de protection BCB (Figure III - 18b), respectivement. Identiquement aux transistors *Picowatt*, nous arrivons à identifier des tendances linéaires pour chaque transistor, à chaque plage de température spécifiée :

- **À température basse** (entre 80 K et 250 K), l'extrapolation de $\overline{\phi_B}$ à $\sigma_S = 0$ (donc, la HBS idéale, sans défauts) détermine une valeur proche de 0 eV pour la HBS : 0 eV pour E24 (Figure III - 18a), et 0,18 eV pour C17 (Figure III - 18b). Donc, la hauteur de barrière concernée n'est pas celle de la HBS de grille, mais celle associée à un défaut.
- **À température élevée** (entre 250 K et 400 K), en extrapolant $\overline{\phi_B}$ à $\sigma_S = 0$, une valeur proche de la valeur théorique est obtenue pour la HBS : 0,88 eV pour E24 (Figure III - 18a). Nous n'avons pas pu appliquer l'outil d'extraction de la HBS sur C17 à température élevée puisque le modèle de diode n'est pas applicable dans cette gamme-là (dispositif fonctionnel entre 80 K et 275 K). Néanmoins, étant donné le fait que les points obtenus à température élevée sont assez regroupés

(par exemple, les cercles rouges de la Figure III - 18a), la tendance de la HBS idéale obtenue à 0,84 eV est purement indicative.

Cette approche a été appliquée sur tous les dispositifs du lot *Femtowatt_SPLIT LRE 43*, avec (transistors de type E), ou sans protection BCB (dispositifs de type C). Les résultats sont détaillés dans le Tableau III - 3 :

Nom du transistor	Extrapolation de $\overline{\phi_B}$ à $\sigma_s = 0$	
	T° basse (80 K – 250 K)	T° élevée (250 K – 400 K)
C15	0,18	0,78
C16	0,23	0,93
C17	0,18	<i>transistor dégradé</i>
C18	0,23	0,75
C19	-0,04	0,75
E21	0,04	<i>transistor dégradé</i>
E22	0	1,18
E23	-0,31	0,99
E24	-0,05	0,88

Tableau III - 3. Extrapolation de $\overline{\phi_B}$ à $\sigma_s = 0$ eV pour toutes les représentations de $\overline{\phi_B}$ par rapport à σ_s à plusieurs fenêtres glissantes x de deux décades de I_{GS} . Application sur les dispositifs du lot *Femtowatt_SPLIT LRE 43*, avec (transistors de type E), ou sans protection BCB (dispositifs de type C).

À basse température, tous les transistors du lot *Femtowatt* donnent la même valeur extrapolée des couples $(\overline{\phi_{Bx}}, \sigma_{sx})$ à $\sigma_s = 0$: aux alentours de 0 eV. Cette hauteur de barrière n'est bien sûr pas relative à la HBS de grille, mais plutôt à celle d'un défaut qui masque la contribution principale de la diode Schottky concernée (une résistance par exemple).

À température élevée, la hauteur de barrière de la diode Schottky de grille est bien identifiée : l'extrapolation de $\overline{\phi_B}$ à $\sigma_s = 0$ nous permet d'accéder à des valeurs comprises entre 0,75 eV et 1,18 eV pour la HBS sans défaut. Ces valeurs sont plus proches de la valeur théorique de la HBS idéale (aux alentours de 0,9 eV [140]), par rapport aux évaluations issues de l'analyse sur des dispositifs *Picowatt 36/37B*. Nous pouvons donc supposer qu'à température élevée, les échantillons *Femtowatt* sont moins sensibles à l'action des charges ou à d'autres défauts sous la grille par rapport aux échantillons *Picowatt 36/37B*.

Nous avons effectué le même exercice pour les échantillons *Femtowatt* que celui illustré dans la Figure III - 15 pour les transistors *Picowatt 36/37B*, à savoir, le résumé de toutes les variations de $\overline{\phi_B}$ par rapport à σ_s , en fonction de la gamme x de courant de grille analysée, et aussi de la température. Les résultats sont recensés dans la Figure III - 19 :

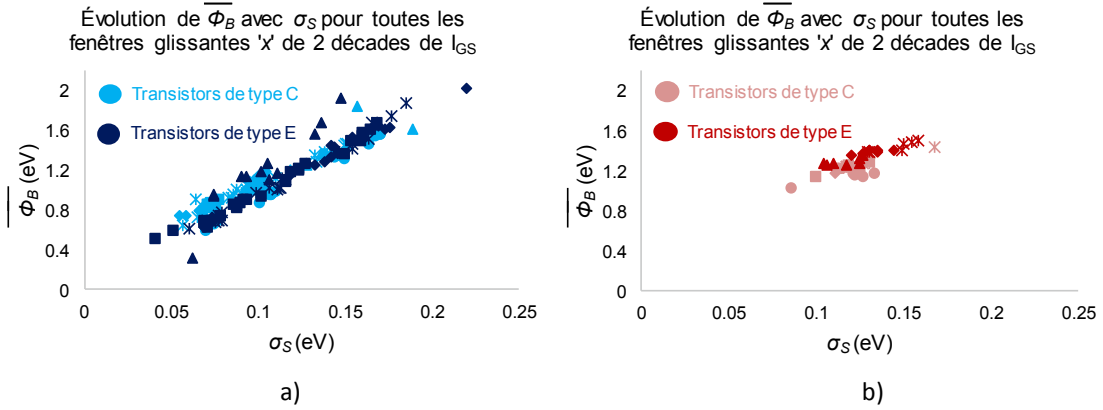


Figure III - 19. Variations de $\overline{\phi_B}$ par rapport à σ_s à température basse (a, en bleu) et élevée (b, en rouge), et sur plusieurs gammes x de courant de grille, pour tous les dispositifs *Femtowatt*. Les échantillons de type C sont représentés en couleurs claires (bleu et rouge claires), et les échantillons de type E, en couleurs foncés (bleu et rouge foncés).

Que ce soit à température basse ou élevée, des comportements similaires sont identifiés pour les dispositifs des deux lots, avec des pentes légèrement différentes : les défauts ou les inhomogénéités de la HBS (traduits par le paramètre σ_s) contribuent à l'augmentation de $\overline{\phi_B}$ (Figure III - 19). Les valeurs de $\overline{\phi_B}$ à température élevée (entre 250 K et 400 K) sont assez regroupées, et donc l'incertitude associée à l'extrapolation de $\overline{\phi_B}$ à $\sigma_s = 0$ est importante ($\pm 30\%$ en analyse pire cas), ce qui pose des difficultés d'interprétation ; par la suite, nous exploiterons donc les comportements moyens des dispositifs, en tant qu'indicateur (avec l'incertitude associée) de $\overline{\phi_B}$ à température élevée.

Par conséquent, nous pouvons affirmer qu'à température élevée nos analyses portent sur l'étude de la hauteur de barrière Schottky de grille, puisque sa contribution sur le courant total de grille est la plus importante. Cependant, à température basse, il existe des contributeurs concurrentiels, qui peuvent éventuellement masquer l'influence de la diode Schottky de grille (conformément à l'application de notre outil d'investigation de la HBS à basse température, lorsque l'extrapolation de $\overline{\phi_B}$ à $\sigma_s = 0$ donne une valeur aux alentours de 0 eV, c'est-à-dire, la manifestation d'un défaut sans hauteur de barrière de potentiel).

Finalement, en marge de l'analyse pure de la barrière de potentiel, nous avons également identifié sur un ensemble de composants un plateau de courant sensiblement supérieur à la sensibilité de mesure de l'appareil utilisé (Agilent 4156C) ; en exploitant spécifiquement cette zone électrique représentée en Figure III - 20, nous identifions également sur ces lots un caractère résistif de valeur de résistance comprise entre $10^9 \Omega$ et $10^{13} \Omega$.

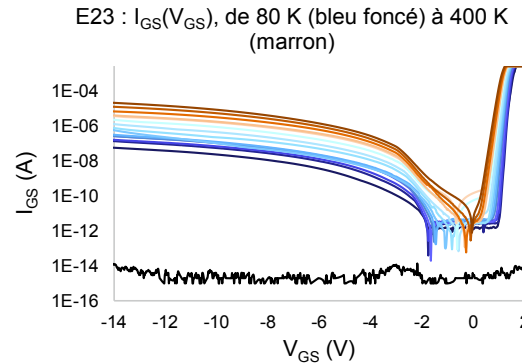


Figure III - 20. E23 : I_{GS} - V_{GS} en fonction de température : de 80 K (bleu foncé), à 400 K (marron). Le tracé noir représente le plancher en courant de l'appareil de mesure (Agilent 4156C).

3.2.4.4.2. Femtowatt : Corroboration avec des analyses destructives [116]

Suite à la demande de la DGA, nous avons choisi trois composants afin de réaliser des tests destructifs supplémentaires. Les analyses TEM (*Transmission Electron Microscopy*) fournissent des informations quant à des défauts structurels dans les transistors. Ce type d'investigation a eu une contribution considérable en ce qui concerne la compréhension des imperfections dans les structures à base de GaN [165]. Les études suivantes sur des STEM HAADF (*Scanning Transmission Electron Microscopy High Angle Annular Dark Field*), et des lamelles TEM ont été initiées et suivies par la DGA.

Les dispositifs retenus pour ces tests sont les suivants :

1. **E23** → composant atypique du lot *Femtowatt* (avec protection BCB au-dessus de la puce, Figure III - 21a) ;
2. **E21** → composant du lot *Femtowatt* (avec protection BCB au-dessus de la puce), qui s'est dégradé après le passage en température (Figure III - 21b). Entre 80 K et 200 K, les mesures de courant étaient conformes aux caractéristiques d'avant le passage en température. À partir de 225 K, les caractéristiques étaient sur la limitation de courant.
3. **C17** → composant du *Femtowatt* (sans LRE), qui s'est dégradé après le passage en température (Figure III - 21c). À 80 K, les caractéristiques étaient déjà sur la limitation de courant. Entre 100 K et 275 K, les mesures de courant étaient conformes aux caractéristiques d'avant le passage en température. À partir de 300 K, les caractéristiques étaient encore sur la limitation de courant.

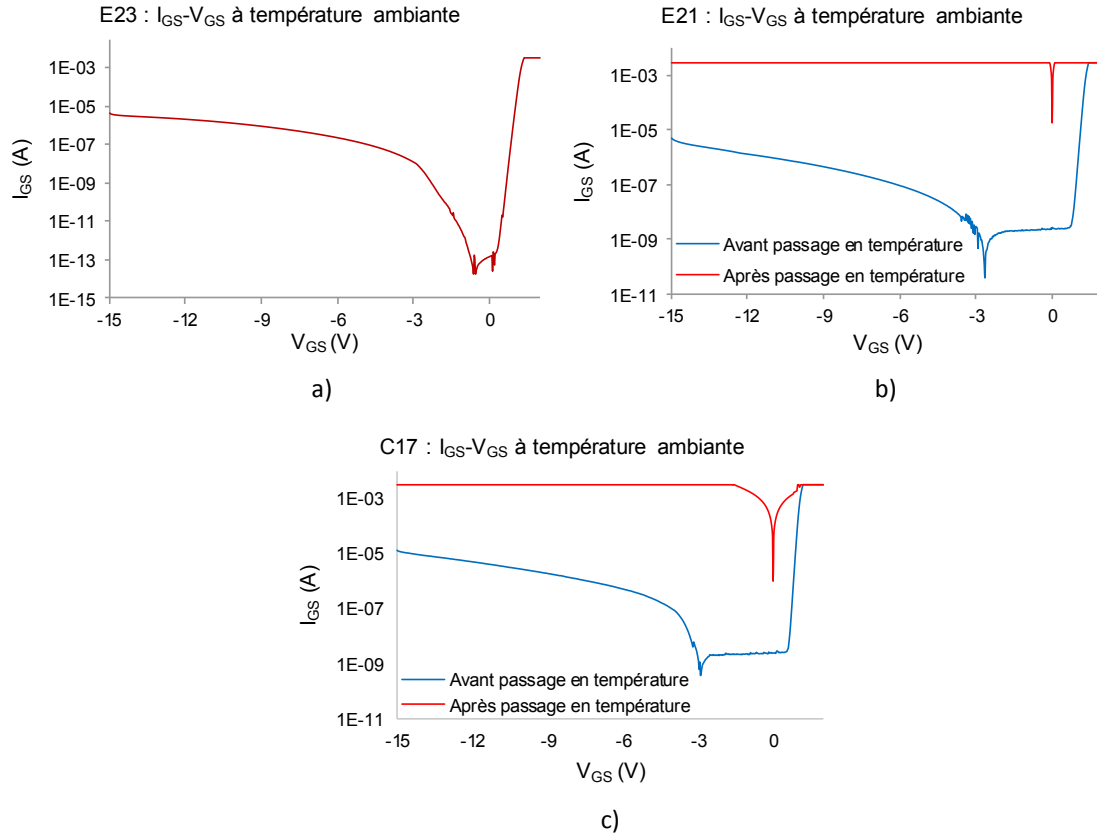


Figure III - 21. I_{GS} - V_{GS} en connexion diode, avant (le tracé bleu) et après (le tracé rouge) passage en température pour :

- a) E23 (Femtowatt, avec protection BCB au-dessus de la puce) ;
- a) E21 (Femtowatt, avec protection BCB au-dessus de la puce) ;
- b) C17 (Femtowatt, sans protection BCB au-dessus de la puce).

Les dispositifs E23 et E21 seront ensuite soumis à des coupes TEM. C17 présente une pollution importante (CuO) sur toute la surface de la puce, probablement due au capot mal scellé. L'origine de cette pollution est inconnue, et les résultats ne sont pas pertinents (interprétables) du point de vue du retour technologique. La DGA n'est pas allée plus loin dans l'analyse.

L'imagerie STEM-HAADF est appropriée lorsqu'il s'agit d'une caractérisation précise des interfaces : entre GaN, AlGaN, la couche de passivation à base de SiN, ou encore la métallisation du contact Schottky de grille. Une coupe FIB (*Focused Ion Beam*) dans la région de grille permet d'avoir accès à l'empilement des métaux de grille.

Dans le cas d'E23, un contraste fort a été identifié entre les couches (Figure III - 22 a et b). Les domaines contrastés peuvent être localisés à l'interface, entre la couche de passivation SiN et la couche AlGaN. Cette couche supplémentaire est constituée d'atomes de Ga, Al et O, et est considérée comme résistive. Cette observation est cohérente avec le comportement résistif identifié à faible I_{GS} , et discuté en détail dans la Chapitre II, paragraphes 2.3.2.1.1.2 et 2.3.2.2.1.1.

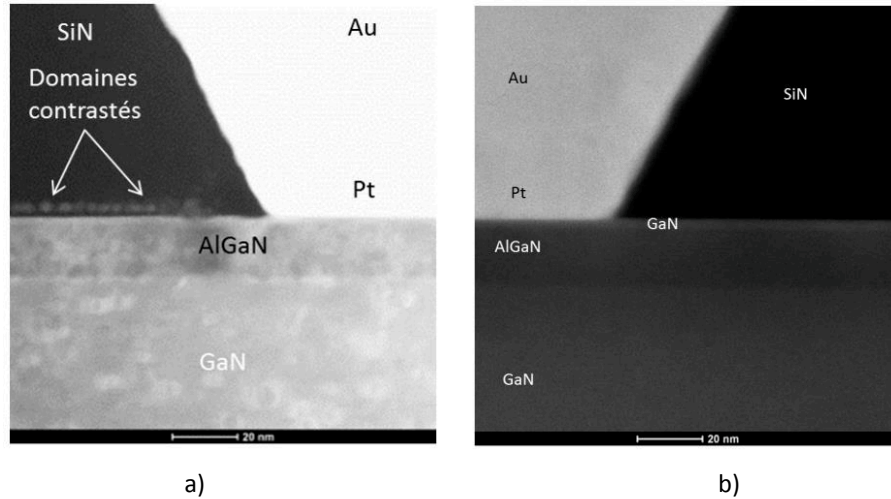


Figure III - 22. Images STEM-HAADF (coupe FIB) : a) au bord de la grille (entre grille et source), et b) sous la grille. [116]

3.3. Contributeurs et méthodes de commande de la diode Schottky de grille

Afin de disposer d'un modèle unifié de commande de la diode Schottky de grille, nous avons analysé toutes les caractéristiques $I_{GS}(V_{GS})$ en température, en polarisation diode seule (drain en circuit ouvert, et source à la masse). En disposant des paramètres électriques extraits à partir du modèle de Cheung (le facteur d'idéalité, n , la hauteur de barrière Schottky de grille, ϕ_B , le courant de saturation, I_0 , ainsi que la résistance série, R_S), nous avons réinséré ces valeurs dans les équations thermoïoniques pour vérifier si nous arrivons à bien modéliser la variation du courant de grille en fonction de la tension de polarisation, à chaque température.

Comme expliqué dans le paragraphe 3.2.3, le modèle de Cheung n'arrive à traduire que les décades hautes de courant de grille. En conséquence, un modèle particulier sera proposé pour les valeurs intermédiaires et basses de courant (incluant aussi le plateau de courant de grille), afin de couvrir toutes les caractéristiques $I_{GS}(V_{GS})$ en température.

3.3.1. Illustration du principe sur le lot *Picowatt 36/37B*

Plusieurs composants du lot ont été soumis à cette étude pour illustrer le principe de base de la méthode, et pour extraire un modèle unifié de la diode Schottky. Nous présentons les résultats sur deux transistors : un transistor vierge (TH2), et un transistor vieilli HTOL (D2).

Pour ces échantillons, d'une à quatre contributions indépendantes sur le courant total de grille sont proposées pour modéliser la commande en fonction de la polarisation et de la température.

3.3.1.1. TH2 : modélisation du courant de grille en polarisation directe de la diode

Nous illustrons dans la Figure III - 23a des tracés $I_{GS}(V_{GS})$ du TH2, en température : à 100 K (en bleu foncé), à 225 K (en bleu clair), à 275 K (en orange), et à 400 K (en rouge). Le zoom effectué dans la Figure III - 23b entre -4 V et 1,5 V permet de distinguer des effets distincts de commande du courant de grille, en fonction de la température :

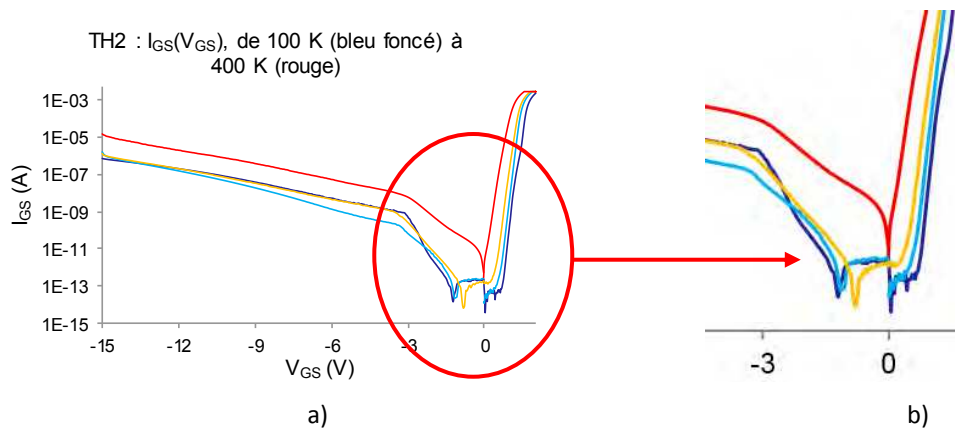


Figure III - 23. a) $I_{GS}-V_{GS}$ en fonction de température : 100 K (bleu foncé), 225 K (bleu clair), 275 K (orange), et 400 K (rouge). b) Zoom sur la Figure III - 23a, entre -4 V et 1,5 V.

- **Entre 100 K et 225 K** (bleu foncé) : l'ensemble des caractéristiques $I_{GS}-V_{GS}$ du courant de grille reste quasiment constant, le point d'inversion étant très décalé vers des tensions de grille négatives (par rapport à idéalement 0 V). Le plateau de courant de grille dans cette zone est très prononcé (en s'étalant entre -1,5 V et 0,7 V), et dépendent de la condition de mesure (variation de niveau du courant d'environ une décade entre la mesure en V_{GS} directe (de -15 V à 2 V), et inverse (de 2 V à -15 V) ;

- **Entre 225 K et 250 K** (bleu clair) : le profil du courant de grille est toujours constant, mais inférieur à celui discuté auparavant vers les tensions de grille négatives. Le point d'inversion commence à s'approcher de 0 V, et le plateau de courant de grille n'apparaît que sur une plage de -1,2 V et 0,4 V ;
- Finalement, **à partir de 275 K** : le courant de grille augmente avec la température, le point d'inversion de courant s'approche de plus en plus de 0 V (cas idéal), et le plateau de courant est de moins en moins visible, en étant masqué par ce dernier mécanisme de conduction évoqué, dont la contribution est dominante.

En ce qui concerne la modélisation de la commande de grille, elle est réalisée uniquement en polarisation directe de la diode, conformément à la zone électrique exploitée lors de l'analyse de la diode Schottky. Les caractéristiques $I_{GS}(V_{GS})$ du dispositif sont présentées dans la Figure III - 24a.

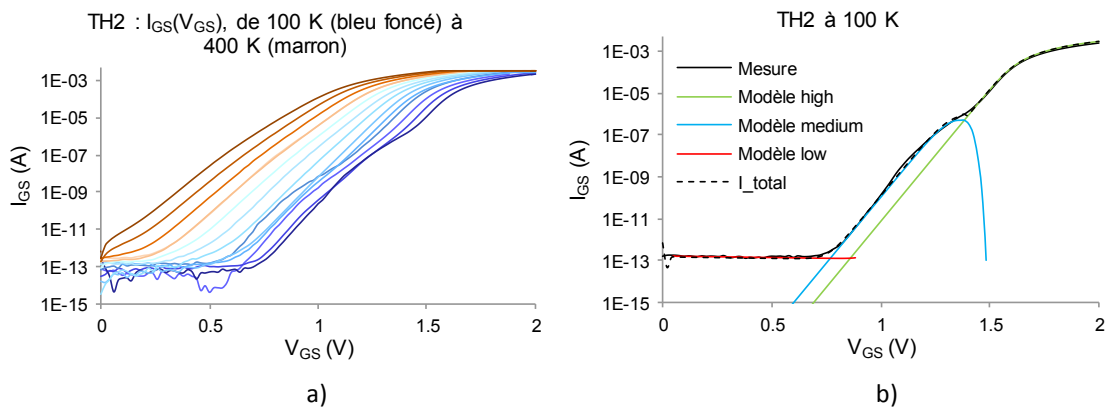


Figure III - 24. a) $I_{GS}(V_{GS})$ en fonction de température, et en polarisation directe : de 100 K (bleu foncé), à 400 K (marron). b) Modélisation de la mesure $I_{GS}(V_{GS})$ à 100 K (tracé noir) avec trois contributeurs de courant : *modèle high* (en vert), *modèle medium* (en bleu), et *modèle low* (en rouge).

Nous avons proposé un modèle pour chaque zone de courant de fuite de grille afin d'arriver à modéliser toute la caractéristique $I_{GS}(V_{GS})$ du TH2 (en noir dans la Figure III - 24b) :

- **Modèle high** : il représente le modèle à fort niveau de courant (en vert dans la Figure III - 24b). Cette partie a été modélisée avec les équations thermoïoniques classiques. Il s'agit de la diode principale.
- **Modèle medium** : il représente le modèle à niveau intermédiaire de courant (en bleu dans la Figure III - 24b). Cette partie a aussi été modélisée avec les équations thermoïoniques. Son origine sera discutée par la suite.
- **Modèle low** : il représente le modèle à niveau faible de courant (en rouge dans la Figure III - 24b). Cette partie a été modélisée avec une résistance de valeur très élevée (ici $10^{11} \Omega$).

La somme des trois contributeurs du courant de grille est représentée en tracé noir pointillé dans la Figure III - 24b. Lorsque la température augmente, les contributions des

modèles low et *medium* diminuent, de sorte que le *modèle high* (diode principale) prend le contrôle et devient le mécanisme prédominant de conduction.

Ainsi, en dessous de 200 K, les trois modèles (*modèle high*, *modèle medium*, et *modèle low*) contribuent au courant total de grille. Entre 225 K et 350 K, le comportement du courant de grille est modélisé par deux tracés différentes (*modèle high*, et *modèle low*). À 375 K et 400 K, TH2 présente un seul type de mécanisme de conduction prédominant issu de la diode thermoïonique traditionnelle (*modèle high*).

Nous illustrons dans la suite les caractéristiques principales de chaque contribution, ainsi que leur évolution en température.

3.3.1.1.1. TH2 : *Modèle high*

Le *modèle high* (thermoïonique) est applicable pour les valeurs élevées de courant de grille. Avec ce modèle, le facteur d'idéalité, n , la hauteur de barrière Schottky apparente ϕ_B (modèle classique), le courant de saturation I_0 , ainsi que la résistance série R_S sont extraits. La Figure III - 25 montre le comportement typique d'une diode régit par le modèle conventionnel : n diminue avec la température, ϕ_B et I_0 augmentent avec la température, et R_S reste quasiment constante (valeurs entre 120 Ω et 140 Ω).

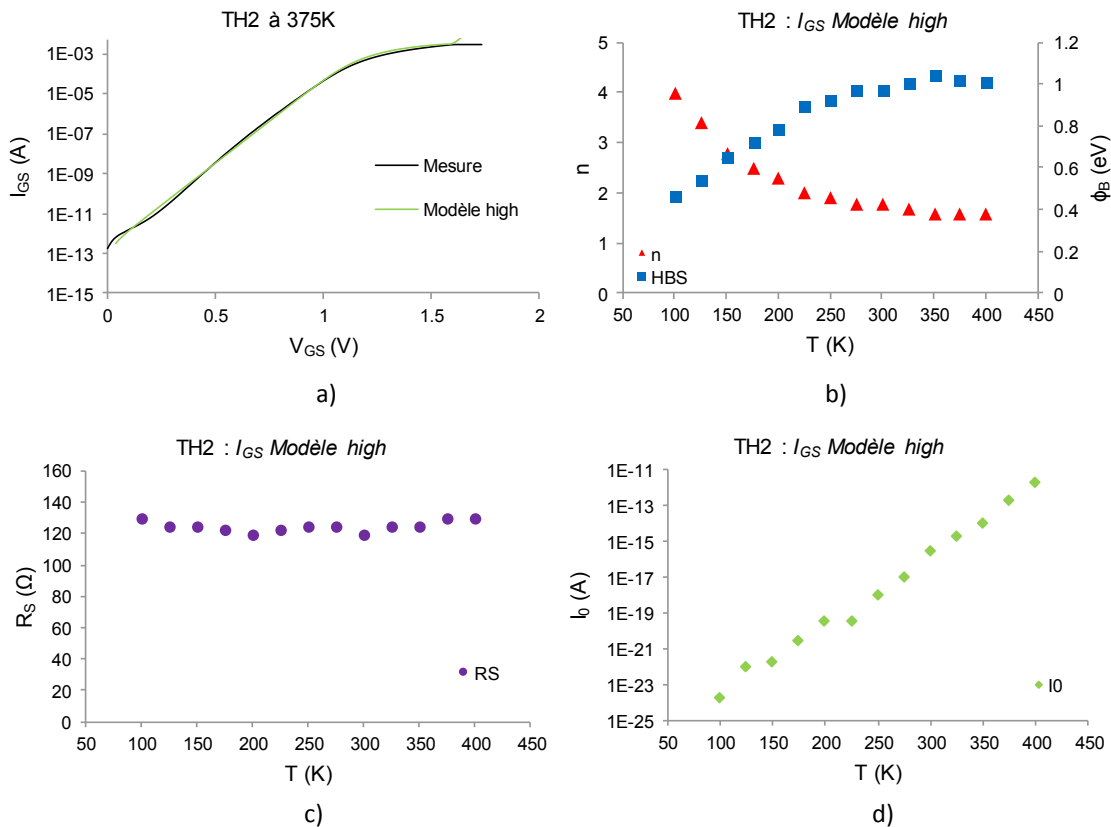


Figure III - 25. a) Modélisation de la mesure I_{GS} - V_{GS} à 375 K (tracé noir) avec un seul contributeur de courant : *modèle high* (en vert). b) Variation du n (triangles rouges) et ϕ_B (carrés bleus) en fonction de la température pour le *modèle high*. c) Variation du R_s (cercles violets) en fonction de la température pour le *modèle high*. d) Variation du I_0 (carreaux verts) en fonction de la température pour le *modèle high*.

3.3.1.1.2. TH2 : *Modèle medium*

Le *modèle medium* (également régit par l'équation thermoïonique) est applicable pour les valeurs intermédiaires de courant de grille. Avec ce modèle, le facteur d'idéalité n , la hauteur de barrière Schottky apparente ϕ_B , le courant de saturation I_0 , ainsi que la résistance série R_s sont extraits sur la gamme de courant concernée. La Figure III - 26 montre le comportement traditionnel d'une diode conformément au modèle précédent. Néanmoins, le comportement de la résistance R_s est particulier : cette résistance augmente avec la température, et propose des valeurs élevées (entre $10^5 \Omega$ et $10^7 \Omega$) relativement aux modèles conventionnels.

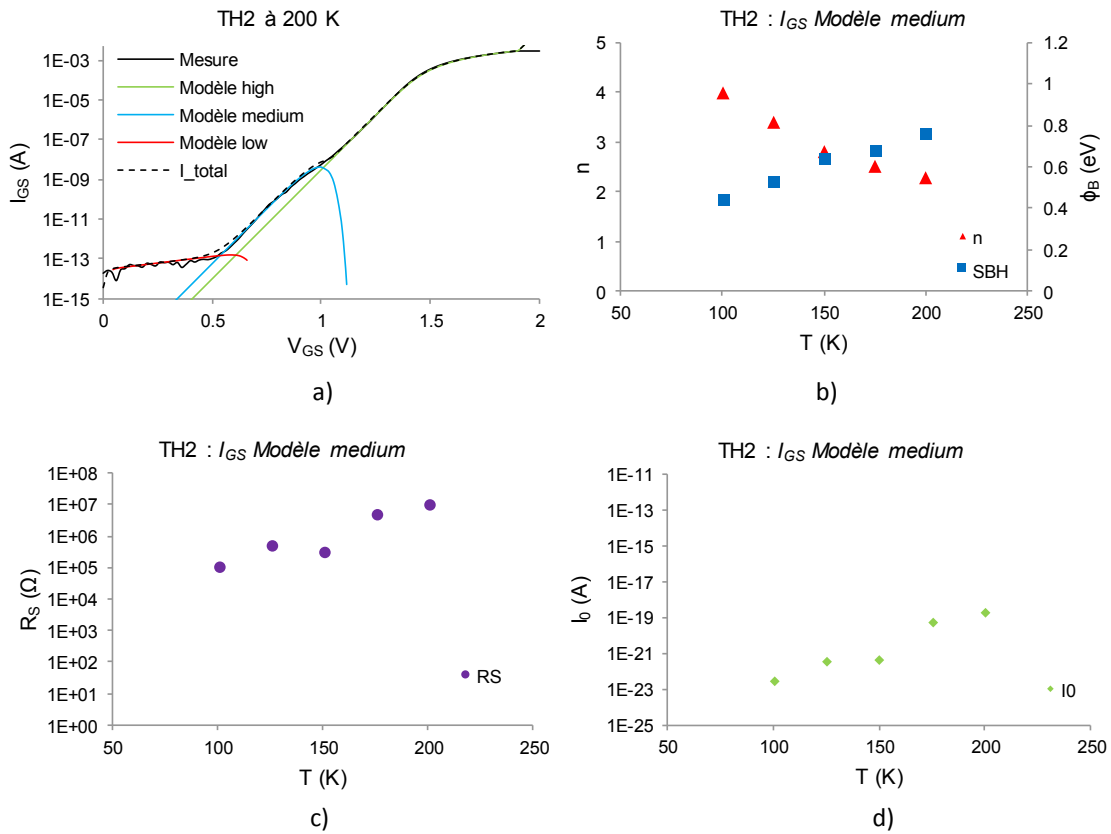


Figure III - 26. a) Modélisation de la mesure I_{GS} - V_{GS} à 200 K (tracé noir) avec trois contributeurs de courant : *modèle high* (en vert), *modèle medium* (en bleu), et *modèle low* (en rouge). b) Variation du coefficient n (triangles rouges) et de ϕ_B (carrés bleus) en fonction de la température pour le *modèle medium*. c) Variation de la résistance d'accès série R_s (cercles violets) en fonction de la température pour le *modèle medium*. d) Variation de I_0 (carreaux verts) en fonction de la température pour le *modèle medium*.

Suite à cette modélisation, et en comparant les résultats issus du *modèle high* avec ceux du *modèle medium* (Figure III - 27), nous obtenons les mêmes valeurs du facteur d'idéalité n . Cela signifie que la même diode Schottky de grille est impliquée dans les deux mécanismes de conduction, avec des résistances différentes, donc des chemins de conduction différents.

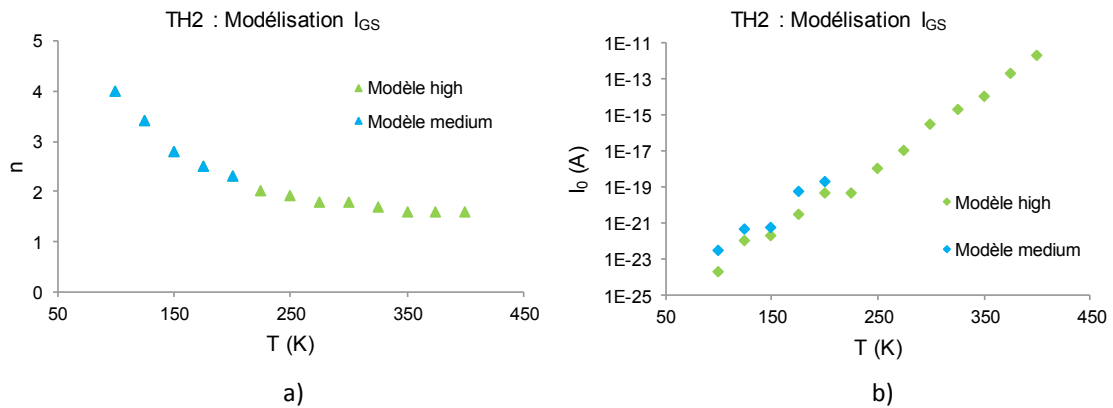


Figure III - 27. a) Variation du n (triangles) du *modèle high* (en vert), et *medium* (en bleu), en fonction de la température. b) Variation du I_0 (carreaux) du *modèle high* (en vert), et *medium* (en bleu), en fonction de la température.

De plus, le courant de saturation du *modèle medium* est plus élevé par rapport au courant de saturation du *modèle high* (Figure III - 27b). Ce constat est étroitement lié avec le potentiel interne de la diode (relativement au chemin d'accès, lui-même lié à la résistance série R_s), et explique le fait que le *modèle medium* se manifeste avant le *modèle high* : le chemin de conduction du *modèle medium* amène une contribution électrique supplémentaire sur la diode (comme un générateur de tension interne), ce qui n'est pas le cas pour le *modèle high*. Ainsi, pour les deux *modèles high* et *medium*, il s'agit en fait de la même diode, mais soumise à des potentiels internes différents du fait du chemin de collection différent, ce qui entraîne un décalage de la caractéristique $I_{GS}-V_{GS}$. Le chemin de collection plus fortement résistif du *modèle medium* fait que, pour des courants supérieurs au nA, la chute ohmique rend cette contribution I_{medium} négligeable devant la contribution principale I_{high} , elle-même soumise à une chute de potentiel plus tardive (au-delà du mA) en raison d'une résistance série R_s sensiblement plus faible (et physiquement acceptable !).

3.3.1.1.3. TH2 : *Modèle low*

Le *modèle low* est appliqué pour les valeurs faibles de polarisation (Figure III - 28). Dans cette situation, les *modèles high* (thermoïonique), et *medium* proposent des valeurs très faibles, et sont alors masqués par une contribution plus importante d'un troisième mécanisme de conduction. Ce *modèle low* est constitué d'une résistance de valeur très élevée ($10^{11} \Omega$), qui n'évolue pas selon la température. Son rôle est sensible à faible polarisation de grille.

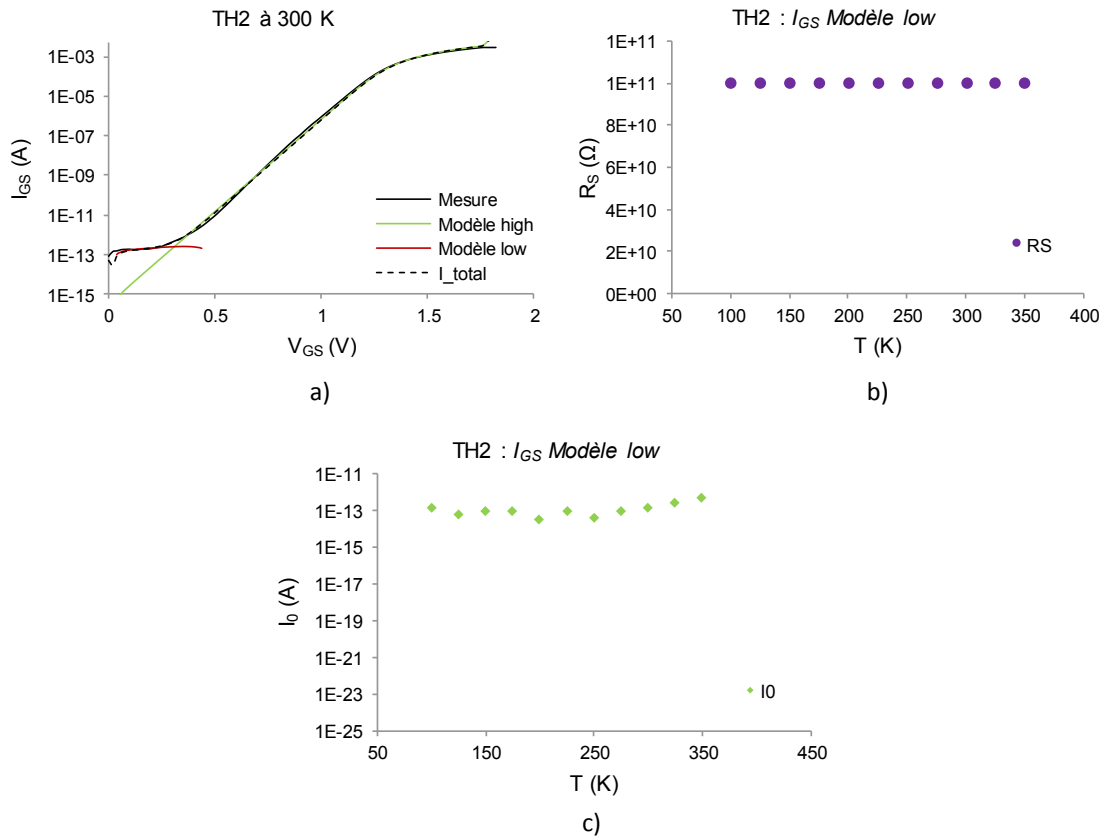


Figure III - 28. a) Modélisation de la mesure I_{GS} - V_{GS} à 300 K (tracé noir) avec deux contributeurs de courant : *modèle high* (en vert), et *modèle low* (en rouge). b) Variation du R_S (cercles violets) en fonction de la température pour le *modèle low*. c) Variation du niveau de fuite I_0 résultant (carreaux verts) en fonction de la température pour le *modèle low*.

Nous estimons que le mécanisme résistif à faible polarisation de grille impliquerait un chemin de conduction parasite ne passant pas par la diode Schottky, puisque aucun paramètre électrique issu de la modélisation ne peut être attribué à une diode, mais à une conduction résistive. Le modèle Schottky Métal-Semiconducteur n'étant pas invoqué, il ne peut s'agir que d'une conduction par contact au niveau du pied de grille, en surface, dans l'horizontalité de la structure ; la zone concernée est donc située à l'interface passivation-semiconducteur. Lorsque la température augmente, la contribution du courant thermoïonique devient dominante, les mécanismes de conduction secondaires (*modèle*

medium) ou parasites (*modèle low*) sont alors masqués par le *modèle high* géré par les équations thermoïoniques.

Ces trois modèles de courant décrits auparavant nous amènent à élaborer un modèle unifié du comportement du courant de grille en température, présenté dans le paragraphe suivant.

3.3.1.1.4. TH2 : Interprétation des résultats - Modèle unifié du comportement du courant de grille en température

Nous avons modélisé le comportement de la diode Schottky en température avec trois contributeurs de courant : *modèle high* (équations thermoïoniques de base), *modèle medium* (mêmes équations thermoïoniques, mais impliquant une résistance série R_s plus élevée que pour le modèle principal *high*), et *modèle low* (modèle purement résistif).

Néanmoins, lorsque la température augmente, les *modèles low et medium* ont des contributions de moins en moins importantes, le comportement de la diode étant alors décrit en totalité par le *modèle high* (thermoïonique) à température élevée. Ainsi, si l'on admet le comportement normal (idéal) de la diode Schottky de grille comme étant modélisable par le modèle thermoïonique, alors les défauts de conduction sont identifiables à faible température et à faible tension de polarisation.

En ce qui concerne le *modèle low*, cette contribution est clairement due à un chemin de conduction parasite dans la surface du transistor (nous avons démontré dans le Chapitre II que cet effet n'est pas induit par une limitation de notre banc de mesure ou du support de test) : la zone contrastée de la Figure III - 23 pourrait correspondre à ce chemin de conduction. Des effets mémoire sont aussi identifiés autour de ce modèle : le point d'inversion du courant de grille est décalé vers la droite ou vers la gauche pour toutes les températures, selon si le sens de balayage croissant est utilisé (décalage de V_{inv}) ou pas ($V_{inv} = 0$ V) lors de la mesure. Dans la littérature, ce comportement est directement relié aux centres profonds existants dans le buffer GaN [166]–[169].

Pareillement, le modèle *medium* se fait remarquer à faible température et à tension de polarisation moyenne. Toutefois, ce modèle présente les mêmes paramètres électriques de diode que le *modèle high* (thermoïonique) (Figure III - 27). C'est évidemment la preuve du fait que la même diode Schottky de grille, soumise à des potentiels d'activation internes distincts, est impliquée dans la conduction des deux modèles *medium*, et *high* à une température de mesure donnée.

Nous proposons donc plusieurs hypothèses susceptibles de satisfaire l'interprétation physique du *modèle medium* : **le modèle medium est le résultat de la manifestation des**

défauts et rugosités aux interfaces du transistor. Toutes ces inhomogénéités affectent directement le modèle classique de conduction (modèle thermoïonique, ou encore *modèle high*), en constituant ce que nous avons appelé le *modèle medium*. En effet, ce mécanisme de conduction ne serait que le *modèle high* affecté par des anomalies au niveau des interfaces, créées par le processus de croissance (MOCVD – *Metal Organic Chemical Vapor Deposition* - dans cette situation) - Figure III - 29. Pour le transistor témoin TH2, ces imperfections d'interface agissent comme un générateur de tension supplémentaire (positif ou négatif, lié à des charges aux interfaces), et créent une tension auxiliaire appliquée sur la diode Schottky.

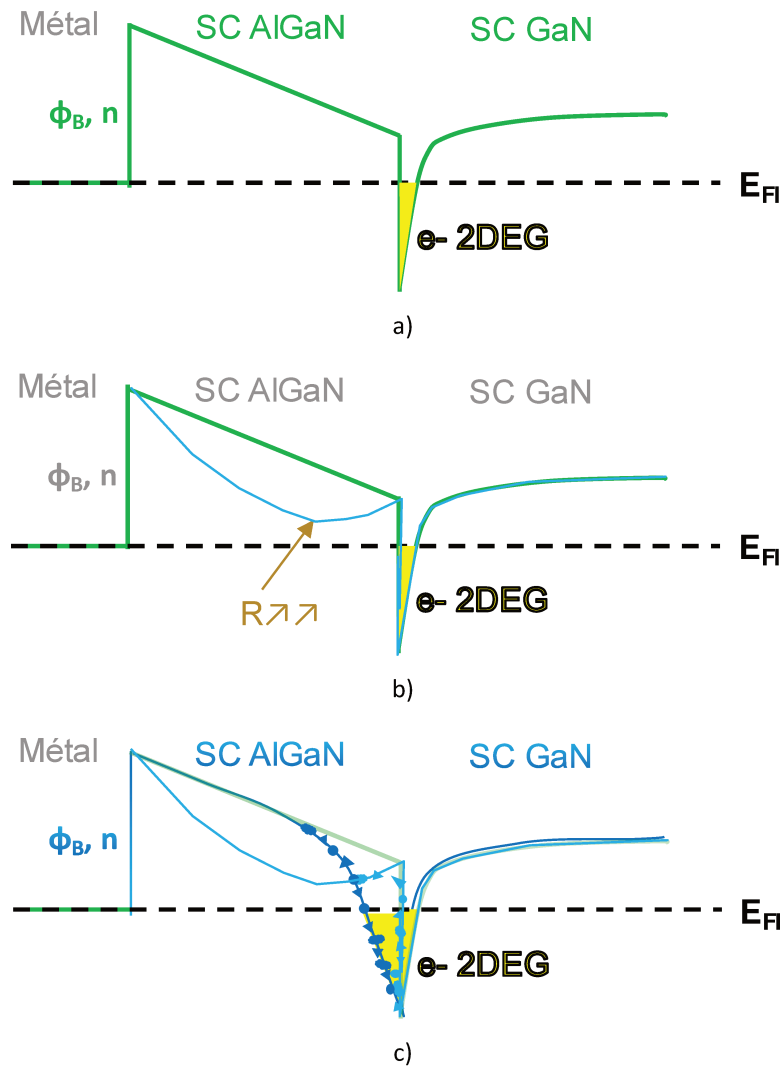


Figure III - 29. a) Bandes d'énergie aux interfaces pour une structure idéale d'un HEMT à base de GaN (en tracé vert). b) Bandes d'énergie aux interfaces pour des structures HEMT à base de GaN : la structure idéale est représentée en tracé vert, et la structure réelle en tracé bleu. L'augmentation de la résistance de la diode a été modélisée par une bande de conduction d'AlGaN infléchi vers le niveau de Fermi (avec collection dans le plan transverse au plan de coupe proposé i.e., vers le contact de source par conduction de type *hopping* latéralisé). c) Représentation généralisée des diodes Schottky réelles : résistance élevée de la diode Schottky de grille (bande de conduction d'AlGaN plus près du niveau de Fermi), et rugosités au niveau de l'interface AlGaN/GaN.

De cette manière, la tension de polarisation externe pratiquée sur le contact de grille n'est plus la même que celle délivrée effectivement sur la diode Schottky, puisque ces défauts sur-polarisent la grille. Le mécanisme de conduction *low* est aussi sensible à l'action de ces défauts : le point d'inversion situé idéalement à 0 V est décalé vers des tensions négatives à cause d'une sur-polarisation de grille.

Donc, selon cette interprétation, si l'on ne considère pas encore le défaut résistif bas niveau, la diode parasite *medium* s'active en premier à niveau de courant de fuite bas (en raison d'un potentiel interne plus élevé que la diode principale), selon un chemin de conduction qui ne passe pas par le 2DEG (d'où une résistance série très élevée comparativement à la diode principale). Lorsque la chute de tension apparaît aux bornes de la résistance série de la *diode medium*, la *diode principale* prend le dessus pour les courants les plus élevés.

La résistance série de valeur très élevée (entre 10^5 et $10^7 \Omega$) indique que les porteurs impliqués dans le courant *medium* (utilisant la diode principale) ne sont pas collectés dans le canal 2DEG (auquel cas la résistance série serait identique à celle de la diode principale, et donc le phénomène *medium* ne se distinguerait en rien de la diode principale). Nous en déduisons que les porteurs sont collectés au-dessus du canal 2DEG, ce qui reste cohérent avec une résistance série très élevée, et avec un bilan de charges différent de celui de la diode principale (exclusion des charges d'interface pour la diode *medium*) ; ensuite, l'explication de la conduction dans le matériau AlGaIn peut provenir de diverses hypothèses :

- Une possible courbure de la bande de conduction, au plus près du niveau de Fermi (Figure III - 29b) pourrait justifier une collection d'électrons dans l'AlGaIn, lorsque la bande de conduction est proche du niveau de Fermi.
- La présence de charges, de sites de pièges ou autres défauts (dopage résiduel, vacances et liaisons pendantes créés par contrainte piézoélectrique, ...) pourraient expliquer la conduction des fuites dans un tel modèle.

Les mesures illustrées dans la Figure III - 30 montrent clairement la reproductibilité du comportement de la diode Schottky, concernant les contributeurs *medium* et *high*. Que ce soit en polarisation croissante ou décroissante de la diode, les mesures consécutives confirment un même tracé $I_{GS}(V_{GS})$. En conclusion, il s'agit bien de la traduction de défauts structuraux dans le transistor (charges fixes), au niveau des interfaces, et pas d'un effet dû aux variations temporelles des charges.

La Figure III - 30 met également en évidence la variation d'environ deux décades du *modèle low*. Pour le composant D18, le mécanisme visible à niveau moyen de courant de grille ne reflète plus l'activation de la diode principale (changement de pente). Si nous invoquons des charges fixes en très grande quantité, alors les fluctuations identifiées sur D18 pourraient provenir de liaisons pendantes de surface, excitées différemment en fonction du stimulus

appliqué (sens croissant/décroissant, nombre de mesures successives). L'effet de ces liaisons de surface est traduit par une contribution très élevée dans le courant total de grille (comparativement aux amplitudes relevées sur la diode *medium*), surtout à faible tension de polarisation et à faible température (lorsque le courant thermoïonique a le poids le plus négligeable).

La Figure III - 30b est une illustration du comportement théorique idéal de la diode Schottky de grille (en tracée vert), masqué à faible V_{GS} par la contribution des liaisons pendantes de surface (*modèle low*), ainsi que par la diode de grille sur-polarisée par des défauts d'interface (*modèle medium*). La sensibilité de ces deux contributeurs secondaires ou parasites est mise en évidence par les instabilités des mesures dans ces zones d'intérêt : D18 (*Picowatt 36/37B*) de la Figure III - 30c illustre parfaitement les fortes variations du tracé en zone dite de '*belly shape*' ; celles-ci sont liées aux fluctuations des charges en temps réel et durant plusieurs mesures en balayage croissant (très marqué), et décroissant (moins marqué).

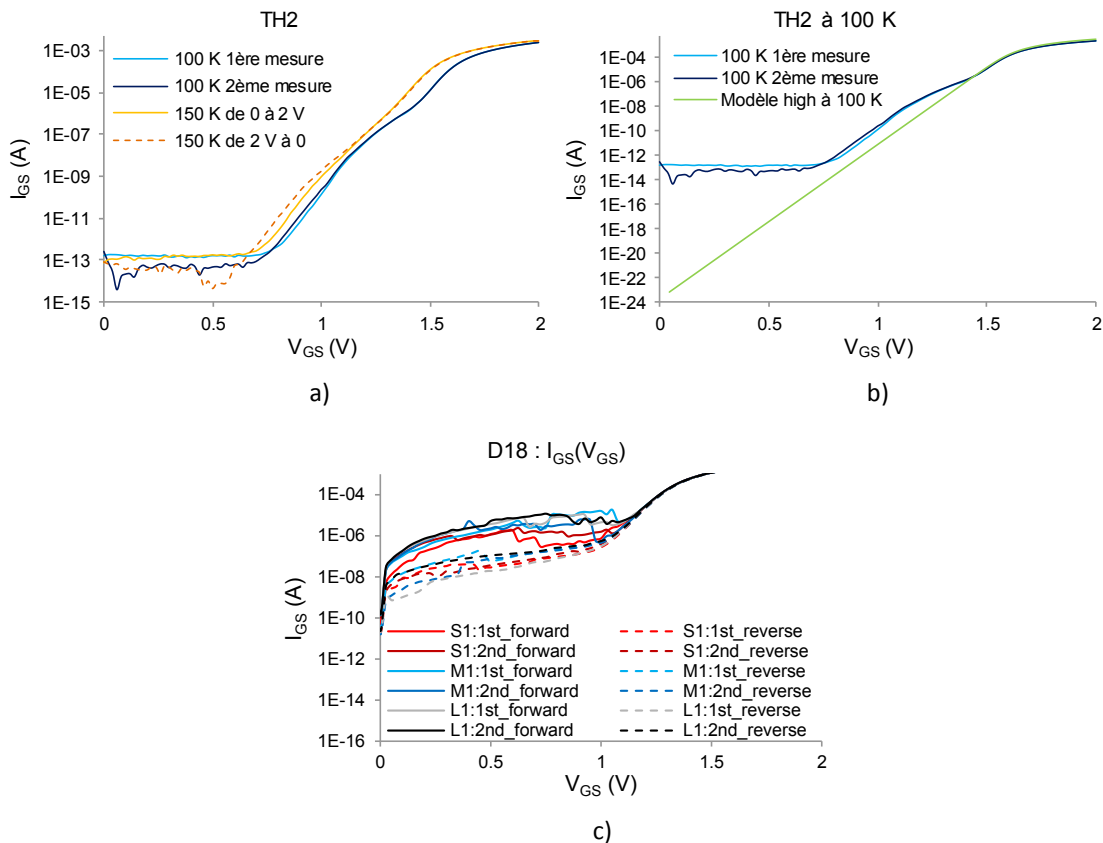
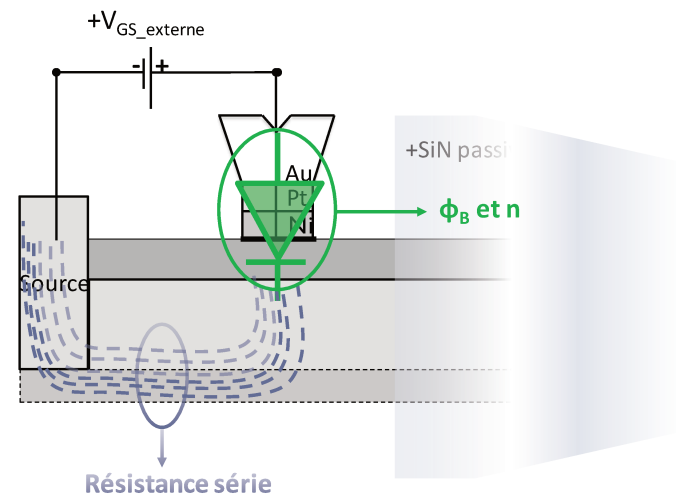


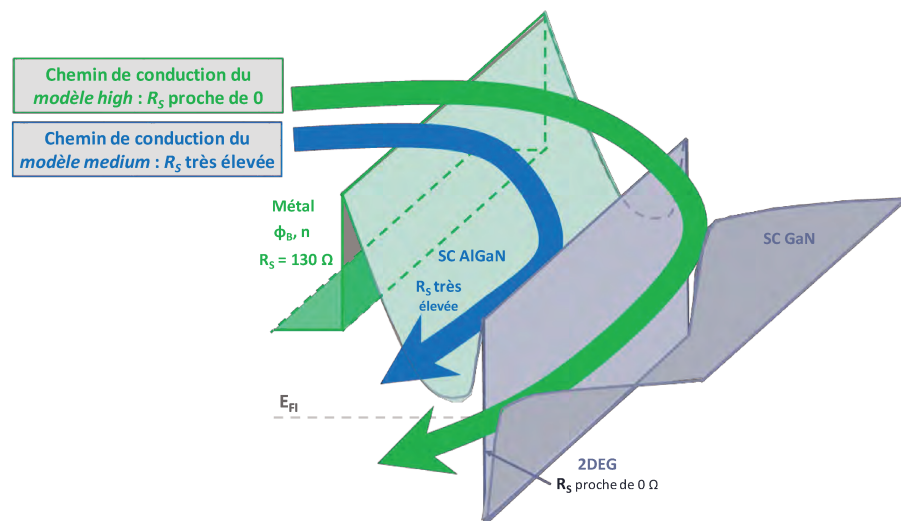
Figure III - 30. a) TH2 : I_{GS} - V_{GS} en fonction de la configuration de mesure. Deux mesures consécutives sont illustrées à 100 K (en polarisation croissante, de 0 à 2 V), et deux autres à 150 K (en polarisation croissante de 0 à 2 V, ainsi qu'en polarisation décroissante, de 2 V à 0). b) *Modèle high* de la mesure I_{GS} - V_{GS} à 100 K (tracé vert), masqué par les contributeurs secondaires (*modèle high* et *modèle medium*). c) D18 (vieilli HTOL du lot *Picowatt 36/37B*) : I_{GS} - V_{GS} en fonction de la configuration de mesure.

Dans la référence [96] : les auteurs invoquent plutôt des états d'interface sous le métal Schottky et attribuent le comportement à un défaut de diode. Ceci expliquerait le décalage mais difficilement la résistance élevée. Nous favorisons un chemin sur la même diode inhomogène, mais avec une collection hors du 2DEG, dans une zone à haute résistivité.

Nous nous appuyons donc sur la Figure III - 31 pour essayer de définir le comportement proposé pour le dispositif vierge d'un point de vue physique. La résistance série du *modèle high* (entre 120 Ω et 140 Ω , en vert) n'est ni plus ni moins que la résistance entre le contact métallique de grille et le semiconducteur AlGaIn, à la résistance ohmique du canal et de contact de source près ; en ce qui concerne la résistance de canal bidimensionnel 2DEG (en bleu indigo), elle est négligeable et proche de 0 Ω . Ainsi, lorsque le courant de fuites de grille est assez important, il est directement collecté dans le 2DEG, et la résistance série du modèle complet (*modèle high*, ou encore modèle thermoïonique - en vert dans la Figure III - 31) est constitué par la valeur résistive la plus élevée parmi les deux : 130 Ω (par rapport à 0 Ω - en bleu-indigo dans la Figure III - 31).



a)



b)

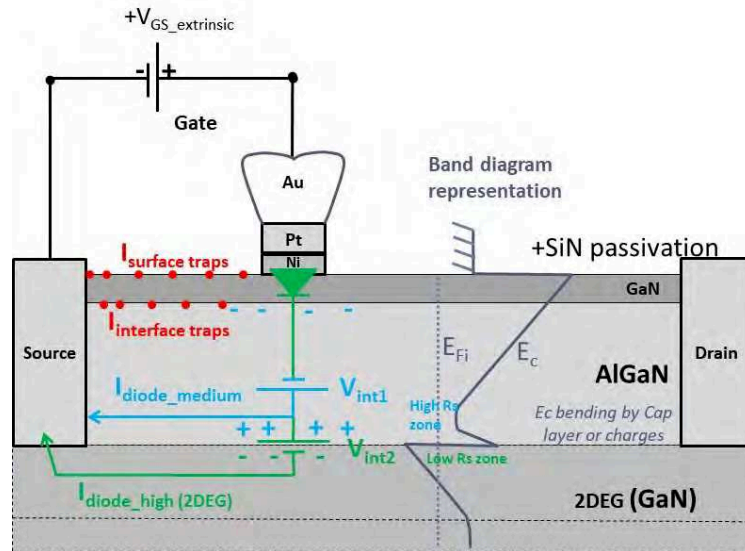
Figure III - 31. a) Représentation physique des chemins de conduction du courant issu de la diode Schottky de grille (en vert) : dans le canal d'électrons bidimensionnel (2DEG, en bleu-indigo), et dans l'AlGaN (en violet clair). b) Représentation des chemins de conduction des *modèles high* et *medium* aux interfaces du transistor vierge (TH2).

Pourtant, nous avons atteint des valeurs résistives beaucoup plus élevées par rapport à nos attentes pour le *modèle medium* : entre $10^5 \Omega$ et $10^7 \Omega$. Ce raisonnement prouve qu'il pourrait s'agir d'un passage de courant dans l'horizontalité de la structure à l'endroit où la bande de conduction est la plus proche du niveau de Fermi (conduction par défauts, *hopping*), donc dans l'AlGaN. Ces valeurs élevées obtenues pour la résistance série prennent véritablement le contrôle du comportement de la diode, en masquant toute autre contribution adjacente : 130Ω – contact métallique de grille, ou 0Ω – 2DEG. Alors, nous proposons trois causes-racine, engendrant des valeurs résistives excessivement élevées :

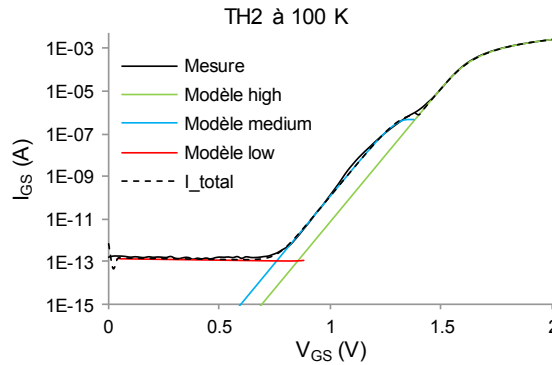
- 1) **passage du courant de fuite par le semiconducteur AlGaN** $\rightarrow 10^5 \Omega - 10^7 \Omega$ serait relatif à la résistance du semiconducteur AlGaN à température basse et polarisation faible ;
- 2) **passage du courant de fuite à l'interface AlGaN / GaN** $\rightarrow 10^5 \Omega - 10^7 \Omega$ serait la résistance localisée, engendrée par la courbure des bandes d'énergie dans le semiconducteur AlGaN. Cet effet est d'autant plus visible que le niveau du courant de grille reste assez faible (température basse et polarisation faible de diode Schottky), et sensible aux inhomogénéités de structure.
- 3) **passage du courant de fuite dans le GaN (2DEG)** $\rightarrow 10^5 \Omega - 10^7 \Omega$ serait la résistance des défauts d'interface. Lorsque le courant de grille a un niveau plutôt faible, alors il est rapidement perturbé par l'action des défauts d'interface. L'effet se manifeste nettement sur la caractéristique de sortie du courant. Cependant, ce modèle ne permet pas d'expliquer le décalage en tension d'activation de la diode secondaire par une différence de charges d'interface, alors que les deux hypothèses précédentes localisent le courant au-dessus des charges d'interface AlGaN/GaN et donc peuvent expliquer le décalage d'activation différencié de la même diode principale selon deux trajets de fuites distincts et selon deux polarisations internes associées à ces trajets.

3.3.1.1.5. TH2 : Conclusion sur le modèle unifié du comportement d' I_{GS} en direct, et en température pour le dispositif vierge du lot H

Pour résumer quant à la l'existence des trois modèles concurrents de conduction du courant de grille, avec des poids très variables en fonction de la température, et de la tension de polarisation appliquée sur la diode de grille, nous proposons la Figure III - 32 :



a)



b)

Figure III - 32. a) Représentation physique des chemins de conduction du courant de grille : I_{low} (issu du modèle low, en rouge), I_{medium} (issu du modèle medium, en bleu), et I_{high} (issu du modèle high, en vert).

b) Modélisation de la mesure $I_{GS}-V_{GS}$ à 100 K (tracé noir) avec trois contributeurs de courant : modèle high (en vert), modèle medium (en bleu), et modèle low (en rouge).

Le transistor témoin du lot H (TH2) présente trois contributions au courant total de grille : I_{low} , I_{medium} et I_{high} , qui s'additionnent à chaque température.

1. À température basse et à polarisation faible appliquée sur la diode Schottky de grille, le courant engendré par le modèle thermoïonique est aussi très faible. En conséquence, le chemin de conduction principal est constitué par le courant

transporté au niveau des défauts et des pièges (chemin de conduction parasite, puisque la diode Schottky de grille n'est pas impliquée dans la conduction du courant). Nous attribuons les défauts aux liaisons pendantes de surfaces, chargées d'un point de vue électrique, et formant le **modèle low** (en rouge dans la Figure III - 32). Le courant I_{low} circule du contact de grille vers le contact de source, horizontalement, uniquement en surface du transistor. De ce fait, nous obtenons une valeur résistive très élevée pour ce modèle (environ $10^{11} \Omega$).

I_{medium} et I_{high} pointent sur une même diode engagée dans la conduction du courant électrique (ϕ_B et n présentent des paramètres électriques identiques). Néanmoins, l'écart entre ces deux modèles n'est pas du tout négligeable (notamment, en termes de résistance série).

2. Le courant I_{high} constitue le chemin de conduction principal dans le transistor. Étant issu du modèle thermoïonique (ou **modèle high**), il commence à s'imposer lorsque la température ou l'excitation de la diode Schottky de grille deviennent de plus en plus importantes. Ce courant traverse verticalement toutes les couches du HEMT, jusqu'au 2DEG, en se refermant à la source (relié à la masse). À température élevée et à tension de polarisation forte appliquée sur la diode, sa contribution prend complètement le dessus, masquant toutes les autres composantes de courant.
3. Si l'on considère maintenant le cas du courant I_{medium} , il se fait remarquer à température et à polarisation de grille modérées, étant complètement masqué au-delà de 200 K. Vu les équations thermoïoniques toujours applicables sur ce modèle, et en plus, pointant sur une même diode Schottky de grille, alors nous concluons sur le fait que le **modèle medium** reproduit le **modèle high** décalé par un générateur supplémentaire de tension. Ce générateur est attribué à des sites de charges liés à des défauts et/ou des rugosités au niveau de l'interface AlGaIn/GaN, qui créent une tension auxiliaire (positive ou négative) différente de celle générée sur le trajet principal (diode principale). En conséquence, la tension de polarisation externe appliquée sur le contact de grille n'est plus la même que celle interne, délivrée effectivement sur la diode. Avec l'augmentation de la température, le comportement de la diode est complètement contrôlé par un seul contributeur (**modèle high** ou thermoïonique), tous les autres modèles étant masqués. Ceci traduit l'inactivation progressive du générateur secondaire (sensibilité des charges à la température) lorsque la température augmente, au profit du modèle de diode principal (trajet par canal 2DEG).

En conclusion, si nous admettons le comportement idéal de la diode Schottky de grille modélisée par le modèle thermoïonique, alors les défauts de conduction sont identifiables à faible température et à faible tension de polarisation, au travers les *modèles low* et *medium*.

3.3.1.2. D2 : modélisation du courant de grille en polarisation directe de la diode

La Figure III - 33a présente toutes les caractéristiques $I_{GS}(V_{GS})$ du D2 (transistor vieilli HTOL du lot D), en température. Le zoom effectué entre -5 V et 2 V aide à distinguer au moins deux mécanismes différents contrôlant le courant de grille, en fonction de la température :

- **Entre 80 K et 225 K** : le courant de grille reste quasiment constant en inverse. Néanmoins, il révèle quelques ‘bosses’ de courant en direct, à certaines températures (150 K et 200 K). Semblablement au TH2, le point d’inversion dans cette plage de température est très décalé vers des tensions de grille négatives (par rapport à idéalement 0 V). De plus, le plateau de courant de grille est aussi très prononcé, en s’étalant entre -1,9 et 0,6 V ;
- **Entre 250 K et 400 K** : à partir de 250 K, le courant de grille augmente fortement en température dans la zone de V_{GS} située entre -3 V et 0,9 V. Nous remarquons des bosses de courant très proéminentes et électriquement instables, à la fois en polarisation directe et inverse. Le point d’inversion se situe clairement à 0 V, et le plateau de courant de grille mentionné entre 80 K et 225 K augmente jusqu’à quatre décades, formant des ventres de courant (*belly shape*).

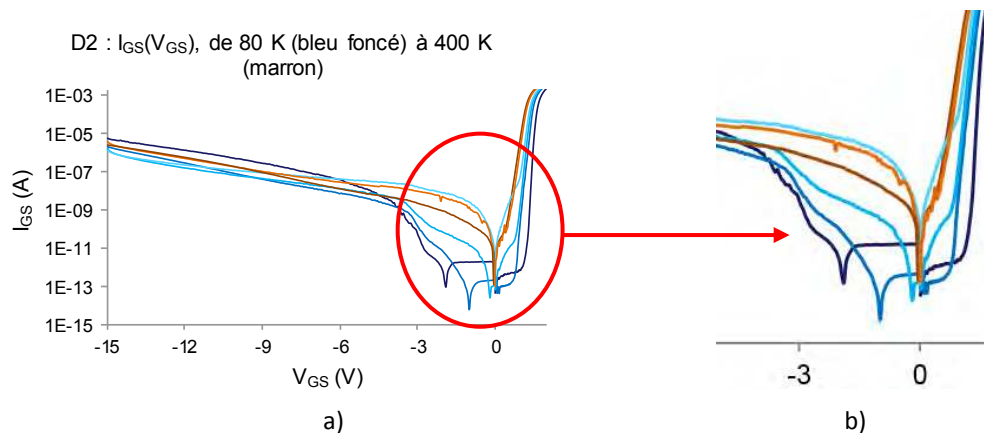


Figure III - 33. a) $I_{GS}(V_{GS})$ en fonction de température : de 80 K (bleu foncé), à 400 K (marron). b) Zoom effectué sur la Figure III - 33a, entre -5 V et 2 V.

Contrairement au dispositif témoin (TH2), le dispositif vieilli HTOL (D2) manifeste le plateau de courant assez marqué même à température élevée. Donc, son amplitude est encore importante à 400 K, de façon que ni le modèle thermoïonique (prédominant à température élevée) n’arrive pas à rattraper sa contribution.

Concernant la modélisation de la commande de grille, seule la polarisation directe de la diode a été prise en compte. Les caractéristiques $I_{GS}(V_{GS})$ du D2 (dispositif vieilli HTOL) sont présentées dans la Figure III - 34a :

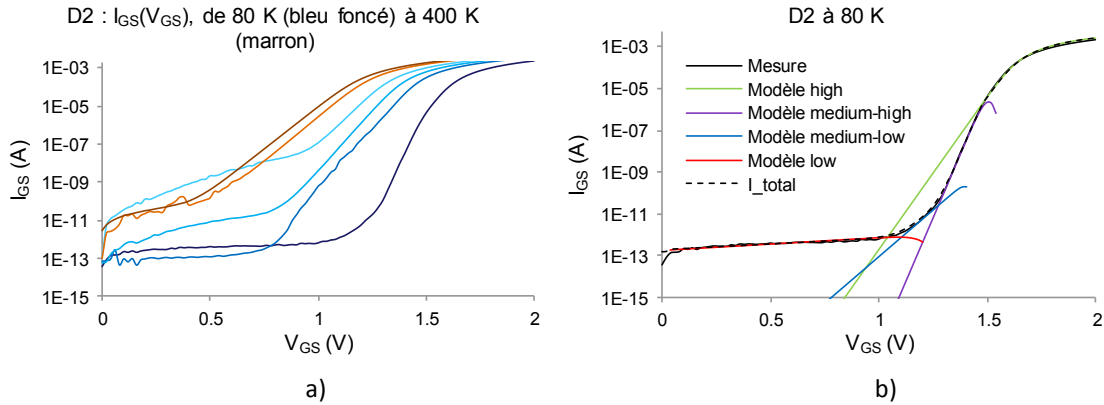


Figure III - 34. a) $I_{GS}-V_{GS}$ en fonction de température, et en polarisation directe : de 80 K (bleu foncé), à 400 K (marron). b) Modélisation de la mesure $I_{GS}-V_{GS}$ à 80 K (tracé noir) avec quatre contributeurs de courant : *modèle high* (en vert), *modèle medium-high* (en mauve), *modèle medium-low* (en bleu), et *modèle low* (en rouge).

Nous avons proposé un modèle pour chaque zone de courant de grille afin d'arriver à modéliser toute la caractéristique $I_{GS}(V_{GS})$ du dispositif vieilli HTOL D2 (en noir dans la Figure III - 34b) :

- **Modèle high** (même que le *modèle high* identifié pour TH2) : représente le modèle à fort niveau de courant (en vert dans la Figure III - 34b). Cette partie a été modélisée avec les équations thermoïoniques conventionnelles.
- **Modèle medium-high** : représente l'équivalent du *modèle medium* de TH2 (en mauve dans la Figure III - 34b). Cette partie a aussi été modélisée avec les équations thermoïoniques.
- **Modèle medium-low** : est un modèle supplémentaire par rapport au TH2, à niveau intermédiaire de courant (en bleu dans la Figure III - 34b). Il constitue la transition entre le *modèle low* et le *modèle medium-high*. Nous avons tenté de modéliser cette partie en utilisant des équations thermoïoniques.
- **Modèle low** (même que le *modèle low* identifié pour TH2) : représente le modèle à niveau faible de courant (en rouge dans la Figure III - 34b). Pareillement que TH2, cette partie a été modélisée avec une résistance de valeur très élevée ($10^{11} \Omega$).

Contrairement au dispositif témoin TH2, le courant total de grille pour le dispositif stressé (représenté en tracé noir pointillé dans la Figure III - 34b) n'est plus obtenu en tant que résultat de la somme des quatre contributeurs principaux. Le mécanisme qui sort de l'ordinaire est le *modèle high*, puisqu'il semble s'activer plus tardivement par rapport aux autres, même si sa contribution est la plus importante parmi les quatre (à partir de $V_{GS} = 0,9$ V). Ce comportement caractérise tous les dispositifs stressés HTOL des deux lots, à température basse. Nous allons proposer une explication de ce phénomène dans la suite.

De manière générale, lorsque la température augmente, les contributions des *modèles medium-low* et *medium-high* diminuent, de sorte que les *modèles low* et *high* prennent le contrôle et deviennent les deux mécanismes prédominants de conduction. Contrairement au TH2, le *modèle low* ne disparaît pas à température élevée, mais son amplitude augmente même dans certains cas.

Ainsi, en dessous de 150 K, les quatre modèles (*modèle high*, *modèle medium-high*, *modèle medium-low*, et *modèle low*) contribuent au courant total de grille. À partir de 175 K, le comportement du courant de grille est modélisé par deux tracés différentes (*modèle high*, et *modèle low*). Nous illustrons dans la suite les caractéristiques principales de chaque contribution, ainsi que l'évolution en température.

3.3.1.2.1. D2 : Modèle high (idem modèle high du TH2)

Le *modèle high* (thermoïonique) principal est toujours applicable pour les valeurs élevées de courant de grille. Les paramètres électriques de la diode sont extraits avec ce modèle. La Figure III - 35 montre clairement le comportement traditionnel d'une diode : n diminue avec la température, ϕ_B augmente avec la température, I_0 augmente aussi en température, et R_S reste quasiment constante (valeurs entre 120 Ω et 140 Ω).

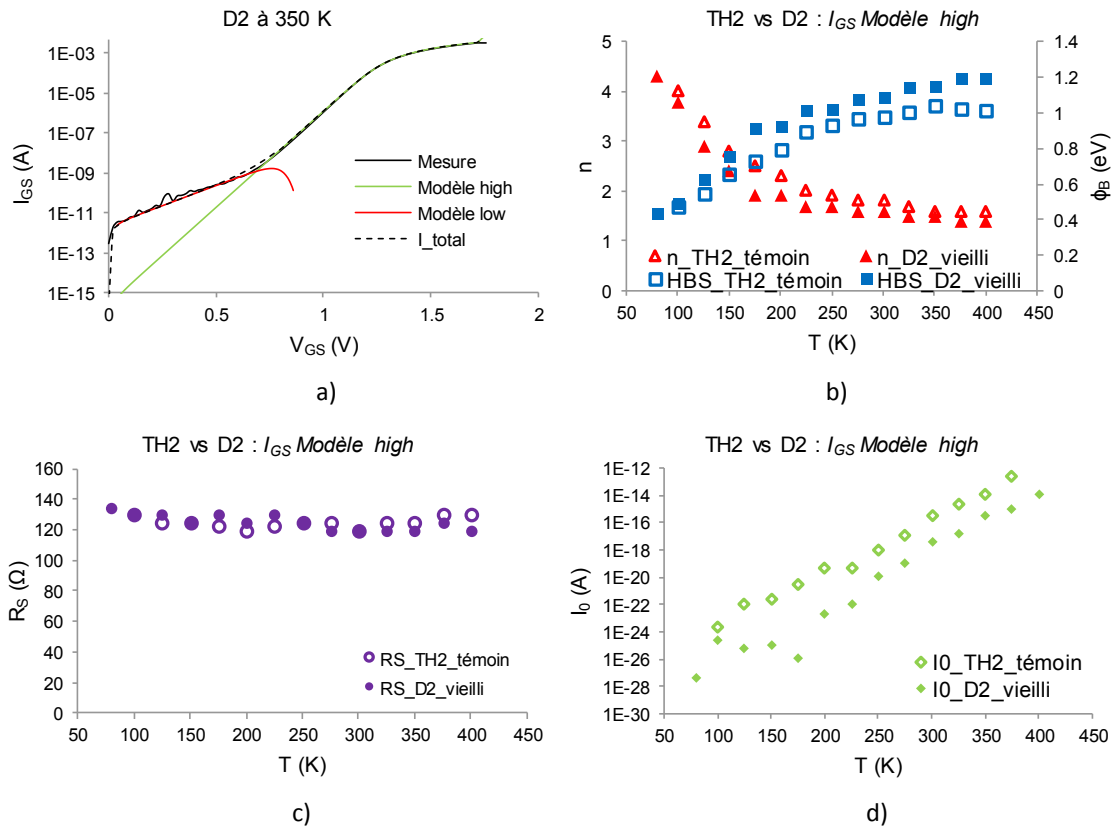
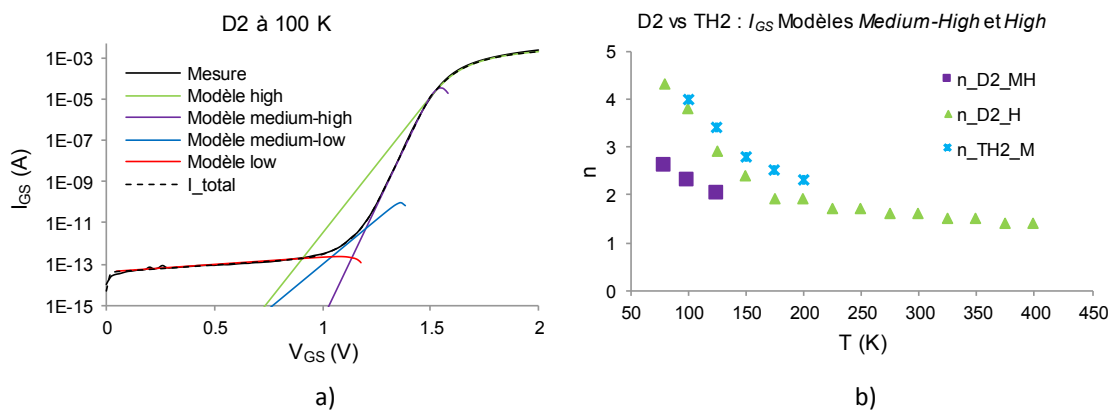


Figure III - 35. Comparaison entre les paramètres électriques des *modèles high* des transistors : les symboles vides indiquent les valeurs du transistor témoin, *TH2*, et les symboles remplis, les valeurs du transistor vieilli HTOL, *D2*. a) Modélisation de la mesure $I_{GS}-V_{GS}$ à 350 K (tracé noir) avec deux contributeurs de courant : *modèle high* (en vert), et *modèle low* (en rouge). b) Variation du n (triangles rouges) et ϕ_B (carrés bleus) en fonction de la température du *modèle high*. c) Variation du R_s (cercles violets) en température du *modèle high*. d) Variation du I_0 (carreaux verts) en fonction de la température du *modèle high*.

La comparaison en termes de paramètres électriques de la diode Schottky de grille principale, entre le dispositif témoin, *TH2* (représenté par des symboles vides), et le dispositif vieilli, *D2* (représenté par des symboles remplis), détaillée en haut, témoigne d'une amélioration de la commande à l'issue du processus de vieillissement HTOL. En effet, le facteur d'idéalité, n , est plus proche de 1 pour *D2*, et la hauteur de barrière Schottky de grille, ϕ_B , est aussi plus élevée (Figure III - 35b), ce qui engendre inévitablement un courant de saturation plus faible (Figure III - 35c). Bien que la contribution du courant thermoïonique ait été réduite grâce au processus de vieillissement HTOL, d'autres mécanismes de conduction secondaires, parasites, plutôt identifiables à température basse sont identifiables.

3.3.1.2.2. D2 : Modèle medium-high

Le *modèle medium-high* (thermoïonique aussi) est applicable pour les valeurs intermédiaires de courant de grille. La Figure III - 36 montre le comportement traditionnel d'une diode : n diminue en température, ϕ_B et I_0 augmentent tous les deux avec la température. Néanmoins, le comportement de la résistance R_s est particulier : cette résistance diminue en température, en proposant des valeurs assez élevées par rapport au modèle thermoïonique classique : entre $7 \cdot 10^2 \Omega$ et $5 \cdot 10^3 \Omega$. Les valeurs sont extraites à partir des équations thermoïoniques, en essayant de traduire la mesure le plus correctement possible.



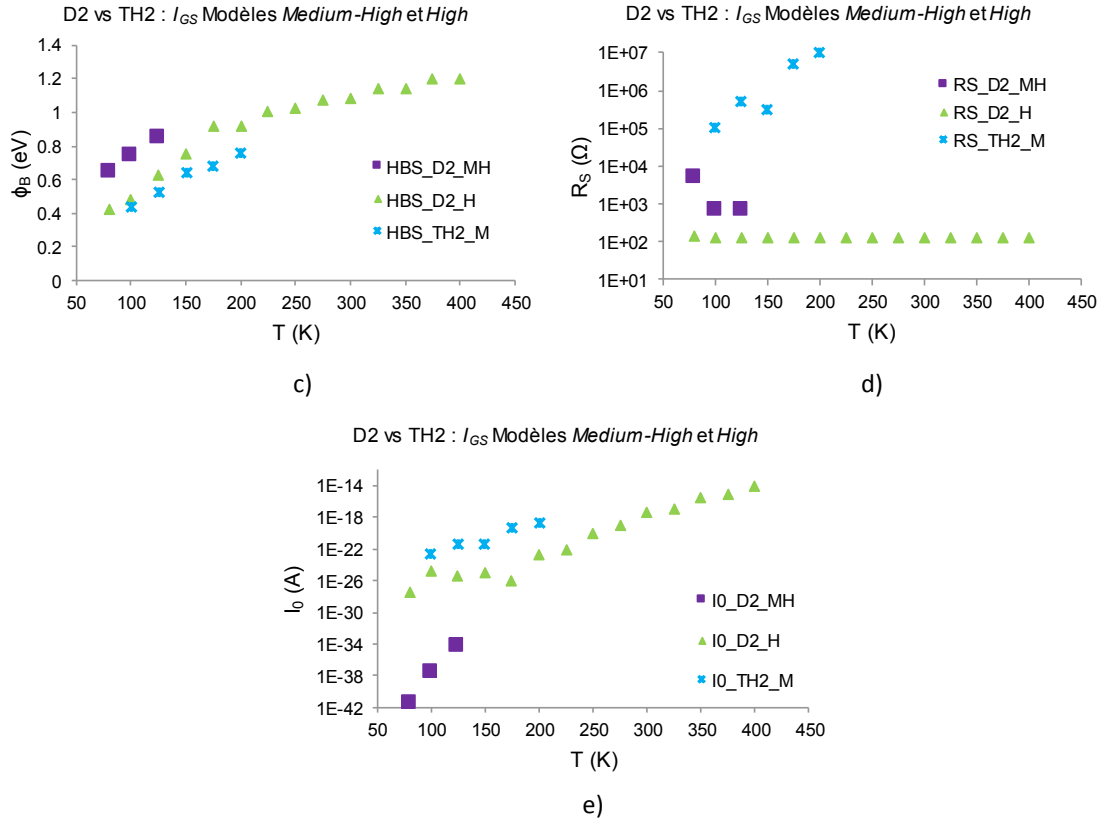


Figure III - 36. Comparaison entre les paramètres électriques des transistors : les carrés mauves indiquent les valeurs du modèle *medium-high* du transistor vieilli HTOL, D2 (D2_MH), les triangles verts désignent les valeurs du modèle *high* du transistor vieilli HTOL, D2 (D2_H), et les étoiles bleues, les valeurs du modèle *medium* du transistor témoin, TH2 (TH2_M).

a) Modélisation de la mesure $I_{GS}-V_{GS}$ à 100 K (tracé noir) avec quatre contributeurs de courant : modèle *high* (en vert), modèle *medium-high* (en mauve), modèle *medium-low* (en bleu), et modèle *low* (en rouge). Représentations des évolutions en température des divers paramètres électriques, pour les trois modèles :

b) facteurs d'idéalité, n ; c) hauteurs de barrière Schottky de grille, ϕ_B ; d) résistances série, R_s ; e) courants de saturation I_0 .

Suite à cette modélisation, nous avons comparé les résultats issus du modèle *high* avec ceux du modèle *medium-high* (Figure III - 36). Ainsi, pour le modèle *medium-high*, nous remarquons les valeurs plus faibles du facteur d'idéalité n , et respectivement plus élevées de ϕ_B par rapport au modèle *high* (Figure III - 36 b et c). Cela signifierait qu'il existe deux diodes Schottky de grille distinctes impliquées dans la conduction du courant électrique (une pour chaque mécanisme), avec des résistances séries différentes, donc des chemins de conduction différents. De plus, la diode attribuée au modèle *medium-high* est plus proche d'une diode théorique idéale : n est proche de 1 et ϕ_B reste assez élevé même à température basse, contrairement à la diode affectée au modèle *high*. Le courant de saturation, I_0 , augmente exponentiellement en température, ce qui est le marqueur concret du mécanisme thermoïonique assigné au modèle *medium-high*. Néanmoins, même si le courant issu du modèle *medium-high* est en dessous de celui issu du modèle *high*, il apparaît avant le courant du modèle *high* (modèle des courants non sommatifs ici).

Afin d'essayer d'expliquer ce comportement particulier, nous nous sommes basés sur la discussion concernant les modèles électriques du transistor témoin, TH2. Ainsi, les potentiels internes des deux diodes impliquées dans la conduction du courant ne sont pas les mêmes, et donc le *modèle medium-high* se manifeste avant le *modèle high*. Le chemin de conduction du *modèle high* amène cette fois-ci une contribution électrique supplémentaire sur la *diode high* (un générateur de tension interne), qui n'existe pas sur le *modèle medium-high*. Ce générateur de tension supplémentaire est aussi attribué à des défauts et rugosités aux interfaces du transistor, viennent dépolariser la grille. Donc, le vieillissement HTOL a potentiellement inversé l'action des défauts sur le courant de grille : sur-polarisation de grille du dispositif témoin, TH2, par rapport à la dépolarisation de grille du transistor vieilli HTOL, D2. En outre, nous remarquons le fait que la résistance série du modèle *medium-high* du D2 est beaucoup plus faible par rapport à la résistance série du modèle *medium* du TH2 : $10^3 \Omega$ pour D2 vs $10^6 \Omega$ pour TH2.

La Figure III - 37 représente une superposition des courants de grille de plusieurs transistors soumis à l'étude, à température basse : TH2 (transistor témoin du lot H), D2 (transistor vieilli HTOL du lot D) et H1 (transistor vieilli HTOL du lot H).

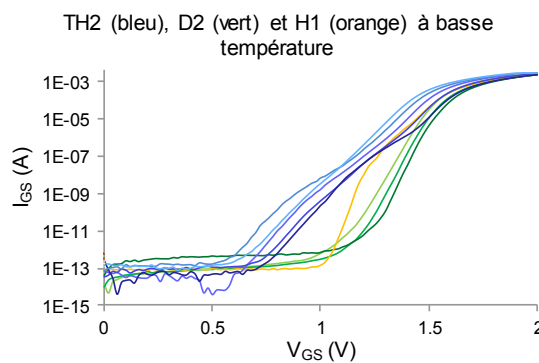


Figure III - 37. I_{GS} - V_{GS} à températures basses pour trois transistors :

- TH2 de 100 K à 200 K (dispositif témoin du lot H, en bleu) ;
- D2 de 80 K à 125 K (dispositif vieilli HTOL du lot D, en vert) ;
- H1 à 100 K (dispositif vieilli HTOL du lot H, en orange).

Donc, nous pouvons conclure qu'à température basse, le vieillissement HTOL a permis de diminuer les courants de grille élevés (associés au *modèle high*), en décalant leur activation (en dépolarisant la grille). De cette manière, nous arrivons à accéder aux vrais paramètres électriques de la diode Schottky de grille. L'analyse dans la zone de tension V_{GS} négatif autorise une visibilité plus claire d'autres mécanismes de conduction parasites, qui seront détaillés dans la suite.

La manifestation du *modèle medium-high* jusqu'à 125 K du D2 est cohérente avec les conclusions du paragraphe 3.2.2 *Modèle de Tung* :

- Nous avons tracé nT en fonction de T , et nous avons observé une ligne droite, avec une pente proche de l'unité, dont l'extrapolation ne passait pas par l'origine (Figure III - 38a). De cette manière, nous avons trouvé une température d'anomalie d'environ 225 K pour $S_{\#2}$ (D2), un transistor vieilli du lot *Picowatt 36/37B*, sur toute la gamme de température (entre 80 K et 400 K).
- Si l'on considère maintenant seule la partie linéaire de la représentation nT en fonction de T (entre 250 K et 400 K, Figure III - 38b), alors nous remarquons que l'intersection de la pente unitaire avec l'axe des ordonnées se réalise à 143 K. Cette température constitue aussi la limite de manifestation du modèle *medium-high* du D2. Le résultat montre qu'une transition s'opère d'un mécanisme de conduction principal, dominant à température basse (*modèle medium-high*) vers un autre mécanisme de conduction, qui domine à température élevée (*modèle high*), ce qui semble apporter de la cohérence à nos interprétations. L'origine physique de ces mécanismes reste ouverte à de futures études.

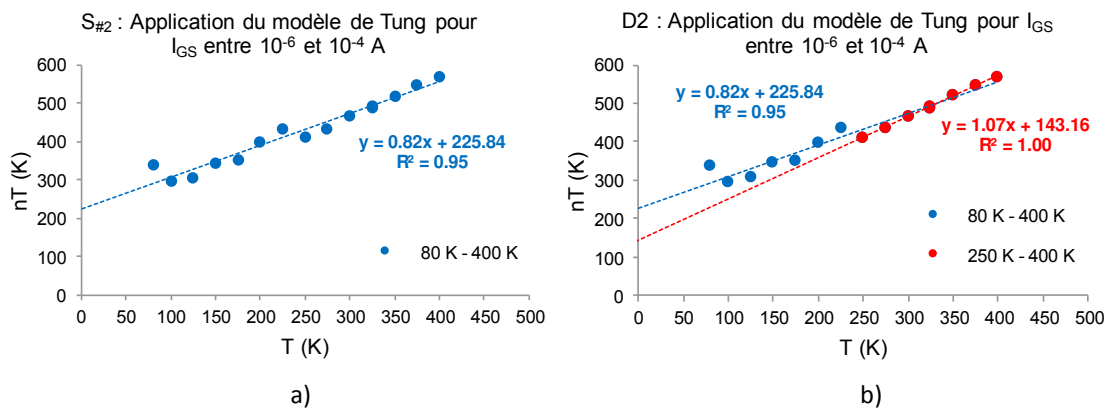


Figure III - 38. Application du modèle de Tung [154] sur $S_{\#2}$ (D2), un échantillon vieilli HTOL du lot *Picowatt 36/37B* : a) résultats sur l'extraction de la température d'anomalie, T_0 , sur toute la gamme de température (entre 80 K et 400 K, en bleu). b) résultats sur l'extraction de la température d'anomalie, T_0 , entre 250 K et 400 K (en rouge).

Avec la représentation de nT en fonction de T , nous arrivons à identifier une température d'anomalie à environ 225 K. Ceci est parfaitement cohérent avec l'information fournie dans la Figure III - 7b (en utilisant le modèle de Werner appliqué sur la méthode de Richardson), pour le tracé φ_B en fonction de $1000/T$, dont deux pentes différentes sont distinguées en fonction de la plage de température (basse ou élevée) pour ce même composant. La température d'inflexion dans la Figure III - 7b se situe vers 225 K, ce qui correspond à la température d'anomalie extraite de la Figure III - 38.

En conséquence, nous arrivons à la même conclusion avec deux outils d'investigation distincts, quant à la délimitation des gammes de température définissant des comportements disparates d'un dispositif sous test.

3.3.1.2.3. D2 : Modèle medium-low

Le *modèle medium-low* (basé aussi sur les équations thermoïoniques) est applicable pour les valeurs plutôt basses de courant de grille : il traduit le passage du *modèle low* au *modèle medium-high*. Avec les équations thermoïoniques, nous avons extrait les paramètres électriques de ce modèle :

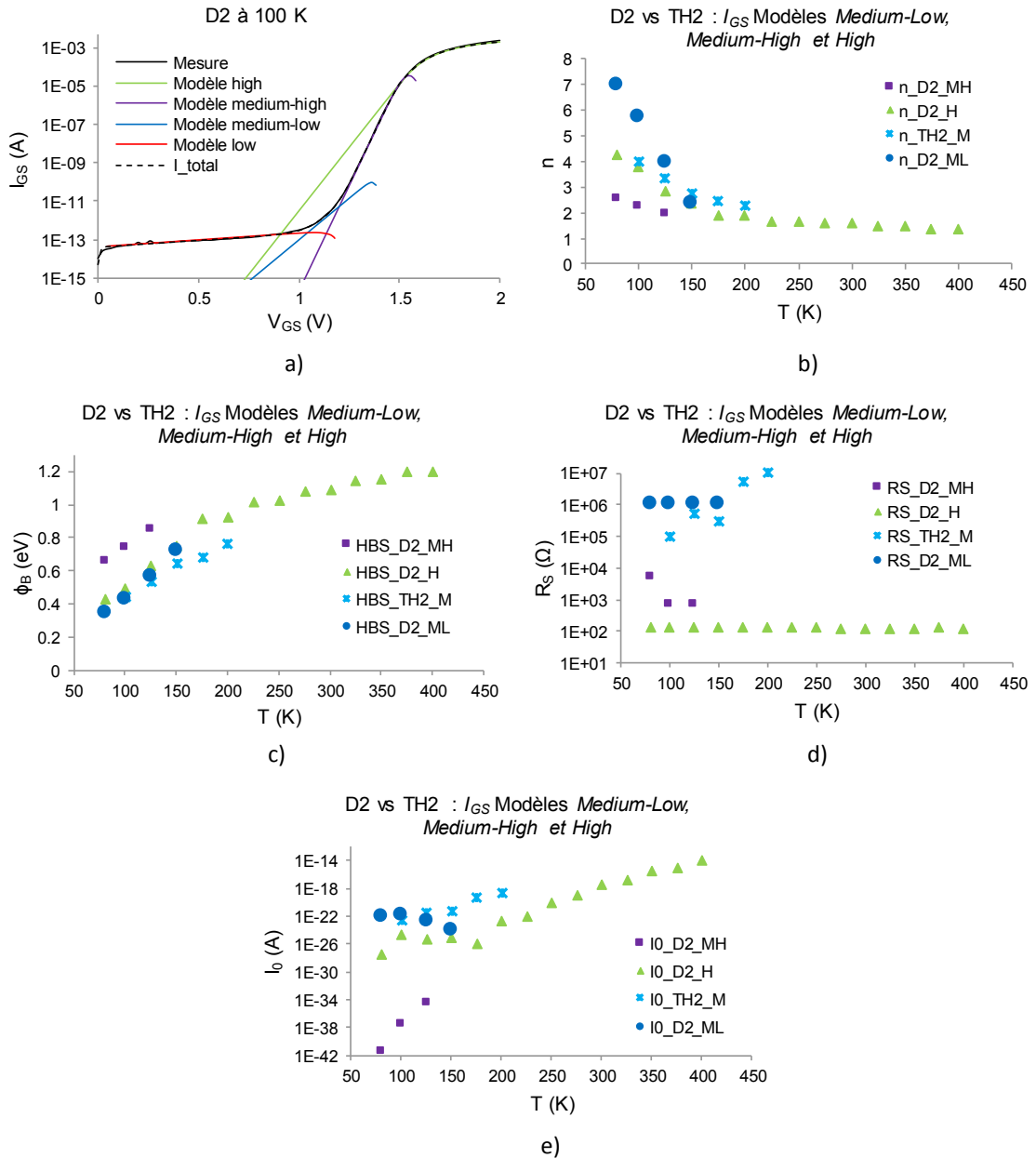


Figure III - 39. Comparaison entre les paramètres électriques des transistors : les cercles bleu foncé représentent les valeurs du modèle *medium-low* du transistor vieilli HTOL, D2 ($D2_{ML}$), les carrés mauves indiquent les valeurs du modèle *medium-high* du transistor vieilli HTOL, D2 ($D2_{MH}$), les triangles verts désignent les valeurs du *modèle high* du transistor vieilli HTOL, D2 ($D2_H$), et les étoiles bleu clair, les valeurs du *modèle medium* du transistor témoin, TH2 ($TH2_M$).

a) Modélisation de la mesure I_{GS} - V_{GS} à 100 K (tracé noir) avec quatre contributeurs de courant : *modèle high* (en vert), *modèle medium-high* (en mauve), *modèle medium-low* (en bleu), et *modèle low* (en rouge).

Représentations des évolutions en température des divers paramètres électriques, pour les quatre modèles :

- b) facteurs d'idéalité, n ; c) hauteurs de barrière Schottky de grille, φ_B ; d) résistances série, R_s ;
- e) courants de saturation I_0 .

La Figure III - 39 montre le comportement classique d'une diode : n diminue, et φ_B augmente avec la température. Cependant, les valeurs très élevées proposées par n (entre 7 et 2,8), et celles très faibles proposées par φ_B (entre 0,34 eV et 0,64 eV), ainsi que la tendance de diminution de I_0 en température, prouvent que ce serait plutôt un modèle thermoïonique altéré par un mécanisme parasite : nous présumons qu'il s'agit du *modèle low*, dont la contribution est concurrente à celui du *modèle high* ou *medium-high*, en formant le modèle transitoire *medium-low*. Nous remarquons que la résistance R_s est constante en température pour ce modèle : $10^6 \Omega$. Cette valeur fait partie de la plage identifiée pour le *modèle medium* du TH2, ce qui nous laisse penser que ce serait un artefact du même type.

Suite à cette modélisation, nous avons comparé les résultats issus du *modèle medium-low* avec ceux issus du *modèle medium-high*, ainsi que du *modèle high* (Figure III - 39). Les hauteurs de barrière Schottky de grille ont la même allure, mais des valeurs assez différentes sur la plage de température pour laquelle les trois modèles coexistent : soit entre 0,34 et 0,64 eV pour le *modèle medium-low*, entre 0,65 eV et 0,85 eV pour le *modèle medium-high*, et enfin entre 0,43 eV et 0,75 eV pour le *modèle high*. Donc, les valeurs de φ_B à température basse du *modèle high* sont très proches de celles du *modèle medium-low*. Cela viendrait renforcer l'idée que le comportement du contact Schottky de grille implique au moins deux diodes différentes, mises en parallèle : le ***modèle medium-high + modèle high***, altéré ou pas par le *modèle low* (et en résultant le ***modèle medium-low***). Effectivement, ce constat se traduit par un facteur d'idéalité plus élevé, une résistance série de valeur très élevée ($10^6 \Omega$), ainsi qu'un courant de saturation diminuant en température pour le *modèle medium-low* (i.e., *modèle high* corrompu par le *modèle low*).

De façon similaire au raisonnement mené sur TH2, les valeurs résistives très différentes entre le *modèle high* et le *modèle medium-low* marqueraient des chemins de conduction différents, induits par l'action des défauts aux interfaces. Quoi qu'il en soit, le courant de saturation du *modèle medium-low* a le poids le plus important parmi les trois modèles (*medium-low*, *medium-high*, et *high*), ce qui est cohérent avec son apparition sur la caractéristique du courant de grille total avant les autres deux, à bas niveau de polarisation.

3.3.1.2.4. D2 : *Modèle low* (idem *modèle low* du TH2)

Le *modèle low* apparaît aux polarisations les plus faibles (Figure III - 40). Dans cette situation, tous les autres modèles (*high* ou thermoïonique, *medium-high*, et *medium-low*) proposent des valeurs très basses, qui sont de fait masquées par la contribution de ce quatrième mécanisme de conduction. Le *modèle low* est principalement constitué d'une résistance constante, de valeur très élevée (entre $10^7 \Omega$ et $10^{11} \Omega$), dominante à faible polarisation appliquée sur la grille.

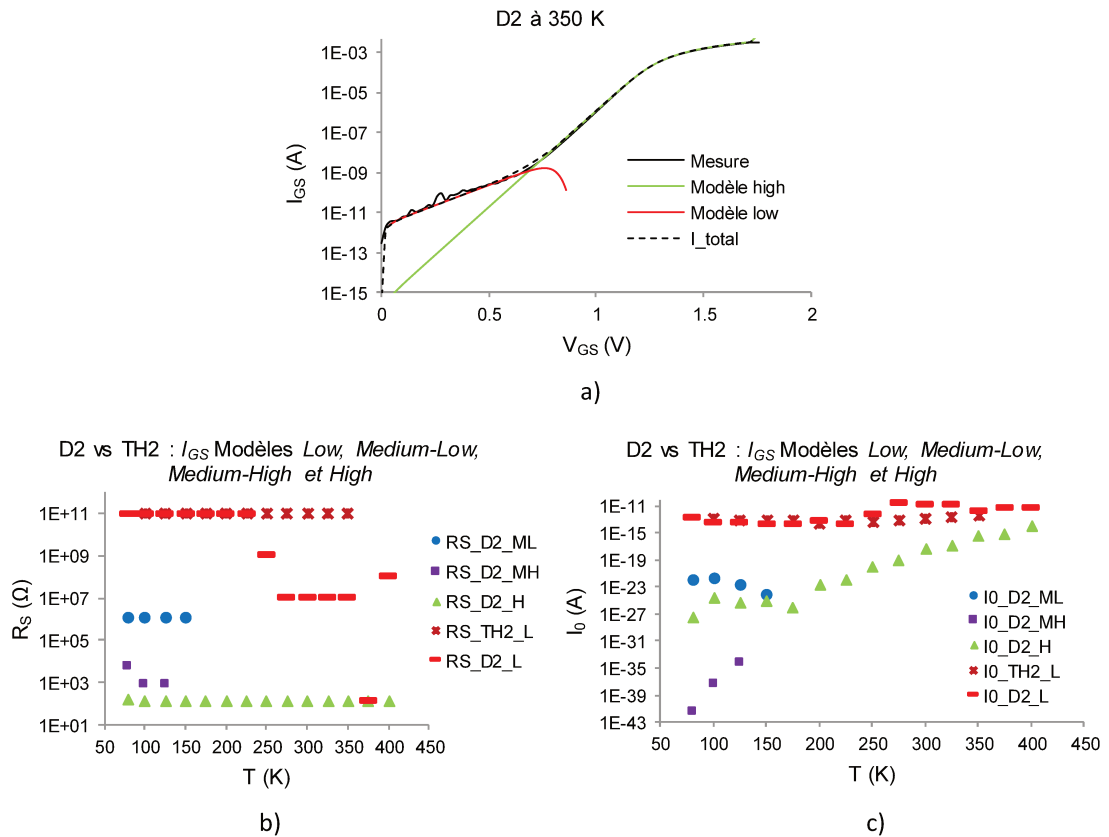


Figure III - 40. Comparaison entre les paramètres électriques des transistors : les lignes rouges désignent les valeurs du *modèle low* du transistor vieilli HTOL, D2 ($D2_L$), les cercles bleu foncé représentent les valeurs du modèle *medium-low* du transistor vieilli HTOL, D2 ($D2_ML$), les carrés mauves indiquent les valeurs du modèle *medium-high* du transistor vieilli HTOL, D2 ($D2_MH$), les triangles verts désignent les valeurs du *modèle high* du transistor vieilli HTOL, D2 ($D2_H$), et les étoiles rouge foncé, les valeurs du *modèle low* du transistor témoin, TH2 ($TH2_L$).

a) Modélisation de la mesure I_{GS} - V_{GS} à 350 K (tracé noir) avec deux contributeurs de courant : *modèle high* (en vert), et *modèle low* (en rouge). Représentations des évolutions en température de divers paramètres électriques, pour les cinq modèles : b) résistances série, R_s ; c) courants de saturation, I_0 .

Les conclusions de l'investigation menée sur le *modèle low* de TH2 peuvent s'appliquer aussi dans le contexte du D2 : le mécanisme résistif à faible polarisation de grille implique un chemin de conduction parasite, en dehors de la diode Schottky de grille, localisé dans

l'horizontalité de la structure, et potentiellement attribué aux liaisons pendantes de surface, offrant un chemin résistif de conduction grille-source (ou grille-drain de manière symétrique).

Contrairement au TH2, le plateau résistif du D2 est présent même à température élevée : il s'étale entre 0 V et 1,2 V de V_{GS} à 100 K, et entre 0 V et 0,45 V de V_{GS} à 400 K (par rapport aux valeurs de TH2 : entre 0 V et 0,72 V de V_{GS} à 100 K, et entre 0 V et 0,18 V de V_{GS} à 350 K). De plus, les valeurs extraites pour la résistance du *modèle low* à partir des mesures I_{GS} - V_{GS} varient entre $10^7 \Omega$ et $10^{13} \Omega$ (par rapport aux approximations toujours entre $10^{11} \Omega$ et $10^{13} \Omega$ dans le cas de TH2).

En conclusion, la conduction en surface attribuée au *modèle low* est beaucoup plus importante sur les dispositifs stressés comparativement aux transistors témoins : la résistance du *modèle low* des dispositifs vieillis est moins forte, tandis que la variation en température est sensiblement plus marquée (six décades de variation pour D2 par rapport à trois décades pour TH2). Il semblerait donc que la surface du transistor (la couche de passivation) a été dégradée suite au stress thermique HTOL. Des ruptures ou des dislocations liées à ce stress en température peuvent avoir modifié la qualité de l'interface, et avoir créé des valences ou des sites sur lesquels les charges fixes se sont positionnées, provoquant de fait un chemin de conduction fortement résistif. La conséquence est identifiable à faible polarisation de grille et à température basse, lorsque le contact de grille est le plus sensible à l'action des défauts (liaisons pendantes de surface dans cette situation).

Lorsque la température augmente, la contribution du courant thermoïonique devient dominante, les mécanismes de conduction secondaires (*modèles medium-high* ou *medium-low*), et parasites (*modèle low*) étant alors masqués par le *modèle high*.

Les quatre modèles de courant analysés auparavant constituent un modèle unifié du courant de grille en température, présenté dans la suite.

3.3.1.2.5. D2 : Interprétation des résultats - Modèle unifié du comportement du courant de grille en température

Nous avons modélisé le comportement de la diode Schottky de grille du transistor vieilli HTOL en température, en utilisant cette fois-ci quatre contributeurs de courant : *modèle high* (équations thermoïoniques de base), *modèle medium-high* (équations thermoïoniques), *modèle medium-low* (équations thermoïoniques, mais une résistance série R_s plus élevée), et *modèle low* (modèle résistif) - Figure III - 41.

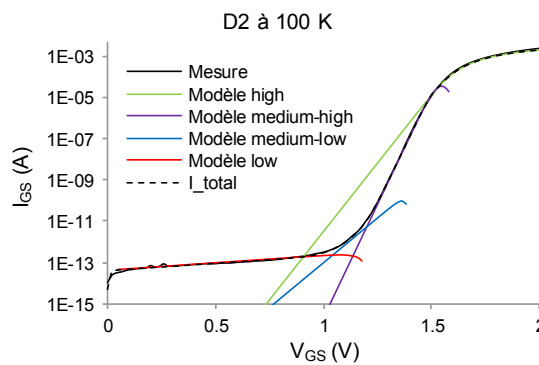


Figure III - 41. Modélisation de la mesure I_{GS} - V_{GS} à 100 K (tracé noir) avec quatre contributeurs de courant : *modèle high* (en vert), *modèle medium-high* (en mauve), *modèle medium-low* (en bleu), et *modèle low* (en rouge).

Semblablement au cas du TH2, les *modèles low*, *medium-low* et *medium-high* ont des contributions de moins en moins importantes lorsque la température augmente, le comportement de la diode étant décrit en totalité par le *modèle high* (thermoïonique) et *low* (conduction parasite, en surface) à température élevée. Ainsi, si l'on admet le comportement normal (idéal) de la diode Schottky de grille étant modélisable par le modèle thermoïonique, alors les défauts de conduction sont identifiables à température basse et à faible tension de polarisation.

Concernant le *modèle low* (idem *modèle low* du TH2), cette contribution est clairement due à un chemin de conduction parasite dans la surface du transistor. Des effets mémoire (hystérésis) sont aussi identifiés pour ce modèle : le point d'inversion du courant de grille est décalé vers la droite ou vers la gauche (en fonction de la configuration de mesure) pour toutes les températures, contrairement à sa position idéale, à 0 V.

Le *modèle medium-low* serait quant à lui un mécanisme de conduction intermédiaire, réalisant la transition entre la conduction parasite en surface (*modèle low*, avec le poids le plus important) vers l'activation du contact Schottky de grille (*modèle medium-high*, ou encore, au *modèle high*). Notre raisonnement est basé sur les évolutions de ses paramètres électriques en température : les allures de n et φ_B répondent aux équations thermoïoniques, mais les valeurs quasi-constantes de I_0 en température désignent plutôt une conduction

résistive et parasite. Les valeurs élevées de R_S renforcent cette hypothèse, et mettent en évidence une sensibilité élevée du *modèle medium-low* à l'action des défauts et rugosités d'interface.

En ce qui concerne le ***modèle medium-high***, il est indentifiable à faible température et à des tensions de polarisation moyennes. Ce mécanisme de conduction est modélisé avec les équations thermoïoniques, et nous retrouvons des paramètres électriques de diode améliorés par rapport au *modèle high* (thermoïonique aussi). Contrairement au transistor témoin, TH2 (pour lequel une même diode Schottky de grille était impliquée dans la conduction des deux modèles *medium* et *high*), la modélisation du transistor D2 vieilli HTOL indique une deuxième diode participant à la conduction du courant de grille. Même si cette diode dispose des paramètres électriques améliorés par rapport à la diode attribuée au *modèle high* (n plus proche de 1, ϕ_B plus élevé, I_0 plus faible), elle est activée avant la *diode high*. Sa résistance associée R_S est aussi plus élevée par rapport à celle du *modèle high*, ce qui impliquerait un chemin de conduction dans une zone latérale au-dessus du canal 2DEG.

Le ***modèle high*** désigne la diode principale du contact Schottky de grille, moins idéale que la *diode medium-high*. Même si sa contribution était censée avoir un poids supérieur au mécanisme *medium-high*, nous observons une activation décalée en tension grille-source. Ce principe pourrait s'expliquer conformément au dessin de coupe de la Figure III - 31a, où des charges situées aux différentes interfaces viennent modifier la tension intrinsèque appliquée à la diode Schotky (avec prise en compte ou non des charges de l'interface AlGaIn/GaN !). De façon similaire à TH2, ces charges d'interface agissent comme un générateur de tension supplémentaire (positif ou négatif), et créent une tension auxiliaire appliquée sur la diode Schottky de grille. De cette manière, la tension de polarisation externe pratiquée sur le contact de grille n'est plus la même que celle délivrée effectivement aux bornes intrinsèques de la diode Schottky : ces défauts dépolarisent ainsi la grille en retardant son activation. Il est alors possible de voir une diode '*parasite*' s'activer avant la diode principale (à condition d'avoir un coefficient d'idéalité n différent), jusqu'à ce que les charges (elles-mêmes dépendantes de la polarisation et de la température comme les démontrent des simulations T-CAD [116], [170]) viennent inverser ce phénomène en faveur de la diode principale.

3.3.1.2.6. D2 : Conclusion sur le modèle unifié du comportement du courant de grille en direct, et en température pour le dispositif vieilli HTOL du lot H

Afin de corroborer les résultats quant à l'existence des quatre modèles concurrents de conduction du courant de grille, avec des poids disproportionnés en fonction de la température, et de la tension de polarisation appliquée sur la diode Schottky de grille, nous proposons la Figure III - 42 :

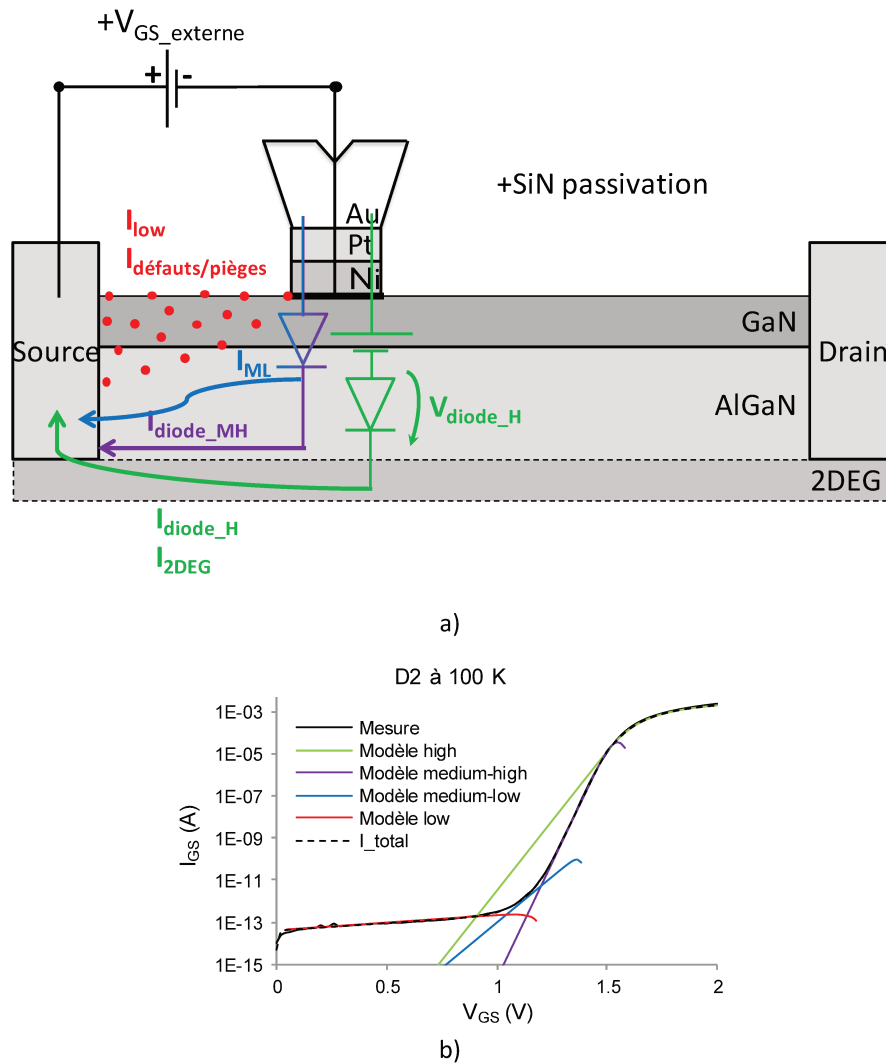


Figure III - 42. a) Représentation physique des chemins de conduction du courant de grille : I_{low} (issu du modèle low, en rouge), I_{ML} (issu du modèle medium-low, en bleu), I_{diode_MH} (issu du modèle medium-high, en mauve), et I_{diode_H} (issu du modèle high, en vert). b) Modélisation de la mesure $I_{GS}-V_{GS}$ à 100 K (tracé noir) avec quatre contributeurs de courant : modèle high (en vert), modèle medium-high (en mauve), modèle medium-low (en bleu), et modèle low (en rouge).

Les mesures illustrées dans la Figure III - 42 montrent la reproductibilité du comportement de la diode Schottky de grille en température, concernant l'action de tous les contributeurs.

1. En premier, nous observons l'activation d'un premier mécanisme de conduction en surface, avec le poids le plus important à tension faible de polarisation (I_0 le plus élevé) : **le modèle low (L)**. Nous attribuons ce type de conduction aux liaisons pendantes de surfaces, chargées électriquement. Le courant I_{low} circule du contact de grille vers le contact de source, horizontalement, en surface du transistor. De ce fait, nous obtenons des valeurs résistives très élevées pour ce modèle (entre 10^7 et $10^{11} \Omega$).
2. Ensuite, nous remarquons une zone de transition entre le premier (*modèle low - L*), et le deuxième mécanisme de conduction (*modèle medium-high - MH*). Nous avons modélisé cette transition par un composante intermédiaire : **modèle medium-low - ML**, puisque la variation des paramètres électriques (n et ϕ_B) est spécifique à une diode imparfaite, mais le courant de saturation (I_0) est quasi constant, ce qui rappelle le *modèle résistif (L)*.
3. Troisièmement, on passe sur le mécanisme principal de conduction gérant la diode Schottky de grille seule : le **modèle medium-high $\rightarrow$ MH**, avec un n est très proche de 1, et le ϕ_B le plus élevé parmi les quatre modèles. Néanmoins, la résistance série assez élevée reste un témoignage d'un chemin de collection de source ne passant pas par le 2DEG.
4. Enfin, nous identifions un dernier mécanisme de conduction spécifique à la diode Schottky principale : **modèle high - H**. Ce courant traverse verticalement toutes les couches du HEMT, jusqu'au canal d'électrons bidimensionnel (2DEG), en se refermant à la source (reliée à la masse). À température élevée et à tension de polarisation forte appliquée sur la diode, cette contribution principale prend totalement le dessus, masquant tous les autres contributeurs de courant.

Concernant les résistances séries très élevées pour les **modèles medium-low** et **medium-high** (entre 1 k Ω et 10 M Ω), l'hypothèse élaborée pour le transistor témoin TH2 reste valide pour le transistor vieilli HTOL : les défauts structurels du transistor ont pour conséquence directe la création d'un chemin de conduction fortement résistif, par conduction de type '*assisté par défauts*', ou en raison de la courbure de la bande de conduction proche du niveau de Fermi. Dans ce cas, la résistance série de valeur très élevée serait un marqueur d'un chemin de conduction parasite, à l'interface AlGaIn/GaN, côté AlGaIn.

En conclusion, si nous admettons le comportement idéal de la diode Schottky de grille modélisé par le modèle thermoionique, alors les défauts de conduction sont identifiables à faible température et à faible tension de polarisation, au travers les *modèles low* et *medium-low*.

3.4. Conclusions du Chapitre III

Le troisième chapitre du manuscrit s'est construit autour de l'analyse spécifique de la grille Schottky des transistors à hétérojonction AlGaIn/GaN, vierges et vieillis. Plusieurs méthodes de caractérisation électrique en température ont été étudiées, chacune présentant des points forts et des faiblesses quant à leur rapidité de mise en œuvre (et donc de leur exploitation) ou encore en ce qui concerne leur sens physique avéré ou pas (variation thermique des paramètres des modèles notamment). Néanmoins, il s'avère difficile d'accéder à tous les paramètres électriques de la diode Schottky de grille, variant en température, et en fonction de la polarisation, avec une seule méthode.

Dans cette approche, un outil d'exploitation original a été proposé par le LAAS, afin d'arriver à extraire précisément une hauteur de barrière moyenne, en chiffrant aussi la dispersion de la hauteur de la barrière attribuée à la présence d'inhomogénéités. Cette méthode est basée sur le modèle de Richardson modifié par les équations de Werner précédemment mis en œuvre au laboratoire [137] ; son principal inconvénient réside toutefois dans le temps nécessaire à son application. Cependant, nous avons démontré la pertinence de la méthode avec succès sur le lot *Picowatt 36/37B*, et nous considérons avoir trouvé des valeurs fiables pour la hauteur de barrière Schottky de grille (HBS).

Notre étude a révélé le fait que les transistors HEMT à base de GaN présentent des HBS inhomogènes à l'interface métal-semiconducteur. De plus, ces inhomogénéités ont des origines différentes (diffusion latérale de l'or, défauts, rugosités ou impuretés structurales, lacunes, etc.). Avec une représentation originale et une extrapolation de la hauteur de barrière Schottky selon les variations liées aux défauts, nous arrivons à identifier si les résultats sont effectivement attribués à la diode Schottky, ou plutôt à une inhomogénéité. La hauteur de barrière idéale est systématiquement accessible sur les gammes de températures les plus élevées. Les défauts sont quant à eux potentiellement identifiables à température basse et à polarisation faible, lorsque la contribution du modèle thermoionique est négligeable.

Deuxièmement, à partir des mesures et de la méthode de Werner appliquée sur le modèle de Richardson, nous avons proposé un retro calcul analytique afin d'élaborer un modèle complet sur le principe de commande des diodes Schottky de grille, en fonction de la polarisation et en température. En concordance avec la première étude, nous avons trouvé plusieurs contributeurs sur le courant total de grille : les mécanismes de conduction parasites attribués à des défauts se manifestent à faible tension de polarisation et à température basse. Ensuite, le modèle principal de conduction (modèle thermoionique) prend le dessus, en masquant toutes les autres contributions.

Avec ces deux outils d'investigation, nous avons réussi à identifier plusieurs diodes qui participent à la conduction du courant de grille de la diode, des contributions parasites en

surface, ainsi que des chemins de collection variables vers la source. Ces mécanismes sont plus sensibles pour les dispositifs vieilliss HTOL. Le processus de vieillissement a corrigé certains défauts de jeunesse de la diode principale (amélioration des paramètres de barrière), mais il a aussi provoqué l'apparition d'autres défauts latents, surtout à température basse (probable dilatation de la structure aux interfaces liées aux différences de coefficients thermiques d'expansion sous stress, qui peut créer des défauts structuraux et/ou des sites de charges fixes). Enfin, ces résultats mettant en œuvre des charges fixes sont également validés par des déplacements de la tension d'inversion comme nous l'avons déjà discuté en début de chapitre.

Table des figures/tableaux

Figure III - 1 Représentation de la configuration expérimentale utilisée pour les caractérisations électrothermiques I_{GS} - V_{GS} :.....	139
Figure III - 2. Calcul de la fonction $F(V)$ entre 80K (bleu foncé) et 400K (marron).	140
Figure III - 3. Application du modèle de Norde [152] sur $S_{\#2}$, un échantillon vieilli HTOL du lot <i>Picowatt 36/37B</i> . a) Résultats sur l'extraction de la hauteur de barrière Schottky de grille, ϕ_B ; b) Résultats sur l'extraction de la résistance série, R_s	141
Figure III - 4. Application du modèle de Tung [154] sur l'échantillon $S_{\#2}$ vieilli HTOL du lot <i>Picowatt 36/37B</i> : résultats sur l'extraction de la température d'anomalie, T_0	143
Figure III - 5. Mesures I_{GS} - V_{GS} en température, avec un pas de 25 K pour : a) $V_{\#6}$ (échantillon vierge) et b) $S_{\#2}$ (échantillon stressé). Gris clair est représenté en tant que la température la plus basse, et noir, en tant que la température la plus élevée.	144
Figure III - 6. Représentation des paramètres de la méthode de Werner appliquée au modèle de Richardson telle que décrite en [137] : une valeur moyenne constante de la HBS, ϕ_B , et un écart type associé ($\pm\sigma_S$), c'est-à-dire une expression mathématique pour les inhomogénéités de la HBS.	146
Figure III - 7. Extraction des HBS à chaque température (80 K - 400 K) pour : a) dispositif vierge $V_{\#6}$ et b) dispositif stressé HTOL $S_{\#2}$, sur une plage de courant de grille de deux décades, entre 10^{-6} A et 10^{-4} A. Les plages de température basse et haute sont délimitées.	148
Figure III - 8. Variation des HBS, avec les inhomogénéités, à chaque fenêtre glissante x de deux décades d' I_{GS} , dans les gammes de températures basses (en bleu), et élevées (en rouge), pour : a) dispositif vierge $V_{\#6}$ (en ligne continue), et b) dispositif stressé HTOL $S_{\#2}$ (en ligne pointillée).	149
Figure III - 9. Variations de ϕ_B par rapport à σ_S à plusieurs fenêtres glissantes x de deux décades d' I_{GS} , pour le composant $S_{\#2}$ (échantillon vieilli HTOL). Les carrés bleus représentent les ensembles $(\phi_B x, \sigma_{Sx})$ à des températures basses, et les cercles rouges, les ensembles $(\phi_B x, \sigma_{Sx})$ à des températures élevées.	150
Figure III - 10. Variations de ϕ_B par rapport à σ_S à plusieurs fenêtres glissantes x de deux décades d' I_{GS} , pour le composant $V_{\#6}$ (échantillon vierge). Les carrés bleus représentent les ensembles $(\phi_B x, \sigma_{Sx})$ à des températures basses, et les cercles rouges, les ensembles $(\phi_B x, \sigma_{Sx})$ à des températures élevées.	151
Figure III - 11. Variations de ϕ_B par rapport à σ_S à plusieurs fenêtres glissantes x de deux décades d' I_{GS} , pour : $S_{\#19}$ (échantillon vieilli HTOL). Les carrés bleus représentent les ensembles $(\phi_B x, \sigma_{Sx})$ à des températures basses, et les cercles rouges, les ensembles $(\phi_B x, \sigma_{Sx})$ à des températures élevées.	154
Figure III - 12. Lamelle TEM du pied de grille réalisée par SERMA : a) vue de coupe avant élimination de la grille, puis b) vues de dessus d'un doigt de grille, avec c) zoom sur les défauts. Identification des défauts (lacunes) sous la grille.	155

Figure III - 13. a) Maillage EDX réalisés par SERMA, confirmant la présence de l'Au à l'interface métallisation de grille en Ni/Pt, et la passivation à base de SiN (grille côté gauche).

.....156

Figure III - 14. Variations de ϕB par rapport à σ_s à plusieurs fenêtres glissantes x de deux décades d' I_{GS} , et à basse température pour : $V_{\#2}$ (échantillon vierge, en noir et en vert), $V_{\#6}$ (échantillon vierge, en bleu foncé), et $S_{\#19}$ (échantillon vieilli HTOL, en bleu clair).157

Figure III - 15. Variations de ϕB par rapport à σ_s à température élevée, et plusieurs gammes x de courant de grille, pour tous les dispositifs : $V_{\#i}$ (échantillon témoin i , représenté par des cercles), et $S_{\#j}$ (échantillon stressé HTOL j , représenté par des carrés ou triangles).

.....157

Figure III - 16. Mesures I_{GS} - V_{GS} en température, avec un pas de 25 K pour E24 (échantillon du lot *Femtowatt_SPLIT LRE 43*, avec protection BCB) : a) V_{GS} entre -15 V et 2 V, b) V_{GS} entre 0 V et 2 V. La température varie entre 80 K (température la plus basse, en bleu foncé) et 400 K (température la plus élevée, en marron foncé). Nota : utilisation d'un balayage V_{GS} croissant, temps d'intégration moyen (20 ms), avec Agilent 4156C.158

Figure III - 17. Mesures I_{GS} - V_{GS} en température, avec un pas de 25 K pour C17 (échantillon du lot *Femtowatt_SPLIT LRE 43*) : a) V_{GS} entre -15 V et 2 V, b) V_{GS} entre 0 V et 2 V. La température varie entre 80 K (température la plus basse, en bleu foncé) et 400 K (température la plus élevée, en marron foncé).160

Figure III - 18. Variations de ϕB par rapport à σ_s à plusieurs fenêtres glissantes x de deux décades d' I_{GS} , pour : a) E24 (échantillon du lot *Femtowatt_SPLIT LRE 43*, avec protection BCB), et b) C17 (échantillon du lot *Femtowatt_SPLIT LRE 43*). Les carrés bleus représentent les ensembles $(\phi Bx, \sigma_{sx})$ à des températures basses, et les cercles rouges, les ensembles $(\phi Bx, \sigma_{sx})$ à des températures élevées.161

Figure III - 19. Variations de ϕB par rapport à σ_s à température basse (a, en bleu) et élevée (b, en rouge), et sur plusieurs gammes x de courant de grille, pour tous les dispositifs *Femtowatt*. Les échantillons de type C sont représentés en couleurs claires (bleu et rouge claires), et les échantillons de type E, en couleurs foncées (bleu et rouge foncées).163

Figure III - 20. E23 : I_{GS} - V_{GS} en fonction de température : de 80 K (bleu foncé), à 400 K (marron). Le tracé noir représente le plancher en courant de l'appareil de mesure (Agilent 4156C).164

Figure III - 21. I_{GS} - V_{GS} en connexion diode, avant (le tracé bleu) et après (le tracé rouge) passage en température pour :165

Figure III - 22. Images STEM-HAADF (coupe FIB) : a) au bord de la grille (entre grille et source), et b) sous la grille. [116].....166

Figure III - 23. a) I_{GS} - V_{GS} en fonction de température : 100 K (bleu foncé), 225 K (bleu clair), 275 K (orange), et 400 K (rouge). b) Zoom sur la Figure III - 23a, entre -4 V et 1,5 V.167

Figure III - 24. a) I_{GS} - V_{GS} en fonction de température, et en polarisation directe : de 100 K (bleu foncé), à 400 K (marron). b) Modélisation de la mesure I_{GS} - V_{GS} à 100 K (tracé noir) avec trois contributeurs de courant : *modèle high* (en vert), *modèle medium* (en bleu), et *modèle low* (en rouge).168

Figure III - 25. a) Modélisation de la mesure $I_{GS}-V_{GS}$ à 375 K (tracé noir) avec un seul contributeur de courant : *modèle high* (en vert). b) Variation du n (triangles rouges) et φ_B (carrés bleus) en fonction de la température pour le *modèle high*. c) Variation du R_S (cercles violets) en fonction de la température pour le *modèle high*. d) Variation du I_0 (carreaux verts) en fonction de la température pour le *modèle high*.170

Figure III - 26. a) Modélisation de la mesure $I_{GS}-V_{GS}$ à 200 K (tracé noir) avec trois contributeurs de courant : *modèle high* (en vert), *modèle medium* (en bleu), et *modèle low* (en rouge). b) Variation du coefficient n (triangles rouges) et de φ_B (carrés bleus) en fonction de la température pour le *modèle medium*. c) Variation de la résistance d'accès série R_S (cercles violets) en fonction de la température pour le *modèle medium*. d) Variation de I_0 (carreaux verts) en fonction de la température pour le *modèle medium*.170

Figure III - 27. a) Variation du n (triangles) du *modèle high* (en vert), et *medium* (en bleu), en fonction de la température. b) Variation du I_0 (carreaux) du *modèle high* (en vert), et *medium* (en bleu), en fonction de la température.171

Figure III - 28. a) Modélisation de la mesure $I_{GS}-V_{GS}$ à 300 K (tracé noir) avec deux contributeurs de courant : *modèle high* (en vert), et *modèle low* (en rouge). b) Variation du R_S (cercles violets) en fonction de la température pour le *modèle low*. c) Variation du niveau de fuite I_0 résultant (carreaux verts) en fonction de la température pour le *modèle low*.172

Figure III - 29. a) Bandes d'énergie aux interfaces pour une structure idéale d'un HEMT à base de GaN (en tracé vert). b) Bandes d'énergie aux interfaces pour des structures HEMT à base de GaN : la structure idéale est représentée en tracé vert, et la structure réelle en tracé bleu. L'augmentation de la résistance de la diode a été modélisée par une bande de conduction d'AlGaIn infléchi vers le niveau de Fermi (avec collection dans le plan transverse au plan de coupe proposé i.e., vers le contact de source par conduction de type *hopping* latéralisé). c) Représentation généralisée des diodes Schottky réelles : résistance élevée de la diode Schottky de grille (bande de conduction d'AlGaIn plus près du niveau de Fermi), et rugosités au niveau de l'interface AlGaIn/GaN.174

Figure III - 30. a) TH2 : $I_{GS}-V_{GS}$ en fonction de la configuration de mesure. Deux mesures consécutives sont illustrées à 100 K (en polarisation croissante, de 0 à 2 V), et deux autres à 150 K (en polarisation croissante de 0 à 2 V, ainsi qu'en polarisation décroissante, de 2 V à 0). b) *Modèle high* de la mesure $I_{GS}-V_{GS}$ à 100 K (tracé vert), masqué par les contributeurs secondaires (*modèle high* et *modèle medium*). c) D18 (vieilli HTOL du lot *Picowatt 36/37B*) : $I_{GS}-V_{GS}$ en fonction de la configuration de mesure.176

Figure III - 31. a) Représentation physique des chemins de conduction du courant issu de la diode Schottky de grille (en vert) : dans le canal d'électrons bidimensionnel (2DEG, en bleu-indigo), et dans l'AlGaIn (en violet clair). b) Représentation des chemins de conduction des *modèles high* et *medium* aux interfaces du transistor vierge (TH2).178

Figure III - 32. a) Représentation physique des chemins de conduction du courant de grille : I_{low} (issu du *modèle low*, en rouge), I_{medium} (issu du *modèle medium*, en bleu), et I_{high} (issu du *modèle high*, en vert).179

Figure III - 33. a) $I_{GS}-V_{GS}$ en fonction de température : de 80 K (bleu foncé), à 400 K (marron). b) Zoom effectué sur la Figure III - 33a, entre -5 V et 2 V.181

Figure III - 34. a) $I_{GS}-V_{GS}$ en fonction de température, et en polarisation directe : de 80 K (bleu foncé), à 400 K (marron). b) Modélisation de la mesure $I_{GS}-V_{GS}$ à 80 K (tracé noir) avec quatre contributeurs de courant : *modèle high* (en vert), *modèle medium-high* (en mauve), *modèle medium-low* (en bleu), et *modèle low* (en rouge).182

Figure III - 35. Comparaison entre les paramètres électriques des *modèles high* des transistors : les symboles vides indiquent les valeurs du transistor témoin, TH2, et les symboles remplis, les valeurs du transistor vieilli HTOL, D2. a) Modélisation de la mesure $I_{GS}-V_{GS}$ à 350 K (tracé noir) avec deux contributeurs de courant : *modèle high* (en vert), et *modèle low* (en rouge). b) Variation du n (triangles rouges) et ϕ_B (carrés bleus) en fonction de la température du *modèle high*. c) Variation du R_s (cercles violets) en température du *modèle high*. d) Variation du I_0 (carreaux verts) en fonction de la température du *modèle high*.184

Figure III - 36. Comparaison entre les paramètres électriques des transistors : les carrés mauves indiquent les valeurs du modèle *medium-high* du transistor vieilli HTOL, D2 ($D2_MH$), les triangles verts désignent les valeurs du *modèle high* du transistor vieilli HTOL, D2 ($D2_H$), et les étoiles bleues, les valeurs du *modèle medium* du transistor témoin, TH2 ($TH2_M$)...185

Figure III - 37. $I_{GS}-V_{GS}$ à températures basses pour trois transistors :186

Figure III - 38. Application du modèle de Tung [154] sur $S_{\#2}$ (D2), un échantillon vieilli HTOL du lot *Picowatt 36/37B* : a) résultats sur l'extraction de la température d'anomalie, T_0 , sur toute la gamme de température (entre 80 K et 400 K, en bleu). b) résultats sur l'extraction de la température d'anomalie, T_0 , entre 250 K et 400 K (en rouge).187

Figure III - 39. Comparaison entre les paramètres électriques des transistors : les cercles bleu foncé représentent les valeurs du modèle *medium-low* du transistor vieilli HTOL, D2 ($D2_ML$), les carrés mauves indiquent les valeurs du modèle *medium-high* du transistor vieilli HTOL, D2 ($D2_MH$), les triangles verts désignent les valeurs du *modèle high* du transistor vieilli HTOL, D2 ($D2_H$), et les étoiles bleu clair, les valeurs du *modèle medium* du transistor témoin, TH2 ($TH2_M$).188

Figure III - 40. Comparaison entre les paramètres électriques des transistors : les lignes rouges désignent les valeurs du *modèle low* du transistor vieilli HTOL, D2 ($D2_L$), les cercles bleu foncé représentent les valeurs du modèle *medium-low* du transistor vieilli HTOL, D2 ($D2_ML$), les carrés mauves indiquent les valeurs du modèle *medium-high* du transistor vieilli HTOL, D2 ($D2_MH$), les triangles verts désignent les valeurs du *modèle high* du transistor vieilli HTOL, D2 ($D2_H$), et les étoiles rouge foncé, les valeurs du *modèle low* du transistor témoin, TH2 ($TH2_L$).190

Figure III - 41. Modélisation de la mesure $I_{GS}-V_{GS}$ à 100 K (tracé noir) avec quatre contributeurs de courant : *modèle high* (en vert), *modèle medium-high* (en mauve), *modèle medium-low* (en bleu), et *modèle low* (en rouge).192

Figure III - 42. a) Représentation physique des chemins de conduction du courant de grille : I_{low} (issu du *modèle low*, en rouge), I_{ML} (issu du *modèle medium-low*, en bleu), I_{diode_MH} (issu du *modèle medium-high*, en mauve), et I_{diode_H} (issu du *modèle high*, en vert). b) Modélisation de

la mesure $I_{GS}-V_{GS}$ à 100 K (tracé noir) avec quatre contributeurs de courant : *modèle high* (en vert), *modèle medium-high* (en mauve), *modèle medium-low* (en bleu), et *modèle low* (en rouge).....194

Tableau III - 1. Résumé des caractéristiques des hauteurs de barrière et facteurs d'idéalité des diverses diodes Schottky de grille.138

Tableau III - 2. Paramètres physiques et électriques des dispositifs non-fuiteaux, extraits sur trois valeurs différentes injectées sur A^* ($A^* = 20 \text{ A}/(\text{cm}^2 \cdot \text{K}^2)$, $A^* = 32 \text{ A}/(\text{cm}^2 \cdot \text{K}^2)$ et $A^* = 40 \text{ A}/(\text{cm}^2 \cdot \text{K}^2)$).147

Tableau III - 3. Extrapolation de ϕB à $\sigma_s = 0 \text{ eV}$ pour toutes les représentations de ϕB par rapport à σ_s à plusieurs fenêtres glissantes x de deux décades d' I_{GS} . Application sur les dispositifs du lot *Femtowatt_SPLIT LRE 43*, avec (transistors de type E), ou sans protection BCB (dispositifs de type C).....162

Conclusion générale

Les technologies à grande bande interdite, et notamment la technologie GaN, introduisent de nouvelles potentialités dans le paysage de l'électronique de puissance et des hyperfréquences, grâce à des qualités intrinsèques largement supérieures aux technologies silicium et III-V conventionnelles. L'évolution rapide de cette technologie sur la dernière décennie est due aux progrès considérables réalisés sur les techniques de croissance, les améliorations des matériaux, les conceptions de nouvelles architectures de composants et également les conceptions de circuits MMIC.

La technologie GaN possède des atouts indéniables pour des applications de forte puissance, à fréquence élevée, mais également pour les applications faible bruit linéaire et non-linéaire. Les transferts de laboratoires de recherche vers les fondeurs commerciaux continuent de participer à l'émergence rapide de ces technologies, mais le marché du GaN ne dévoilera son véritable potentiel que lorsque les coûts de production seront réduits (par exemple, la production de plaquettes de diamètre large, supérieur à 100 mm), et lorsque la technologie sera parfaitement fiabilisée pour des applications à forte puissance et à température élevée. La filière GaN deviendra alors un acteur incontournable de l'électronique en offrant de nouvelles solutions, et en révolutionnant les architectures traditionnelles.

Nos travaux ne concernent pas une analyse exhaustive des mécanismes de dégradation dans l'intégralité de la structure, mais se focalise sur les mécanismes de commande et de ses défauts initiaux ou induits par contrainte ; en effet la commande est reconnue comme étant un point clé responsable de nombreux phénomènes électriques ayant pour conséquence un comportement altéré du canal (effets transitoires de commandes ou effets permanents structuraux, induits ou pas par stress des structures).

Ainsi, le premier chapitre de ce manuscrit est consacré à une récapitulation des notions fondamentales sur lesquelles s'appuient les études développées dans cette thèse : les paramètres électriques des matériaux nitrure, la structure des HEMTs AlGaIn/GaN, la nature et l'origine des porteurs, le transport des charges, la génération et la recombinaison des porteurs, ainsi qu'une description sommaire des principaux mécanismes de défaillance. Ces notions sont par la suite exploitées pour poser certaines hypothèses de ce travail, qu'elles soient validées ou pas par simulations T-CAD. Parmi ces effets, une attention particulière est portée sur l'impact des fortes densités d'états d'interface (difficilement maîtrisables) sur la fiabilité et la performance des différents lots de transistors sous test.

Quant au deuxième chapitre, il est dédié à la description des différents bancs de mesures que l'on utilise au LAAS pour caractériser des transistors à base de nitrure de gallium. Nous avons remarqué depuis les premiers travaux sur ces technologies que, de par la grande complexité de ces structures microélectroniques, l'utilisation de plusieurs bancs de

manipulations et outils d'investigation est indispensable pour pouvoir statuer sur la nature et la localisation des mécanismes de défaillance associés aux essais sous contrainte. Les méthodes de travail que nous avons mises en œuvre sont basées sur des procédures de mesures non-invasives et donc, non-destructives, dans le domaine temporel et dans le domaine spectral, afin de proposer des stratégies d'analyse croisée. Parmi les principaux résultats, nous pouvons recenser :

- l'importance de s'assurer de la stabilité en courant (ou en tension) pour les mesures en courant continu, en transitoire ou en bruit basse fréquence. Avec ces techniques de mesures transitoires, nous avons identifié la présence de pièges et de charges au niveau de la grille, et aux interfaces passivation/AlGaIn, qui ont un impact direct sur la polarisation interne de la grille Schottky (fluctuations instantanées, non nécessairement monotones).
- l'utilisation de mesures spectrales en bruit basse fréquence qui sont corrélées avec les mesures transitoires : l'action des effets mémoire courts (STM) et longs (LTM) a été identifiée, avec un large éventail de constantes de temps.

De ces études, la perte de puissance (réduction d' I_{DS} à cause du stress HTOL) est imputée à l'évolution de la grille dans les dispositifs, qui modifie le profil de commande du canal (et donc la densité de porteurs) ; la stabilisation des charges (fixes ou dynamiques, identifiées sur des dispositifs lors des mesures en DC et transitoires) influe sur la densité des porteurs dans le 2DEG. Les variations de charges fixes aux interfaces (avec un poids très marqué pour les charges à l'interface AlGaIn/GaN) semblent causées par le stress HTOL, et permettent d'expliquer la variation simultanément de la commande et des caractéristiques de sortie (et de commande) ; ces travaux sont favorablement confortés par des simulations T-CAD relativement à des travaux menés en parallèle de nos études.

Le troisième et dernier chapitre s'articule exclusivement sur l'analyse du contact Schottky de grille, en raison du rôle majeur qu'elle tient dans le fonctionnement du transistor HEMT.

- Premièrement, notre étude a révélé le fait que les transistors HEMT à base de GaN présentent des HBS inhomogènes à l'interface métal-semiconducteur. De plus, ces inhomogénéités ont des origines différentes (diffusion latérale de l'or, défauts, rugosités ou impuretés structurelles, lacunes). Avec une représentation originale et une extrapolation de la hauteur de barrière Schottky selon les variations liées aux défauts, nous arrivons à identifier si les résultats sont effectivement attribués à la diode Schottky de grille, ou plutôt à une inhomogénéité. Notre modèle permet en outre d'approcher de la manière la plus proche de la valeur théorique, relativement aux autres modèles disponibles dans la littérature. Enfin, de par le mode de construction de ce modèle (basé sur des mesures I-V-T), de nombreuses informations 'secondaires' deviennent accessibles et interprétables sur les comportements électriques non-nécessairement idéaux des caractéristiques

électriques (thermiques) de la diode. Nos études ont permis de dégager des comportements sur les lots de composants étudiés (majoration de la hauteur de barrière par activation de défauts après application de stress par exemple).

- Deuxièmement, nous avons proposé une modélisation analytique de nos diodes (et ce pour l'ensemble des températures explorées) afin d'élaborer un modèle complet sur le principe de commande des diodes Schottky de grille. Nous avons trouvé plusieurs contributeurs sur le courant total de grille, qui viennent corroborer des résultats du chapitre précédent : les mécanismes de conduction parasites attribués à des défauts se manifestent à faible tension de polarisation et à température basse. Ensuite, le modèle principal de conduction (modèle thermoïonique) prend le dessus, en masquant toutes les autres contributions.

Avec ces deux outils d'investigation, nous avons réussi à identifier plusieurs diodes qui participent à la conduction du courant de grille : des contributions parasites en surface, ainsi que des chemins de collection variables vers la source sont décelés. Des analyses à caractère destructif ont été appliquées à certains échantillons (à la demande de la DGA), ce qui a permis de valider de manière ciblée certaines hypothèses émises.

Enfin, certains comportements électriques avérés de ces études doivent encore trouver des relations causales plus sécurisées : de nouvelles procédures de modélisation et de caractérisation sont pressenties pour mieux appréhender les signatures électriques des composants. L'utilisation de modèles T-CAD, instruits dans le domaine temporel semble être indissociable de la maîtrise de ces technologies d'une part, et permet également de réduire les aspects spéculatifs de certaines hypothèses physiques délicates à prouver de manière expérimentale (cinétique des mécanismes de dégradation). La mise en œuvre conjointe de ces ensembles de moyens expérimentaux avec d'autres types d'analyses réalisées par ailleurs dans d'autres laboratoires (instruction des pièges sur modèles large-sigaux, analyses thermiques transitoires, analyses par électroluminescence, ...) permettent progressivement de basculer d'un développement partiellement empirique vers la maîtrise déterministe des moyens de production. Ces techniques peuvent bien entendu être appliquées aux dernières générations de filières Nitrures.

Le future du GaN

Les principaux compétiteurs du GaN est le LDMOS aux fréquences RF, et le GaAs pour les fréquences plus élevées. LDMOS reste toujours dominant sur les marchés commerciaux à fort volume pour les applications dédiées à des puissances élevées. Bien que le GaN ne remplace pas complètement une technologie, il n'arrêtera pas de pénétrer ces marchés de volume, et de devenir plus compétitif en termes de prix.

BAE Systems [171] pense qu'à long terme, le GaN sera utilisé pour les applications hyperfréquences des puissances élevées, à des fréquences de 1 à 100 GHz. Pourtant, il ne remplacera pas complètement le GaAs et le Si, car ils ont tous deux des caractéristiques de performance uniques qui assureront leur viabilité dans certains marchés. Une expansion supplémentaire de GaN se produira au fur et à mesure que les procédés à haut rendement deviendront matures, et les tailles de plaquettes plus importantes, réduisant ainsi les coûts de production. GaN est clairement une technologie de rupture, sans aucun compétiteur confirmé au moins pour la prochaine décennie.

Dernièrement, quatre ingénieurs de Lehigh ont rapporté une propriété auparavant inconnue pour GaN : sa résistance à l'usure est proche de celle du diamant, le matériau le plus dur connu, et promet d'ouvrir des applications dans les écrans tactiles, les véhicules spatiaux et les systèmes microélectromécaniques radiofréquences (RF MEMS) [172] ; tous ces domaines d'application nécessitent absolument des technologies rapides, à haute vibration. Cette découverte ouvrira un nouveau paradigme quant à la conception de dispositifs électroniques : étant donné que le GaN peut être à la fois très fin et solide, il accélérera le passage à l'électronique flexible.

Bibliographie

- [1] W. Saito *et al.*, « High breakdown voltage AlGaIn-GaN power-HEMT design and high current density switching behavior », *IEEE Trans. Electron Devices*, vol. 50, n° 12, p. 2528–2531, déc. 2003.
- [2] Y. Niiyama, S. Ootomo, J. Li, T. Nomura, S. Kato, et T. P. Chow, « Normally off operation GaN-based MOSFETs for power electronics applications », *Semicond. Sci. Technol.*, vol. 25, n° 12, p. 125006, déc. 2010.
- [3] T. Li, M. Mastro, et A. Dadgar, *III-V compound semiconductors: integration with silicon-based microelectronics*. CRC Press, 2011.
- [4] M. Sumiya et S. Fuke, « Review of polarity determination and control of GaN », *MRS Internet J. Nitride Semicond. Res.*, vol. 9, 2004.
- [5] O. Ambacher *et al.*, « Two-dimensional electron gases induced by spontaneous and piezoelectric polarization charges in N- and Ga-face AlGaIn/GaN heterostructures », *J. Appl. Phys.*, vol. 85, n° 6, p. 3222–3233, 1999.
- [6] S. Karmalkar, M. S. Shur, et R. Gaska, *GaN-based power high electron mobility transistors*. World Scientific, 2003.
- [7] O. Ambacher *et al.*, « Pyroelectric properties of Al (In) GaN/GaN hetero- and quantum well structures », *J. Phys. Condens. Matter*, vol. 14, n° 13, p. 3399, 2002.
- [8] R. S. Pengelly, S. M. Wood, J. W. Milligan, S. T. Sheppard, et W. L. Pribble, « A Review of GaN on SiC High Electron-Mobility Power Transistors and MMICs », *IEEE Trans. Microw. Theory Tech.*, vol. 60, n° 6, p. 1764–1783, juin 2012.
- [9] C. Prakash et R. K. Chauhan, « Analyses of 2-DEG Characteristics in GaN HEMT with Graded AlGaIn and Si Isolation from substrate », vol. 2, n° 9, p. 727–736, sept. 2012.
- [10] S. M. Sze et K. N. Kwok, *Physics of Semiconductor Devices*, 3rd éd. Wiley, 2007.
- [11] M. S. Shur, « GaN based transistors for high power applications », *Solid-State Electron.*, vol. 42, n° 12, p. 2131–2138, 1998.
- [12] T. Iwasaki *et al.*, « High-Temperature Operation of Diamond Junction Field-Effect Transistors With Lateral p-n Junctions », *IEEE Electron Device Lett.*, vol. 34, n° 9, p. 1175–1177, sept. 2013.
- [13] O. Ambacher, « Growth and applications of Group III-nitrides », *J Phys Appl Phys*, vol. 31, p. 2653–2710, 1998.
- [14] H. Okumura, « Present Status and Future Prospect of Widegap Semiconductor High-Power Devices », *Jpn. J. Appl. Phys.*, vol. 45, n° 10A, p. 7565–7586, 2006.
- [15] S. Arulkumaran, T. Egawa, H. Ishikawa, et T. Jimbo, « High-temperature effects of AlGaIn/GaN high-electron-mobility transistors on sapphire and semi-insulating SiC substrates », *Appl. Phys. Lett.*, vol. 80, n° 12, p. 2186–2188, mars 2002.
- [16] M. Rudolph, N. Chaturvedi, K. Hirche, J. Wurfl, W. Heinrich, et G. Trankle, « Highly Rugged 30 GHz GaN Low-Noise Amplifiers », *IEEE Microw. Wirel. Compon. Lett.*, vol. 19, n° 4, p. 251–253, avr. 2009.
- [17] A. P. M. Maas et F. E. van Vliet, « A low-noise X-band microstrip VCO with 2.5 GHz tuning range using a GaN-on-SiC p-HEMT », in *Gallium Arsenide and Other Semiconductor Application Symposium, 2005. EGAAS 2005. European*, 2005, p. 257–260.

- [18] G. Soubercaze-Pun, « De l'étude en bruit basse fréquence à la conception d'un oscillateur en bande-X à partir de transistors AlGaIn/GaN HEMT », Université Paul Sabatier-Toulouse III, 2007.
- [19] M. Horberg, T. Emanuelsson, Szhou Lai, Thi Ngoc Do Thanh, H. Zirath, et D. Kuylenstierna, « Phase-Noise Analysis of an X-Band Ultra-Low Phase-Noise GaN HEMT Based Cavity Oscillator », *IEEE Trans. Microw. Theory Tech.*, vol. 63, n° 8, p. 2619-2629, août 2015.
- [20] X. Lan *et al.*, « A V-Band Monolithic AlGaIn/GaN VCO », *IEEE Microw. Wirel. Compon. Lett.*, vol. 18, n° 6, p. 407-409, juin 2008.
- [21] M. R. Irekti, « Thèse », CNRS - Université de Lille, Lille.
- [22] M. Werquin *et al.*, « Performances of AlGaIn/GaN HEMTs in Planar Technology », 2004.
- [23] V. Kumar *et al.*, « High performance 0.25 μm gate-length AlGaIn/GaN HEMTs on sapphire with power density of over 4.5 W/mm at 20 GHz », *Solid-State Electron.*, vol. 47, n° 9, p. 1577-1580, sept. 2003.
- [24] A. Chini, D. Buttari, R. Coffie, S. Heikman, S. Keller, et U. K. Mishra, « 12 W/mm power density AlGaIn/GaN HEMTs on sapphire substrate », *Electron. Lett.*, vol. 40, n° 1, p. 73-74, 2004.
- [25] R. Coffie *et al.*, « p-capped GaN-AlGaIn-GaN high-electron mobility transistors (HEMTs) », *IEEE Electron Device Lett.*, vol. 23, n° 10, p. 588-590, oct. 2002.
- [26] D. Ducatteau *et al.*, « Résultat interne soumis à IEEE Electron Device Letters ».
- [27] T. Palacios *et al.*, « High-power AlGaIn/GaN HEMTs for Ka-band applications », *IEEE Electron Device Lett.*, vol. 26, n° 11, p. 781-783, 2005.
- [28] Y.-F. Wu *et al.*, « 30-W/mm GaN HEMTs by Field Plate Optimization », *IEEE Electron Device Lett.*, vol. 25, n° 3, p. 117-119, mars 2004.
- [29] V. Kumar, G. Chen, S. Guo, et I. Adesida, « Field-plated 0.25- μm gate-length AlGaIn/GaN HEMTs with varying field-plate length », *IEEE Trans. Electron Devices*, vol. 53, n° 6, p. 1477-1480, 2006.
- [30] J. S. Moon *et al.*, « Gate-recessed AlGaIn-GaN HEMTs for high-performance millimeter-wave applications », *IEEE Electron Device Lett.*, vol. 26, n° 6, p. 348-350, juin 2005.
- [31] K. K. Chu *et al.*, « 9.4-W/mm Power Density AlGaIn-GaN HEMTs on Free-Standing GaN Substrates », *IEEE Electron Device Lett.*, vol. 25, n° 9, p. 596-598, sept. 2004.
- [32] A. Minko *et al.*, « AlGaIn-GaN HEMTs on Si With Power Density Performance of 1.9 W/mm at 10 GHz », *IEEE Electron Device Lett.*, vol. 25, n° 7, p. 453-455, juill. 2004.
- [33] J. W. Johnson *et al.*, « 12 W/mm AlGaIn-GaN HFETs on silicon substrates », *IEEE Electron Device Lett.*, vol. 25, n° 7, p. 459-461, 2004.
- [34] D. C. Dumka, C. Lee, H. Q. Tserng, P. Saunier, et M. Kumar, « AlGaIn/GaN HEMTs on Si substrate with 7 W/mm output power density at 10 GHz », *Electron. Lett.*, vol. 40, n° 16, p. 1023-1024, 2004.
- [35] D. Ducatteau *et al.*, « Output power density of 5.1 W/mm at 18 GHz with an AlGaIn/GaN HEMT on Si substrate », *IEEE Electron Device Lett.*, vol. 27, n° 1, p. 7-9, janv. 2006.
- [36] J.-C. Gerbedoen *et al.*, « AlGaIn/GaN HEMTs on (001) Silicon Substrate With Power Density Performance of 2.9 W/mm at 10 GHz », *IEEE Trans. Electron Devices*, vol. 57, n° 7, p. 1497-1503, juill. 2010.
- [37] E. T. Yu, G. J. Sullivan, P. M. Asbeck, C. D. Wang, D. Qiao, et S. S. Lau, « Measurement of piezoelectrically induced charge in GaN/AlGaIn heterostructure field-effect transistors », *Appl. Phys. Lett.*, vol. 71, n° 19, p. 2794-2796, nov. 1997.

- [38] J. Lehmann, « Caractérisation électrique d'hétérostructures AlGa_N / Ga_N pour des applications de puissance », Université Grenoble Alpes, Grenoble, 2015.
- [39] J. P. Ibbetson, P. T. Fini, K. D. Ness, S. P. DenBaars, J. S. Speck, et U. K. Mishra, « Polarization effects, surface states, and the source of electrons in AlGa_N/Ga_N heterostructure field effect transistors », *Appl. Phys. Lett.*, vol. 77, n° 2, p. 250-252, juill. 2000.
- [40] B. Jogai, « Influence of surface states on the two-dimensional electron gas in AlGa_N/Ga_N heterojunction field-effect transistors », *J. Appl. Phys.*, vol. 93, n° 3, p. 1631-1635, févr. 2003.
- [41] J. Hoon Shin, Y. Je Jo, K.-C. Kim, T. Jang, et K. Sang Kim, « Gate metal induced reduction of surface donor states of AlGa_N/Ga_N heterostructure on Si-substrate investigated by electroreflectance spectroscopy », *Appl. Phys. Lett.*, vol. 100, n° 11, p. 111908, mars 2012.
- [42] B. Bakeroot *et al.*, « On the origin of the two-dimensional electron gas at AlGa_N/Ga_N heterojunctions and its influence on recessed-gate metal-insulator-semiconductor high electron mobility transistors », *J. Appl. Phys.*, vol. 116, n° 13, p. 134506, oct. 2014.
- [43] G. Koley et M. G. Spencer, « On the origin of the two-dimensional electron gas at the AlGa_N/Ga_N heterostructure interface », *Appl. Phys. Lett.*, vol. 86, n° 4, p. 042107, janv. 2005.
- [44] L. Gordon, M.-S. Miao, S. Chowdhury, M. Higashiwaki, U. K. Mishra, et C. G. Van de Walle, « Distributed surface donor states and the two-dimensional electron gas at AlGa_N/Ga_N heterojunctions », *J. Phys. Appl. Phys.*, vol. 43, n° 50, p. 505501, déc. 2010.
- [45] A. Ozgur *et al.*, « High transconductance normally-off Ga_N MODFETs », *Electron. Lett.*, vol. 31, n° 16, p. 1389-1390, 1995.
- [46] J. Lehmann *et al.*, « Novel sheet resistance measurement on AlGa_N/Ga_N HEMT wafer adapted from four-point probe technique », in *Microelectronic Test Structures (ICMTS), 2015 International Conference on*, 2015, p. 163-168.
- [47] P. Ivo *et al.*, « Influence of Ga_N cap on robustness of AlGa_N/Ga_N HEMTs », in *Reliability Physics Symposium, 2009 IEEE International*, 2009, p. 71-75.
- [48] M. A. Khan, M. S. Shur, Q. C. Chen, et J. N. Kuznia, « Current/voltage characteristic collapse in AlGa_N/Ga_N heterostructure insulated gate field effect transistors at high drain bias », *Electron. Lett.*, vol. 30, n° 25, p. 2175-2176, 1994.
- [49] M. Hajlasz *et al.*, « Sheet resistance under Ohmic contacts to AlGa_N/Ga_N heterostructures », *Appl. Phys. Lett.*, vol. 104, n° 24, p. 242109, juin 2014.
- [50] M. Hajlasz *et al.*, « Characterization of recessed Ohmic contacts to AlGa_N/Ga_N », in *Microelectronic Test Structures (ICMTS), 2015 International Conference on*, 2015, p. 158-162.
- [51] I. P. Smorchkova *et al.*, « Al_N/Ga_N and (Al,Ga)_N/Al_N/Ga_N two-dimensional electron gas structures grown by plasma-assisted molecular-beam epitaxy », *J. Appl. Phys.*, vol. 90, n° 10, p. 5196-5201, nov. 2001.
- [52] Q. Sun *et al.*, « High-temperature Al_N interlayer for crack-free AlGa_N growth on Ga_N », *J. Appl. Phys.*, vol. 104, n° 4, p. 043516, août 2008.
- [53] J. K. Sheu, M. L. Lee, et W. C. Lai, « Effect of low-temperature-grown Ga_N cap layer on reduced leakage current of Ga_N Schottky diodes », *Appl. Phys. Lett.*, vol. 86, n° 5, p. 052103, janv. 2005.
- [54] Z.-Y. Liu *et al.*, « Effects of the strain relaxation of an AlGa_N barrier layer induced by various cap layers on the transport properties in AlGa_N/Ga_N heterostructures », *Chin. Phys. B*, vol. 20, n° 9, p. 097701, sept. 2011.

- [55] M. Van Hove *et al.*, « CMOS Process-Compatible High-Power Low-Leakage AlGaIn/GaN MISHEMT on Silicon », *IEEE Electron Device Lett.*, vol. 33, n° 5, p. 667-669, mai 2012.
- [56] G. Astre, « Fiabilité des dispositifs HEMT en technologie GaN », Université Paul Sabatier-Toulouse III, 2012.
- [57] R. Mehandru *et al.*, « AlGaIn/GaN metal-oxide-semiconductor high electron mobility transistors using Sc₂O₃ as the gate oxide and surface passivation », *Appl. Phys. Lett.*, vol. 82, n° 15, p. 2530-2532, avr. 2003.
- [58] J. Robertson, « High dielectric constant oxides », *Eur. Phys. J. Appl. Phys.*, vol. 28, n° 3, p. 265-291, déc. 2004.
- [59] W.-K. Wang *et al.*, « Low-k BCB Passivation on AlGaIn-GaN HEMT Fabrication », *IEEE Electron Device Lett.*, vol. 25, n° 12, p. 763-765, déc. 2004.
- [60] C. Bondoux *et al.*, « MgO insulating films prepared by sol-gel route for SiC substrate », *J. Eur. Ceram. Soc.*, vol. 25, n° 12, p. 2795-2798, janv. 2005.
- [61] C. P. Chen *et al.*, « Thin single-crystal Sc₂O₃ films epitaxially grown on Si (111)—structure and electrical properties », *J. Cryst. Growth*, vol. 278, n° 1-4, p. 638-642, mai 2005.
- [62] H. C. Lin, P. D. Ye, et G. D. Wilk, « Leakage current and breakdown electric-field studies on ultrathin atomic-layer-deposited Al₂O₃ on GaAs », *Appl. Phys. Lett.*, vol. 87, n° 18, p. 182904, oct. 2005.
- [63] N. Tipirneni, V. Adivarahan, G. Simin, et A. Khan, « Silicon dioxide-encapsulated high-voltage AlGaIn/GaN HFETs for power-switching applications », *IEEE Electron Device Lett.*, vol. 28, n° 9, p. 784, 2007.
- [64] F. A. Padovani et R. Stratton, « Field and thermionic-field emission in Schottky barriers », *Solid-State Electron.*, vol. 9, n° 7, p. 695-707, 1966.
- [65] H. Morko, *Handbook of Nitride Semiconductors and Devices*. Weinheim, Germany: Wiley-VCH Verlag GmbH & Co. KGaA, 2008.
- [66] G. Meneghesso, « Gallium Nitride HEMTs: advantages, opportunities and challenges », présenté à Giornata IU.NET, 18-sept-2014.
- [67] R. Trew, D. Green, et J. Shealy, « AlGaIn/GaN HFET reliability », *IEEE Microw. Mag.*, vol. 10, n° 4, p. 116-127, juin 2009.
- [68] D. K. Schroder, *Semiconductor Material and Device Characterization: Schroder/Semiconductor Material and Device Characterization, Third Edition*. Hoboken, NJ, USA: John Wiley & Sons, Inc., 2005.
- [69] B. Lambert *et al.*, « Reliability data's of 0.5µm AlGaIn/GaN on SiC technology qualification », *Microelectron. Reliab.*, vol. 52, n° 9-10, p. 2200-2204, sept. 2012.
- [70] G. Meneghesso *et al.*, « Reliability issues of Gallium Nitride High Electron Mobility Transistors », *Int. J. Microw. Wirel. Technol.*, vol. 2, n° 01, p. 39, avr. 2010.
- [71] M. A. Mastro, J. R. LaRoche, N. D. Bassim, et C. R. Eddy, « Simulation on the effect of non-uniform strain from the passivation layer on AlGaIn/GaN HEMT », *Microelectron. J.*, vol. 36, n° 8, p. 705-711, août 2005.
- [72] O. Lazăr, J. G. Tartarin, B. Lambert, C. Moreau, et J. L. Roux, « Correlation between transient evolutions of the gate and drain currents in AlGaIn/GaN technologies », *Microelectron. Reliab.*, vol. 55, n° 9-10, p. 1714-1718, août 2015.
- [73] S. D. Nsele, L. Escotte, J.-G. Tartarin, S. Piotrowicz, et S. L. Delage, « Broadband Frequency Dispersion Small-Signal Modeling of the Output Conductance and

- Transconductance in AlInN/GaN HEMTs », *IEEE Trans. Electron Devices*, vol. 60, n° 4, p. 1372-1378, avr. 2013.
- [74] H. Hasegawa, T. Inagaki, S. Ootomo, et T. Hashizume, « Mechanisms of current collapse and gate leakage currents in AlGaIn/GaN heterostructure field effect transistors », *J. Vac. Sci. Technol. B Microelectron. Nanometer Struct.*, vol. 21, n° 4, p. 1844, 2003.
- [75] A. M. Wells, M. J. Uren, R. S. Balmer, K. P. Hilton, T. Martin, et M. Missous, « Direct demonstration of the 'virtual gate' mechanism for current collapse in AlGaIn/GaN HFETs », *Solid-State Electron.*, vol. 49, n° 2, p. 279-282, févr. 2005.
- [76] M. Faqir *et al.*, « Analysis of current collapse effect in AlGaIn/GaN HEMT: Experiments and numerical simulations », *Microelectron. Reliab.*, vol. 50, n° 9-11, p. 1520-1522, sept. 2010.
- [77] M. Moradi et P. Valizadeh, « Analytical Modeling of Current Collapse in AlGaIn/GaN HFETs According to the Virtual Gate Concept », *IEEE Trans. Device Mater. Reliab.*, vol. 10, n° 2, p. 287-294, juin 2010.
- [78] R. Vetury, N. Q. Zhang, S. Keller, et U. K. Mishra, « The impact of surface states on the DC and RF characteristics of AlGaIn/GaN HFETs », *IEEE Trans. Electron Devices*, vol. 48, n° 3, p. 560-566, 2001.
- [79] Hyungtak Kim, R. M. Thompson, V. Tilak, T. R. Prunty, J. R. Shealy, et L. F. Eastman, « Effects of SiN passivation and high-electric field on AlGaIn-GaN HFET degradation », *IEEE Electron Device Lett.*, vol. 24, n° 7, p. 421-423, juill. 2003.
- [80] R. Wang *et al.*, « 210-GHz InAlN/GaN HEMTs With Dielectric-Free Passivation », *IEEE Electron Device Lett.*, vol. 32, n° 7, p. 892-894, juill. 2011.
- [81] W. Lu, V. Kumar, R. Schwindt, E. Piner, et I. Adesida, « A comparative study of surface passivation on AlGaIn/GaN HEMTs », *Solid-State Electron.*, vol. 46, n° 9, p. 1441-1444, 2002.
- [82] G. Koley, V. Tilak, L. F. Eastman, et M. G. Spencer, « Slow transients observed in AlGaIn/GaN HFETs: effects of SiN x passivation and UV illumination », *Electron Devices IEEE Trans. On*, vol. 50, n° 4, p. 886-893, 2003.
- [83] J. Derluyn *et al.*, « Improvement of AlGaIn/GaN high electron mobility transistor structures by *in situ* deposition of a Si₃N₄ surface layer », *J. Appl. Phys.*, vol. 98, n° 5, p. 054501, sept. 2005.
- [84] D. Maier *et al.*, « Testing the Temperature Limits of GaN-Based HEMT Devices », *IEEE Trans. Device Mater. Reliab.*, vol. 10, n° 4, p. 427-436, déc. 2010.
- [85] A. Nakajima, K. Itagaki, et K. Horio, « Physical mechanism of buffer-related lag and current collapse in GaN-based FETs and their reduction by introducing a field plate », in *Reliability Physics Symposium, 2009 IEEE International*, 2009, p. 722-726.
- [86] H. Huang, Y. C. Liang, G. S. Samudra, T.-F. Chang, et C.-F. Huang, « Effects of Gate Field Plates on the Surface State Related Current Collapse in AlGaIn/GaN HEMTs », *IEEE Trans. Power Electron.*, vol. 29, n° 5, p. 2164-2173, mai 2014.
- [87] H. Xing, Y. Dora, A. Chini, S. Heikman, S. Keller, et U. K. Mishra, « High Breakdown Voltage AlGaIn-GaN HEMTs Achieved by Multiple Field Plates », *IEEE Electron Device Lett.*, vol. 25, n° 4, p. 161-163, avr. 2004.
- [88] H. Zhang, E. J. Miller, et E. T. Yu, « Analysis of leakage current mechanisms in Schottky contacts to GaN and Al_{0.25}Ga_{0.75}N/GaN grown by molecular-beam epitaxy », *J. Appl. Phys.*, vol. 99, n° 2, p. 023703, 2006.

- [89] W. Chikhaoui, J.-M. Bluet, M.-A. Poisson, N. Sarazin, C. Dua, et C. Bru-Chevallier, « Current deep level transient spectroscopy analysis of AlInN/GaN high electron mobility transistors: Mechanism of gate leakage », *Appl. Phys. Lett.*, vol. 96, n° 7, p. 072107, 2010.
- [90] S. C. Binari *et al.*, « Trapping effects and microwave power performance in AlGaIn/GaN HEMTs », *IEEE Trans. Electron Devices*, vol. 48, n° 3, p. 465-471, mars 2001.
- [91] T. Palacios, A. Chakraborty, S. Heikman, S. Keller, S. P. DenBaars, et U. K. Mishra, « AlGaIn/GaN high electron mobility transistors with InGaIn back-barriers », *IEEE Electron Device Lett.*, vol. 27, n° 1, p. 13-15, janv. 2006.
- [92] A. J. Bard, A. B. Bocarsly, F. R. F. Fan, E. G. Walton, et M. S. Wrighton, « The concept of Fermi level pinning at semiconductor/liquid junctions. Consequences for energy conversion efficiency and selection of useful solution redox couples in solar devices », *J. Am. Chem. Soc.*, vol. 102, n° 11, p. 3671-3677, mai 1980.
- [93] E. J. Mele, « Intrinsic surface states and Fermi-level pinning at metal–semiconductor interfaces », *J. Vac. Sci. Technol.*, vol. 15, n° 4, p. 1370, juill. 1978.
- [94] L. J. Brillson, « Fermi-level pinning and chemical structure of InP–metal interfaces », *J. Vac. Sci. Technol.*, vol. 21, n° 2, p. 564, juill. 1982.
- [95] A. Tanabe, K. Konuma, N. Teranishi, S. Tohyama, et K. Masubuchi, « Influence of Fermi-level pinning on barrier height inhomogeneity in PtSi/p-Si Schottky contacts », *J. Appl. Phys.*, vol. 69, n° 2, p. 850, 1991.
- [96] D. J. Ewing *et al.*, « Inhomogeneities in Ni/4H-SiC Schottky barriers: Localized Fermi-level pinning by defect states », *J. Appl. Phys.*, vol. 101, n° 11, p. 114514, 2007.
- [97] J. R. Black, « Electromigration—A brief survey and some recent results », *IEEE Trans. Electron Devices*, vol. 16, n° 4, p. 338-347, avr. 1969.
- [98] S. Karboyan, « Dedicated Design Of Experiments and Experimental Diagnostic Tools for Accurate Reliability Investigations on AlGaIn/GaN High Electron Mobility Transistors (HEMTs) », Université Paul Sabatier de Toulouse, Toulouse, 2013.
- [99] U. Chowdhury *et al.*, « TEM Observation of Crack- and Pit-Shaped Defects in Electrically Degraded GaN HEMTs », *IEEE Electron Device Lett.*, vol. 29, n° 10, p. 1098-1100, oct. 2008.
- [100] L. Brunel *et al.*, « Analysis of Schottky gate degradation evolution in AlGaIn/GaN HEMTs during HTRB stress », *Microelectron. Reliab.*, vol. 53, n° 9-11, p. 1450-1455, sept. 2013.
- [101] T. Di Gilio, « Étude de la fiabilité porteurs chauds et des performances des technologies CMOS 0.13 μm - 2nm », Université de Provence, Aix-Marseille, 2006.
- [102] C. Canali, F. Castaldo, F. Fantini, D. Ogliari, L. Umena, et E. Zanoni, « Gate metallization “Sinking” into the active channel in Ti/W/Au metallized power MESFET's », *IEEE Electron Device Lett.*, vol. 7, n° 3, p. 185-187, mars 1986.
- [103] B. Ofuonye, J. Lee, M. Yan, C. Sun, J.-M. Zuo, et I. Adesida, « Electrical and microstructural properties of thermally annealed Ni/Au and Ni/Pt/Au Schottky contacts on AlGaIn/GaN heterostructures », *Semicond. Sci. Technol.*, vol. 29, n° 9, p. 095005, sept. 2014.
- [104] « Triquint, in European Microwave Week », Paris, 2010.
- [105] S. T. Allen, W. L. Pribble, R. A. Sadler, T. S. Alcorn, Z. Ring, et J. W. Palmour, « Progress in high power SiC microwave MESFETs », in *Microwave Symposium Digest, 1999 IEEE MTT-S International*, 1999, vol. 1, p. 321-324.

- [106] Y.-F. Wu *et al.*, « High Al-content AlGaIn/GaN HEMTs on SiC substrates with very high power performance », in *Electron Devices Meeting, 1999. IEDM '99. Technical Digest. International*, 1999.
- [107] J. G. Tartarin, G. Astre, S. Karboyan, T. Noutsu, et B. Lambert, « Generation-recombination traps in AlGaIn/GaN HEMT analyzed by time-domain and frequency-domain measurements: Impact of HTRB stress on short term and long term memory effects », in *Wireless Symposium (IWS), 2013 IEEE International*, 2013, p. 1–4.
- [108] O. Lazar, J. G. Tartarin, B. Lambert, C. Moreau, J. L. Roux, et J. L. Muraro, « New approach for an accurate Schottky Barrier Height's extraction by I-V-T measurements », in *International Microwave Symposium (IMS)*, 2015, p. 1-4.
- [109] D. Floriot *et al.*, « New qualified industrial AlGaIn/GaN HEMT process: power performances & reliability figures of merit », in *Microwave Integrated Circuits Conference (EuMIC), 2012 7th European*, 2012, p. 317–320.
- [110] « <http://www.ums-gaas.com/> ». .
- [111] J. Joh, L. Xia, et J. A. del Alamo, « Gate current degradation mechanisms of GaN high electron mobility transistors », in *Electron Devices Meeting, 2007. IEDM 2007. IEEE International*, 2007, p. 385–388.
- [112] Jungwoo Joh et J. A. del Alamo, « Critical Voltage for Electrical Degradation of GaN High-Electron Mobility Transistors », *IEEE Electron Device Lett.*, vol. 29, n° 4, p. 287-289, avr. 2008.
- [113] S. Demirtas et J. A. del Alamo, « Critical voltage for electrical reliability of GaN high electron mobility transistors on Si substrate », in *Reliability of Compound Semiconductors Digest (ROCS), 2009*, 2009, p. 53–56.
- [114] L. Brunel, « Contribution à l'assurance fiabilité de filières HEMTs à base de GaN sur substrat SiC : caractérisation électrique approfondie et modélisation des effets parasites », Université de Bordeaux, Bordeaux, 2014.
- [115] C. Chen *et al.*, « GaN HEMT Stress-Induced Leakage Current (SiLC) », *GCS ROCS*, vol. JEDEC Solid State Technology Association, 2016.
- [116] J. G. Tartarin *et al.*, « Gate defects analysis in AlGaIn/GaN devices by mean of accurate extraction of the Schottky Barrier Height, electrical modelling, T-CAD simulations and TEM imaging », *Microelectron. Reliab.*, juill. 2017.
- [117] D. Saugnon, « Contribution aux analyses de fiabilité des transistors HEMTs GaN ; exploitation conjointe du modèle physique TCAD et des stress dynamiques HF pour l'analyse des mécanismes de dégradation », Université Toulouse III Paul Sabatier, Toulouse, 2018.
- [118] M. Technology, « Scrutinizing AlN/GaN heterostructures atom by atom », présenté à Technology Microscopy, 2013.
- [119] J.-G. Tartarin *et al.*, « Using low-frequency noise characterization of AlGaIn/GaN HEMT as a tool for technology assessment and failure prediction », 2004, p. 296.
- [120] S. Karboyan *et al.*, « Influence of gate leakage current on AlGaIn/GaN HEMTs evidenced by low frequency noise and pulsed electrical measurements », *Microelectron. Reliab.*, vol. 53, n° 9-11, p. 1491-1495, sept. 2013.
- [121] J. Joh et J. A. del Alamo, « A Current-Transient Methodology for Trap Analysis for GaN High Electron Mobility Transistors », *IEEE Trans. Electron Devices*, vol. 58, n° 1, p. 132-140, janv. 2011.

- [122] W. Saito, M. Kuraguchi, Y. Takada, K. Tsuda, I. Omura, et T. Ogura, « Influence of Surface Defect Charge at AlGa_N-Ga_N-HEMT Upon Schottky Gate Leakage Current and Breakdown Voltage », *IEEE Trans. Electron Devices*, vol. 52, n° 2, p. 159-164, févr. 2005.
- [123] J.-G. Tartarin, « Diagnostic tools for accurate reliability investigations of GaN devices », in *21st International Conference on Noise and Fluctuations (ICNF)*, 2011, p. 452-457.
- [124] J.-G. Tartarin, G. Soubercaze-Pun, J.-L. Grondin, L. Bary, J. Mimila-Arroyo, et J. Chevallier, « Generation-Recombination Defects In AlGa_N/Ga_N HEMT On SiC Substrate, Evidenced By Low Frequency Noise Measurements And SIMS Characterization », 2007, vol. 922, p. 163-166.
- [125] D. V. Lang, « Deep-level transient spectroscopy: A new method to characterize traps in semiconductors », *J. Appl. Phys.*, vol. 45, n° 7, p. 3023-3032, juill. 1974.
- [126] M. Miczek, C. Mizue, T. Hashizume, et B. Adamowicz, « Effects of interface states and temperature on the C-V behavior of metal/insulator/AlGa_N/Ga_N heterostructure capacitors », *J. Appl. Phys.*, vol. 103, n° 10, p. 104510, mai 2008.
- [127] N. Malbert, N. Labat, A. Curutchet, F. Verdier, et A. Touboul, « Bias dependence of LF drain and gate noise in GaN HEMTs », 2004, p. 263.
- [128] A. Der Ziel, « Thermal noise in field-effect transistors », *Proc. IRE*, vol. 50, n° 8, p. 1808-1812, 1962.
- [129] F. N. Hooge, « 1/f noise sources », *IEEE Trans. Electron Devices*, vol. 41, n° 11, p. 1926-1935, 1994.
- [130] V. Palenskis, « The charge carrier capture-emission process – the main source of the low-frequency noise in homogeneous semiconductors », *Lith. J. Phys.*, vol. 56, n° 4, p. 200-206, janv. 2017.
- [131] L. Bary *et al.*, « Transimpedance amplifier-based full low-frequency noise characterization setup for Si/SiGe HBTs », *IEEE Trans. Electron Devices*, vol. 48, n° 4, p. 767-773, 2001.
- [132] L. Bary, « Caractérisation et modélisation du bruit basse fréquence de composants bipolaires micro-ondes : application à la conception d'oscillateurs à faible bruit de phase », Paul Sabatier, 2001.
- [133] B. Lambert, N. Malbert, F. Verdier, N. Labat, A. Touboul, et L. K. Vandamme, « Low frequency gate noise in a diode-connected MESFET: measurements and modeling », *IEEE Trans. Electron Devices*, vol. 48, n° 4, p. 628-633, 2001.
- [134] G. Soubercaze-Pun *et al.*, « Design of a X-band GaN oscillator: From the low frequency noise device characterization and large signal modeling to circuit design », in *Microwave Symposium Digest, 2006. IEEE MTT-S International*, 2006, p. 747-750.
- [135] J. G. Tartarin, D. Saugnon, O. Lazar, G. Maillot, et L. Bary, « Understanding traps locations and impact on AlGa_N/Ga_N HEMT by LFN noise & transient measurements, and T-CAD simulations », in *Noise and Fluctuations (ICNF), 2017 International Conference on*, 2017, p. 1-4.
- [136] J. H. Werner et H. H. Güttler, « Barrier inhomogeneities at Schottky contacts », *J. Appl. Phys.*, vol. 69, n° 3, p. 1522-1533, 1991.
- [137] S. Karboyan, J. G. Tartarin, et B. Lambert, « Analysis of barrier inhomogeneities in AlGa_N/Ga_N HEMTs' Schottky diodes by IVT measurements », *Eur. Microw. Integr. Circuits Conf. EuMIC*, p. 240-243, 2013.
- [138] S. Karboyan, J. G. Tartarin, D. Carisetti, et B. Lambert, « Analysis and path localization of gate current in AlGa_N/Ga_N HEMTs using low frequency noise measurements and

- optical beam induced resistance change technique », in *Microwave Symposium Digest (IMS), 2013 IEEE MTT-S International*, 2013, p. 1–4.
- [139] M. Borga *et al.*, « Evidence of Time-Dependent Vertical Breakdown in GaN-on-Si HEMTs », *IEEE Trans. Electron Devices*, vol. 64, n° 9, p. 3616–3621, sept. 2017.
- [140] N. Miura *et al.*, « Thermal annealing effects on Ni/Au based Schottky contacts on n-GaN and AlGaIn/GaN with insertion of high work function metal », *Solid-State Electron.*, vol. 48, n° 5, p. 689–695, mai 2004.
- [141] E. V. Kalinina, N. I. Kuznetsov, V. A. Dmitriev, K. G. Irvine, et C. H. Carter, « Schottky Barriers on n-GaN Grown on SiC », *J. Electron. Mater.*, vol. 25, n° 5, p. 831–834, 1996.
- [142] K. Suzue *et al.*, « Electrical conduction in platinum–gallium nitride Schottky diodes », *J. Appl. Phys.*, vol. 80, n° 8, p. 4467–4478, 1996.
- [143] J.-H. Shin, J. Park, S. Jang, T. Jang, et K. Sang Kim, « Metal induced inhomogeneous Schottky barrier height in AlGaIn/GaN Schottky diode », *Appl. Phys. Lett.*, vol. 102, n° 24, p. 243505, juin 2013.
- [144] P. Hacke, T. Detchprohm, K. Hiramatsu, et N. Sawaki, « Schottky barrier on n-type GaN grown by hydride vapor phase epitaxy », *Appl. Phys. Lett.*, vol. 63, n° 19, p. 2676–2678, nov. 1993.
- [145] M. R. H. Khan, T. Detchprohm, P. Hacke, K. Hiramatsu, et N. Sawaki, « The barrier height and interface effect of Au-n-GaN Schottky diode », *J. Phys. Appl. Phys.*, vol. 28, n° 6, p. 1169–1174, juin 1995.
- [146] A. C. Schmitz, A. T. Ping, M. A. Khan, Q. Chen, J. W. Yang, et I. Adesida, « Schottky barrier properties of various metals on n-type GaN », *Semicond. Sci. Technol.*, vol. 11, n° 10, p. 1464, 1996.
- [147] S. C. Binari, H. B. Dietrich, G. Kelner, L. B. Rowland, K. Doverspike, et D. K. Wickenden, « H, He, and N implant isolation of n-type GaN », *J. Appl. Phys.*, vol. 78, n° 5, p. 3008–3011, sept. 1995.
- [148] L. S. Yu, D. J. Qiao, Q. J. Xing, S. S. Lau, K. S. Boutros, et J. M. Redwing, « Ni and Ti Schottky barriers on n-AlGaIn grown on SiC substrates », *Appl. Phys. Lett.*, vol. 73, n° 2, p. 238, 1998.
- [149] E. T. Yu *et al.*, « Schottky barrier engineering in III–V nitrides via the piezoelectric effect », *Appl. Phys. Lett.*, vol. 73, n° 13, p. 1880, 1998.
- [150] G. Pristavu, G. Brezeanu, M. Badila, R. Pascu, M. Danila, et P. Godignon, « A model to non-uniform Ni Schottky contact on SiC annealed at elevated temperatures », *Appl. Phys. Lett.*, vol. 106, n° 26, p. 261605, juin 2015.
- [151] M. MOSTEFAOUI *et al.*, « Current-Voltage-Temperature (IVT) Characteristics of Schottky-Gate of the Structures AlGaIn/GaN HEMTs », 2014.
- [152] H. Norde, « A modified forward $I - V$ plot for Schottky diodes with high series resistance », *J. Appl. Phys.*, vol. 50, n° 7, p. 5052–5053, juill. 1979.
- [153] T. Kiuru, J. Mallat, A. V. Raisanen, et T. Narhi, « Schottky Diode Series Resistance and Thermal Resistance Extraction From S-Parameter and Temperature Controlled I–V Measurements », *IEEE Trans. Microw. Theory Tech.*, vol. 59, n° 8, p. 2108–2116, août 2011.
- [154] R. T. Tung, « Electron transport at metal-semiconductor interfaces: General theory », *Phys. Rev. B*, vol. 45, n° 23, p. 13509–13523, 1992.
- [155] R. T. Tung, « Schottky barrier height—do we really understand what we measure? », *J. Vac. Sci. Technol. B Microelectron. Nanometer Struct.*, vol. 11, n° 4, p. 1546, juill. 1993.

- [156] R. T. Tung, « Recent advances in Schottky barrier concepts », *Mater. Sci. Eng. R Rep.*, p. 138, 2001.
- [157] F. A. Padovani et G. G. Sumner, « Experimental Study of Gold-Gallium Arsenide Schottky Barriers », *J. Appl. Phys.*, vol. 36, n° 12, p. 3744-3747, déc. 1965.
- [158] A. N. Saxena, « Forward current-voltage characteristics of Schottky barriers on n-type silicon », *Surf. Sci.*, vol. 13, n° 1, p. 151-171, janv. 1969.
- [159] S. K. Cheung et N. W. Cheung, « Extraction of Schottky diode parameters from forward current-voltage characteristics », *Appl. Phys. Lett.*, vol. 49, n° 2, p. 85, 1986.
- [160] S. Chand et J. Kumar, « Evidence for the double distribution of barrier heights in Pd₂Si/n-Si Schottky diodes from I-V-T measurements », *Semicond. Sci. Technol.*, vol. 11, n° 8, p. 1203-1208, 1996.
- [161] O. Lazar, « Analyse des défauts de grille et des courants de fuite dans les dispositifs HEMT AlGa_N/Ga_N par mesures électrothermiques et mesures de bruit basse fréquence », Université Paul Sabatier de Toulouse, Toulouse, Stage de M2 ESET-MEMO, 2013.
- [162] O. Lazar, J.-G. Tartarin, B. Lambert, C. Moreau, et J.-L. Roux, « Nouvelle approche d'extraction de la hauteur de barrière Schottky dans des structures à grande bande interdite AlGa_N / Ga_N », présenté à Journées Nationales Microondes, Bordeaux, 2015, p. 272-275.
- [163] J. G. Tartarin *et al.*, « Gate defects analysis in AlGa_N/Ga_N devices by mean of accurate extraction of the Schottky Barrier Height, electrical modelling, T-CAD simulations and TEM imaging », *Microelectron. Reliab.*, vol. 76-77, p. 344-349, sept. 2017.
- [164] R. Stevenson, « Understanding Imperfections in Ga_N HEMTs », présenté à CS Mantech, 2014.
- [165] S. Y. Park *et al.*, « Physical degradation of Ga_N HEMT devices under high drain bias reliability testing », *Microelectron. Reliab.*, vol. 49, n° 5, p. 478-483, mai 2009.
- [166] W. Götz, N. M. Johnson, J. Walker, D. P. Bour, et R. A. Street, « Activation of acceptors in Mg-doped Ga_N grown by metalorganic chemical vapor deposition », *Appl. Phys. Lett.*, vol. 68, n° 5, p. 667-669, janv. 1996.
- [167] S. Heikman, S. Keller, S. P. DenBaars, et U. K. Mishra, « Growth of Fe doped semi-insulating Ga_N by metalorganic chemical vapor deposition », *Appl. Phys. Lett.*, vol. 81, n° 3, p. 439-441, juill. 2002.
- [168] S. Heikman, S. Keller, T. Mates, S. P. DenBaars, et U. K. Mishra, « Growth and characteristics of Fe-doped Ga_N », *J. Cryst. Growth*, vol. 248, p. 513-517, févr. 2003.
- [169] Hou-Yu-Wang, Kai-Di-Mai, L.-Y. Peng, Y.-H. Cheng, et H.-C. Chiu, « Effects of the Fe-doped Ga_N buffer in AlGa_N/Ga_N HEMTs on SiC substrate », 2015, p. 645-648.
- [170] J. G. Tartarin, D. Saugnon, O. Lazar, G. Maillot, et L. Bary, « Understanding traps locations and impact on AlGa_N/Ga_N HEMT by LFN noise & transient measurements, and T-CAD simulations », 2017, p. 1-4.
- [171] P. Hindle, G. Lerude, et R. Mumford, « Get Your Ga_N Here: RF Ga_N Foundry Survey », *Microw. J.*, p. 9, juin 2016.
- [172] Next Big Future, « Next Big Future: Gallium Nitride almost as wear resistant as diamond », *Appl. Phys. Lett.*, p. 4, oct. 2016.